

DISSENY MICROELECTRONIC I

Troncal: 6 crèdits (3 + 3)

Descriptor BOE: Introducció a les metodologies de disseny començant a utilitzar eines de CAD.

Objectiu:

A partir del dispositiu MOS i de la tecnologia de fabricació, introduir els conceptes que porten a l'avaluació de prestacions dels CIs, amb especial atenció a la metodologia de disseny (a nivell lògic, elèctric i geomètric) arribant fins a elements complexos: cel·les, estructures i compiladors.

Avaluació: 70 % examen, 30% pràctiques (prèvia entrega d'una memòria).

TEMARI

1.- Introducció i presentació

Evolució històrica dels circuits integrats. Transistors MOS com a interruptors. Lògica CMOS bàsica. Nivells de representació. Correspondència de nivell lògic a nivell elèctric.

2.- El transistor MOS.

Elements elèctrics lineals en VLSI. El transistor MOS com a dispositiu de 2, 3 i 4 terminals. Models del transistor MOS: Memelink i SPICE.

3.- L'inversor MOS.

L'inversor MOS. Anàlisi elèctrica: equació del dispositiu. Característica dinàmica: temps de transició i propagació. Fan-in i fan-out en CMOS. Dimensionament òptim de cadenes d'inversors.

4.- Portes bàsiques de la tecnologia CMOS a nivell de transistor.

Models simplificats de portes bàsiques. Funcions inversores i no inversores. La porta de pas. Elements de memòria. Paràmetres específics. Anàlisi del worst-case. Regles per a disseny òptim.

5.- Relació entre el procés tecnològic i el disseny de CIs

Etaques de fabricació d'un circuit integrat. Toleràncies del procés: regles de disseny geomètric. Rangs de variació dels paràmetres elèctrics.

6.- Disseny geomètric

Estratègies generals. Aprofitament de la simetria. Minimització de les capacitats paràsites. Layout simbòlic. Comprovació de regles de disseny. Extracció de paràmetres elèctrics.

7.- Característica estàtica

Caracterització estàtica: nivells lògics i marges de soroll. Introducció a lògiques dinàmiques. Nivells d'estimació de prestacions. Consum d'energia i dissipació de potència.

8.-Subsistemes.

Modularitat a nivell funcional i simetria a nivell físic. Compiladors d'estructura. Macromodels. Operadors aritmètics. Memòries. Arrays lògics programables.

9.- Elements específics.

Estructures d'entrada-sortida. Circuits de protecció contra ESD i latch-up. Influència en la superfície del xip. Circuits elementals en semicustom: Lògica programable, Gate Arrays & Sea-of-Gates, standard Cells, Gate matrix.

BIBLIOGRAFIA

- BOTA, S. CARRABINA, J. , HERMS, A. *Introducció al Disseny CMOS VLSI*. 1996
- WESTW, N., ESHRAGIAN, K. *Principles of CMOS VLSI design*. 1993.
- MEAD, C.A., CONWAY, L.A. *Introduction to VLSI Systems*. 1980.
- GLASSER, L.A. DOBBERPHUL, D.W. *The design and Analysis of VLSI Circuits*. 1985
- WESTE, N. ESHRAGIAN, K. *Principles of CMOS VLSI design: A systems perspective*. 1985.
- ANNARATONE, M. *Digital CMOS IC Design*. 1986.
- MALI, W. *Atlas of IC technologies: An introduction to VLSI Processes*. 1987
- UJEMURA. J.P. *Fundamentals of IC Digital Integrated Circuits*. 1988.
- HEINBUCH , C.V. *CMOS3 Cell Library*. 1988.
- FABRICIUS, E.D. *Introduction to VLSI Design*. 1990.
- BAKOGLU, H.B. *Circuits, Interconnections and Packaging for VLSI*. 1990.

Pràctiques:

En cinc sessions de practiques es dissenyaran dues cel.les d'una biblioteca de cel.les: una combi-nacional i un flip-flop, específiques per a cada grup de pràctiques, de manera que l'elecció tant de l'esquema, com del layout i de les seves prestacions àrea-velocitat seran avaluats com a resultat de les pràctiques prèvia presentació i defensa d'una memòria autocontinguda de les mateixes.

Les pràctiques utilitzaran un entorn de disseny industrial per a la concepció de circuits integrats, que es comú amb totes les assignatures de disseny de CIs, i que està format per un conjunt d'estacions de treball, situades al laboratori de microelectrònica, que utilitzen el sistema operatiu UNIX, sobre un estàndard X-windows, i una eina CAD també industrial, el Design Framework II de Cadence, distribuïda pel projecte europeu EUROPRACTICE a les universitats i centres de recerca europeus a baix cost, i finalment, personalitzat per al procés de 2,5 micres del Centre Nacional de Microelectrònica.