

25010 - Disseny de Circuits Integrats II

Enginyeria en Informàtica (ETSE)

Curs 2006/07

Objectius i orientació

L'objectiu fonamental d'aquesta assignatura es abordar el disseny digital d'alt nivell seguint les noves metodologies basades en un ús intensiu dels llenguatges de descripció de hardware i les corresponents tècniques i eines de modelat, simulació, síntesi i verificació per descriure i depurar els circuits a desenvolupar en el marc dels sistemes que els contindran

Aquest nucli central es complementa amb un tema dedicat a la gestió, planificació i desenvolupament d'un projecte microelectrònic, on s'analitzaran les principals etapes (objectius, participants, mètodes i eines, documentació i resultats de cadascuna) tot i profunditzant una mica més en la fase d'identificació de requisits, anàlisi de viabilitat i descripció de les especificacions del projecte. Entenem que aquesta es una de les etapes més crítiques, els resultats de la qual dirigiran i marcaran la resta del desenvolupament del projecte. Aquesta assignatura pot ser un molt bon lloc per introduir aquest tema tant pel més que probable perfil previ dels estudiants (TSD, DCI-I), com pel propi marc de l'assignatura, car amb els HDLs s'ha promogut el disseny d'alt nivell i a l'hora un tractament més sistemàtic i seriós d'aquesta etapa de requisits, viabilitat i especificacions.

En el marc de la titulació d'Enginyeria Informàtica, també hem cregut oportú abordar amb una mica de profunditat els processos de simulació i síntesi, tot analitzant els problemes bàsics a afrontar i els algoritmes fonamentals que s'utilitzen. Pel que fa a la simulació tot això està embegut en el tema 2. Als mètodes i algoritmes de síntesi, donada la seva importància i incidència en les diferents etapes del procés de disseny, li hem dedicat un tema sencer.

Finalment el tema de tendències de futur pretén introduir molt superficialment qüestions més avançades i encara no massa implantades a nivell industrial com son la verificació formal o el codisseny Hw/Sw (o d'altres que puguin ser objectes d'afegits o intercanvis) i que a l'hora es podran veure amb més detall en alguna de les assignatures posteriors o en programes de post-grau.

Perfil òptim dels estudiants

Dins l'Enginyeria Informàtica el perfil previ ideal, però no imprescindible, dels alumnes d'aquesta assignatura seria haver passat per TSD i DCI-I. D'altra banda aquesta (DCI-II) fora una bona assignatura prèvia, però tampoc imprescindible, per CHS i CSAE.

Programa

Previ: Tutorial de VHDL

Tema 1: Planificació i desenvolupament d'un projecte microelectrònic

- Objectius, participants i etapes d'un projecte
- Plantejament i anàlisi de viabilitat
 - De la idea als requeriments
 - Viabilitat tècnica i econòmica
 - Especificacions
 - Documentació
- Gestió i desenvolupament del projecte
 - Pla de desenvolupament
 - Etapes i equips de treball

- Documentació per etapes

Tema 2: Els HDLs i el disseny digital d'alt nivell

- Naixement i evolució dels HDLs
- Ressenya històrica
- Descripció de Hw versus desenvolupament de Sw
- Característiques generals dels HDLs
- Metodologies i fluxos de disseny electrònic basats en HDLs
- Fluxos bottom-up
- Aportacions dels HDLs
- Fluxos top-down
- Conceptes fonamentals dels HDLs
- La simulació dirigida per events
- Cicle de simulació i control del temps
- Concurrència i seqüencialitat
- Tipus de dades
- Jerarquia i estructuració del codi
- Modelat: nivells d'abstracció i estils descriptius
- Breu presentació comparativa dels estàndard Verilog i VHDL
- VHDL: mecanismes bàsics de processat i simulació.

Tema 3: Modelat en HDL

- Modelat als diferents nivells d'abstracció
- Simulació versus síntesis
- Anàlisi de prestacions i recomanacions per optimitzar la simulació
- Restriccions, anàlisi de prestacions i recomanacions per millorar la síntesi
- Validació de models
- Concepte d'entorn de test o banc de proves (testbenches)
- Estratègies de validació de models
- Modelat per la reusabilitat
- Estils de descripció i documentació dels models
- Estratègies de modelat: components genèrics i reconfigurables
- Mòduls y macroblocs reutilitzables (IP-Cores): que son, que contenen i com s'utilitzen?

Tema 4: Conceptes i algoritmes bàsics de síntesi

- Esquema general, nomenclatura i conceptes de base
- Síntesi d'alt nivell
- Síntesi RTL
- Síntesi Lògica
- Mapeig tecnològic

Tema 5: Tendències de futur

- Verificació formal
- Co-disseny Hw/Sw

Tema 6: System on Chip

- Aproximació al system-on-chip en l'entorn d'Altera
- El processador NIOS
- Perifèrics
- SOPC - Cap al system on chip
- Hardware: preparació pel sistema
- Programació de l'entorn
- Aplicatiu

Problemes

Llenguatge VHDL orientat a la simulació i síntesi.

Exercicis que complementin els exemples de teoria i facilitin el desenvolupament de les pràctiques des del punt de vista de modelat en VHDL.

Pràctiques

Llenguatge VHDL orientat al modelat i a la síntesis.

Modelat basat en IPs. A partir dels models desenvolupats es crerà una aplicació emprant models per simulació (Modelsim) i generant la síntesi usant eines EDA (Quartus II).

Lloc: Laboratori de Sistemes Digitals (ETSE)

Llistat de pràctiques:

Minitutorial d'introducció a Modelsim: [MiniTutorial](#)

Pràctica 1: Modelatge amb VHDL i testbench

Pràctica 2: Treballant amb IPs

Pràctica 2: Generació d'un IP

Pràctica 2: El sistema a partir d'IPs

Eines

En la realització de les pràctiques s'emprarà, fonamentalment, les següents eines:

Per a simulació: Modelsim - versió educativa: [Modelsim 5 XE](#)

Per a síntesis: [Quartus d'Altera](#), i es treballarà amb l'entorn propi de desenvolupament d'Altera

Bibliografia

Bibliografia bàsica del curs

- Llibres

- Lluís Terés, Yago Torroja, Serafin Olcoz y Eugenio Villar. "VHDL: Lenguaje Estándar de Diseño Electrónico". McGraw-Hill, 1998. ISBN: 84-481-1196-6.

- Comité PRENDA. "PRENDA: Metodología para el diseño de ASICs". Univ. Politécnica de Madrid, ETSII, 1996.

- S.Sjoholm, L.Lindh. "VHDL for Designers".Prentice Hall, 1999.

- P. Ashenden. "The Designer's Guide to VHDL". Morgan Kaufmann. 2002.

- Michael John Sebastian Smith. "Applications Specific Integrated Circuits". VLSI System Series. Addison Wesley, 1997 (ISBN 0-201-50022-1).

- P. Michel, U. Lauther, P. Duzy: "The synthesis approach to Digital System Design". Kluwer Academic Publishers, 1992.

- Gerez, S. " Algorithms for VLSI Design Automation". John Wiley & Sons, 1998.

- Articles

- L. Terés, M. Moré y E. Lecha. "Los lenguajes de descripción de hardware y la microelectrónica". Fronteras de la Ciencia, nº 12, Julio-Septiembre de 1996, pag.43-47

- C. Delgado, L. Sanchez, E. Lecha, M. Moré y L. Terés. "Introducción a los lenguajes VHDL, Verilog y UDL/I". Revista Novática, Nov.'94 - Feb'95, Nos. 112-113, pag. 25-34.

- S. Carlson and E. Girczyc. "Understanding synthesis begins with knowing the terminology". EDN Design, September 3, 1992. Pag. 125-131.

Bibliografía complementaria

- Llibres

- Rajsuman, Rochit . "System-on-a-Chip: Design and Test". Artech House Publishers, 2000. ISBN: 1-58053-107-5.
- Pierre Bricaud (Mentor) and Michael Keating (Synopsys). "Reuse Methodology Manual for System-On-A-Chip Designs". Kluiver Academic Publishers, June 1999(2nd Ed.). ISBN: 079-238-5586.
- J.Carrabina, F.Lisa, A.J.Velasco 'Implementacion con FPGAs' Pp281-318. 2000. Capítol del llibre 'Sistemas Digitales'. ISBN:958-695-038-7.
- Fernando Pardo y José A. Boluda. "VHDL: Lenguaje para síntesis y modelado de circuitos". Editorial RAMA, 1999. ISBN 84-7897-351-6.
- Andrew Rushton. "VHDL for Logic Synthesis" (2nd edition). John Wiley & Sons, 1998. ISBN 0-471-98325-X.
- Zainalabedin Navabi. "VHDL: Analysis and Modeling of Digital Systems" (2nd edition). McGraw-Hill, 1998. ISBN 0-07-046479-0.
- Zoran Salcic. "VHDL and FPLDs in Digital Systems: Design, Prototyping and Customization". Boston: Kluwer Academic Publishers, 1998. 576 pp. ISBN 0-7923-8144-0.
- Donald E. Thomas and Philip R. Moorby. "The VERILOG Hardware Description Language". Kluwer Academic Publishers, 1991.
- Hachtel and Somenzi. "Logic Synthesis and Verification Algorithms". Kluwer Academic Publishers, 1996.
- F. Balarin et al., "Hardware-Software Co-Design of Embedded Systems: The POLIS Approach". Kluwer Academic Publishers, 1997.
- Articles
- G. DeMicheli. "Computer-Aided Hw-Sw Codesign". IEEE Micro, Aug.'94.

Avaluació

L'assignatura s'avalua seguint els criteris: 55% nota examen, 20% nota d'exercicis i 25% nota de pràctiques.
L'avaluació, en segona convocatòria, seguirà els criteris: 75% nota examen i 25% nota de pràctiques.
Per aprovar cal treure un 5 (sobre 10) de l'examen i de les pràctiques.
En la nota de pràctiques es pondera l'assistència, la realització de les pràctiques i l'entrega dels informes que es demanin.

Professors

Professors de teoria / problemes: Lluís Terés (Lluís@cnm.es), Joan Oliver (Joan.Oliver@uab.es)

Professor de pràctiques: Joan Oliver