

ASSIGNATURA: LLENGUATGES FORMALS
(DISSENY DE CI'S (i))

CODI: 4922

PERIODICITAT:
HORES/SETMANA TEORIA:
HORES/SETMANA PROBLEMES:
HORES/SETMANA PRACTIQUES:

PROGRAMA

- 1. Introducció i presentació.**
Evolució històrica dels CI's. Transistors MOS i interruptors MOS. Lògica MOS bàsica. Nivells de representació dels circuits. Conceptes generals sobre disseny i fabricació de CI's. Metodologies de disseny/fabricació de CI's.
- 2. El transistor MOS.**
Conceptes i definicions generals. Transistors NMOS i PMOS: Tensió llindar. Intensitat del drenador. Diagrames de Memelink. Saturació del transistor.
- 3. El procés tecnològic.**
Tècniques bàsiques: fotolitografia, oxidació, deposició, gravat, difusió i implantació. Procés de fabricació per a tecnologies CMOS. Relació entre disseny i fabricació: del "layout" a l'"oblea" (o al "chip"). Restriccions imposades pel procés de fabricació: regles de disseny.
- 4. Portes bàsiques de la tecnologia CMOS.**
L'inversor CMOS: Temps de resposta i factor de forma. Diagrames de Memelink. Nivells lògics i marges de soroll. Potència consumida. Realització física.
El transistor de pas i la porta de transmissió. Multiplexors. Portes NAND i NOR. Portes compostes. El problema del "latch-up". Elements bàsics de memòria i circuits seqüencials. Estratègies bàsiques de layout. Exemple complet de disseny d'un circuit.
- 5. Estratègies de disseny de circuits CMOS.**
Lògica pseudo-NMOS. Lògica dinàmica. Lògica CMOS-dòmino i CMOS-dòmino modificada. Lògica "Clocked"-CMOS. Lògica basada en transistors de pas. Estratègies de sincronització. Estratègies bàsiques de "test". Estructures de E/S.
- 6. Funcions complexes.**
Operadors aritmètics: sumadors, comptadors i multiplicadors. PLA's. Memòries ROM i RAM. Seqüenciadors. "Data-paths".

7. Metodologies de disseny i eines de suport.

Diferents alternatives en el disseny de ASIC's: "gate-arrays", "standard-cells", "full-custom" i "silicon-compilers".

Etaoes en la concepció i disseny dels CI's. eines per al disseny: Captació d'esquemes. Simulació: funcional, lògica/temporal i elèctrica. Edició gràfica del layout. Layout simbòlic. Ubicació i connexió. Extracció i verificació.

Sistemes integrats de CAD.

8. Introducció al test de CI's.

Quan, com i perquè del test de CI's. Màquines de test. Anàlisi de la testeabilitat. Generadors de vectors de test. Simulació de fallades.

PRACTIQUES

Individuals: Anàlisi i síntesi de layouts. Simulacions funcionals, lògiques i elèctriques.

En grups de 3: Concepció i disseny d'una part concreta d'un μ -processador tipus RISC usant una metodologia full-custom.

BIBLIOGRAFIA

Bàsica.

- (1) Principles of CMOS VLSI Design: A systems perspective. N. Weste K. Eshraghian. VLSI Systems Series Addison-Wesley 1985.
- (2) Atlas of IC-Technologies: an introduction to VLSI processes. W. Mali. The Benjamin/Cummings Publishing 1987.

Adicional.

- (3) The design and analysis of VLSI Circuits. L.A. Glasser D.W. Dobberouhl. Addison-Wesley 1985.
- (4) Introduction to NMOS and CMOS VLSI Systems Design. A. Mukherjee. Prentice-Hall International 1986.
- (5) Conception des circuits integres MOS. M. Cand, E. Demoulin, J.L. Lardy et P. Senn. Eyrolles 1986.