

DISSENY MICROELECTRONIC I

Filosofia de l'assignatura:

En les assignatures d'introducció als sistemes digitals es donen els conceptes bàsics del disseny lògic: síntesi de funcions lògiques, síntesi de màquines seqüencials i síntesi de màquines algorísmiques.

En aquesta assignatura baixarem el nivell d'abstracció, apropant-nos a la realitat física del circuit integrat, sense arribar a detallar el procés tecnològic i fent la correspondència ("mapping") entre els dos mons anteriorment esmentats. Els dos nivells que aprofundirem són: el nivell de transistor, amb les metodologies que introdueix d'avaluació de cost d'implementació de funcions lògiques amb primitives més simples, i el nivell geomètric (layout) que ens donarà el conjunt de màscares que tenen realitat física. L'avaluació dels dissenys obtinguts, es farà, en funció de l'estratègia utilitzada, tant en termes de paràmetres d'alt nivell (àrea, velocitat, consum) i les seves combinacions, com en termes de temps de disseny.

El nivell de complexitat matemàtica de l'assignatura té dos vessants: un de elemental que utilitza paràmetres bàsics dels dispositius i circuits, modelats de manera simple, per a una primera aproximació analítica, i un de complex, que soporta models més precisos resolts mitjançant simuladors a nivell elèctric.

Les pràctiques de l'assignatura es faran al voltant d'un entorn CAD complet de disseny de circuits integrats, extremadament potent pel que fa a la quantitat i qualitat de les diferents eines que conté, i que s'utilitzaran al llarg del curs sobre problemes específics proposats sobre cada tema.

INDEX

Tema I: Introducció i presentació.

Evolució històrica dels circuits integrats. Transistors MOS com a interruptors. Lògica CMOS bàsica. Nivells de representació.

Teoria: 2h. Problemes : 1h.

Tema II: Relació entre el procés tecnològic i el disseny de CIs.

Etaques en la fabricació dels CIs. Toleràncies en el procés: regles de disseny geomètric. Rangs de variació dels paràmetres elèctrics.

Teoria: 3h Problemes : 1h.

Tema III: El Transistor MOS.

Elements elèctrics lineals en VLSI. El Transistor MOS. Dispositiu de 2, 3 i 4 terminals en VLSI. Models del transistor: Memelink i SPICE.

Teoria: 3h. Problemes : 2h.

Tema IV: L'inversor MOS.

L'inversor NMOS. L'inversor PMOS. Anàlisi elèctrica: equació del dispositiu. Característica estàtica: nivells lògics i marges de soroll. Característica dinàmica: temps de resposta i factor de forma. Consum d'energia i dissipació de potència. Realització física.

Teoria: 5h. Problemes : 2h.

Tema V: Portes bàsiques de la tecnologia CMOS a nivell de transistor.

El transistor de pas i la porta de pas. Multiplexors. Portes NAND i NOR. Portes complexes serie-paralel. Elements de memòria i circuits seqüencials. Paràmetres específics.

Teoria: 4h. Problemes : 1h.

Tema VI: Disseny geomètric.

Estratègies generals. Aprofitament de la simetria. Minimització de capacitats paràsites. Layout simbòlic. Comprovació de regles de disseny. Extracció de paràmetres elèctrics.

Teoria: 2h. Problemes : 1/2 h

PRÀCTIQUES

Pràctica 1: Entorn CAD.

Pràctica 2: Captura d'esquemes.

Pràctica 3: Simulació i caracterització d'una porta combinacional.

Pràctica 4: Simulació i caracterització d'un flip-flop.

Pràctica 5: Layout de la porta combinacional.

Pràctica 6: Layout del flip-flop.

Pràctica 7: Caracterització post-layout.

Tema VII: Característica temporal.

Models simplificats per a portes bàsiques. Fan-out. Límits del compromís area-velocitat en portes bàsiques. Límitació en el número de transistors sèrie-paralel·lel. Portes no inversores. Dimensionaments de cadenes d'inversors.

Teoria: 2h. Problemes : 1/2h.

Tema VIII: Technology Mapping.

Costos d'implementació (àrea, velocitat, consum). Estratègies alternatives: Lògica complementària. Lògiques dinàmiques. Lògiques amb portes de pas. Lògica pseudo-NMOS.

Teoria: 1h. Problemes : 1h.

Tema IX: Subsistemes.

Modularitat i simetria. Compiladors d'estructura. Macromodels. Operadors aritmètics: sumadors, ALU, multiplicador,... PLA, SRAM, DRAM, ROM. Bit-slice Data-path.

Teoria: 2h.

Tema X: Elements específics.

Dispositius analògics. Paràmetres de disseny i estratègia geomètrica. Estructures d'entrada-sortida. Circuits de protecció contra ESD. Circuits elementals utilitzats en el semicustom: Lògica programable. Gate array & Sea-of-Gates. Standard cells. Gate Matrix. Altres metodologies: Lògica subllindar. Lògica multinivell.

Teoria: 4h.

Tema XI: Estratègies globals.

Sincronització a nivell de chip, oblea i sistema. Assincronisme. Posicionament i connexió. Del chip al sistema electrònic. Curves de Rent d'avaluació de prestacions de sistemes digitals.

Teoria: 2h.

BIBLIOGRAFIA

[Mead_80] "Introduction to VLSI Systems. C.A. Mead, L.A. Conway. Ed. Addison Wesley, 1980.

[Glasser_85] "The Design and Analysis of VLSI Circuits". L.A. Glasser, D.W. Dobberpuhl. Ed. Addison Wesley, 1985.

[Weste_85] "Principles of CMOS VLSI Design: A systems perspective". N. Weste, K. Eshragian. Ed. Addison Wesley, 1985.

[Annaratone_86] "Digital CMOS Circuit Design". M. Annaratone. Kluwer Academic Publishers, 1986.

[Mali_87] "Atlas of IC Technologies: An introduction to VLSI Processes". W. Mali. Ed. Benjamin/Cummings, 1987.

[Uyemura_88] "Fundamentals of MOS Digital Integrated Circuits". J. P. Uyemura. Ed. Addison Wesley, 1988.

[Heinbuch_88] "CMOS3 Cell Library". C.V. Heinbuch. Ed. Addison Wesley, 1988.

[Haskard_88] "Analog VLSI Design (NMOS and CMOS)". M. Haskard, I.C. May. Prentice Hall, 1988.

[Fabricius_90] "Introduction to VLSI Design". E. D. Fabricius. Mc Graw Hill, 1990

[Bakoglu_90] "Circuits, Interconnections and Packaging for VLSI. H.B. Bakoglu. Ed.