

DISSENY MICROELECTRONIC I

Professor de Teoria: Jordi Carrabina.

Professor de Pràctiques: Quim Saiz.

Tema 1: Introducció i presentació

Evolució històrica dels circuits integrats. Transistors MOS com a interruptors. Lògica CMOS bàsica. Nivells de representació.

Tema 2: Relació entre el procés tecnològic i el disseny de CIs

Etapes de fabricació d'un circuit integrat. Toleràncies del proces: regles de disseny geomètric. Rangs de variació dels paràmetres elèctrics.

Tema 3: El transistor MOS.

Elements elèctrics lineals en VLSI. El transistor MOS com a dispositiu de 2, 3 i 4 terminals. Models del transistor MOS: Memelink i SPICE.

Tema 4: L'inversor MOS.

L'inversor NMOS. Anàlisi elèctrica: equació del dispositiu. Caracterització estàtica: nivells lògics i marges de soroll. Característica dinàmica: temps de transició i propagació. Diferents nivells d'estimació. Consum d'energia i dissipació de potència. Regles per a disseny òptim.

Tema 5: Portes bàsiques de la tecnologia CMOS a nivell de transistor.

Correspondència de nivell lògic a nivell elèctric. Funcions inversores. Funcions no inversores. El transistor de pas i la porta de pas. Elements de memòria. Paràmetres específics.

Tema 6: Disseny geomètric

Estratègies generals. Aprofitament de la simetria. Minimització de les capacitats paràsites. Layout simbòlic. Comprovació de regles de disseny. Extracció de paràmetres elèctrics.

Tema 7: Característica temporal

Models simplificats de portes bàsiques. Fan-in i fan-out en CMOS. Anàlisi del cas més desfavorable. Límits de compromís àrea velocitat en portes CMOS. Dimensionament òptim de cadenes d'inversors. Bufferització de senyals globals.

Tema 8: Subsistemes.

Modularitat a nivell funcional i simetria a nivell físic. Compiladors d'estructura. Macromodels. Operadors aritmètics. Memòries. Arrays lògics programables.

Tema 9: Elements específics.

Estructures d'entrada-sortida. Circuits de protecció contra ESD i latch-up. Influència en la superfície del xip. Circuits elementals en semicustom: Lògica programable, Gate Arrays & Sea-of-Gates, Standard Cells, Gate matrix.

Pràctiques

En cinc sessions de practiques es dissenyaran dues cel.les d'una biblioteca de cel.les: una combi-nacional i un flip-flop, específiques per a cada grup de pràctiques, de manera que l'elecció tant de l'esquema, com del layout i de les seves prestacions àrea-velocitat seran avaluats com a resultat de les pràctiques prèvia presentació i defensa d'una memòria autocontinguda de les mateixes.

Les pràctiques utilitzaran un entorn de disseny industrial per a la concepció de circuits integrats, que es comú amb totes les assignatures de disseny de CIs, i que està format per un conjunt d'esta-cions de treball, situades al laboratori de microelectrònica, que utilitzen el sistema operatiu UNIX, sobre un estandard X-windows, i una eina CAD també industrial, el Design Framework II de Cadence, distribuïda pel projecte europeu EUROCHIP a les universitats i centres de recerca europeus a baix cost, i finalment, personalitzat per al proces de 2,5 micres del Centre Nacional de Microelectrònica.

Bibliografia.

- "Introduction to VLSI Systems". C.A. Mead. L.A. Conway. 1980.
- "The design and Analysis of VLSI Circuits". L.A.Glasser, D.W. Dobberphul. 1985.
- "Principles of CMOS VLSI design: A systems perspective". N. Weste, K. Eshragian. 1985.
- "Digital CMOS IC Design". M. Annaratone. 1986.
- "Atlas of IC technologies: An introduction to VLSI Processes". W. Mali, 1987.
- "Fundamentals of IC Digital Integrated Circuits". J.P. Ujemura. 1988.
- "CMOS3 Cell Library". C.V.Heinbuch.1988.
- "Introduction to VLSI Design"E.D. Fabricius. 1990.
- "Circuits, Interconnections and Packaging for VLSI". H.B. Bakoglu.1990.