

## **20542 ANALISI DE CIRCUITS INTEGRATS II**

**Optativa:** 6 crèdits (3+1.5+1.5)

**Descriptor BOE:** Estudi de les aplicacions de circuits analògics de propòsit general amb l'objecte de completar la formació de l'alumne

**Avaluació:** Treballs (60%) + pràctiques (40%)

### **TEMARI**

#### **1.- Amplificadors operacionals específics (15h)**

Opamp's d'estructures complementàries. Tècniques específiques: baix consum, alt guany, alta velocitat, baix soroll.

#### **2.- Circuits de mostreig i retenció, S/H (3h)**

Especificacions: temps d'adquisició, d'obertura, *time jitter*, graó mostreig-retenció, *droop rate*, realimentació de senyal i de càrrega. Implementacions. Tècniques d'*autozeroing*. S/H amb corrents commutats. S/H diferencials

#### **3.-Caracterització i test dels conversors DAC i ADC (3h)**

Especificacions estàtiques: FSR, resolució, rang dinàmic, soroll de quantificació, error de guany, error d'offset, no-linealitats: DNL i INL, monotonicitat, codis perduts. Especificacions dinàmiques: relació senyal-soroll (SNR, SFDR), distorsió, SINAD, *glitch*, BER, nombre efectiu de bits, temps d'adquisició i assentament. Test de DAC's i d'ADC's.

#### **4.- Conversors DAC: Arquitectures i característiques (4h)**

Classificacions. DAC's paral.lels: escalat en corrent; escalat en tensió; escalat de càrrega. DAC's serie: no algorítmics i algorítmics (*pipeline*). DAC's "comptadors". DAC's PWM. DAC's altres prestacions: tècniques de trimming, auto-calibració, calibració en corrent. Comparació de prestacions.

#### **5.- Conversor ADC: Arquitectures i característiques (5h)**

Classificacions. ADC's sèrie: pendent simple, pendent doble, "dual ramp-single

slope", d'aproximacions successives, algorítmics. ADC's paral.lels: *flash*, *pseudo-paral.lels*: *time-interleaving*. Combinacions. Comparació de prestacions. ADC d'altres prestacions: auto-calibrats, *pipelined*, *multi-step*, *folded*.

#### **6.- Conversors de sobremostreig (5h)**

Predictius. Moduladors de soroll (SD). SD de primer, segon i ordre N. Conversors SD multi-bit. Problemàtica i implementacions.

#### **7.- Circuits de processat de senyal en temps continu i amb tècniques commutades: SC i SI (10h)**

Conversors voltatge-corrent; multiplicadors; processat amb estructures DDA. Blocs amb tècniques commutades: amplificadors amb SC; arrays de capacitats programables; moduladors; rectificadors CMOS; oscil.ladors; comparadors.

### **BIBLIOGRAFIA**

- VAN DER PLASSCHE. *Integrated A/D & D/A Converters*. Kluwer, 1994.  
GEIGER, ALLEN, STRADER. *VLSI Design Techniques for Analog and Digital Circuits*. McGraw-Hill, 1990.  
TSIVIDIS, ANTOGNETTI. *Design of MOS VLSI Circuits for Telecommunications*. Prentice Hall, 1985  
LAKER, SANSEN. *Design of Analog Integrated Circuits and Systems*. McGraw Hill, 1994  
HOESCHELE. *A/D and D/A Conversion Techniques*. Wiley, 1994.  
GREGORIAN + TEMES. *Analog MOS Integrated Circuits for Signal Processing*. Wiley, 1986.  
TOUMAZOU + LIDJEY + HAIGH. *Analogue IC design: the current mode approach*. Peter Peregrinus 1990.  
ISMAIL + FIEZ. *Analog VLSI Signal and Information Processing*. McGraw-Hill 1994.  
ALLEN + SANCHEZ-SINENCIO *Switched Capacitors circuits*. Reinhold 1984  
HUIJSING, VAN DER PLASSCHE, SANSEN. *Analog Circuit Design*. Kluwer, 1993  
ISMAIL, FRANCA. *An Introduction to Analog VLSI Design Automation*. Kluwer 1991.

SANSEN, HUIJSIN, VAN DER PLASSCHE. *Analog Circuit Design*. Kluwer 1994.

GIELEN, SANSEN. *Symbolic Analysis for Automated Design of Analog Integrated Circuits*, Kluwer, 1991.

**Treballs:**

- (a) Us d'eines d'automatització pel disseny de circuits analògics
- (b) Simulació d'un conversor SD de primer ordre
- (c) A determinar

**Pràctiques:**

1. Lay del OTA optimitzat. Simulació i caracterització post lay-out
2. Simulació d'un conversor DAC algorítmic i un DAC d'escalatge de corrent.  
Caracterització dels conversors. Estudi de la influència dels interruptors. (2 sessions)
3. Simulació d'un conversor ADC d'aproximacions successives. Implementació del SAR, ús d'un dels conversors DAC i simulació mixte. (2 sessions)

**Material:** Estacions de treball. **CAD:** Design Framework II, HSPICE-Verilog