

# 22894 DISSENY I TEST AVANÇAT DE CIRCUITS INTEGRATS

---

**Optativa:** 6 crèdits (3+3)

**Descriptor BOE:** Anàlisi de costos derivats de les diferents metodologies. Arquitectura VLSI. Test avançat. Metodologies de disseny de sistemes electrònics.

**Avaluació:** Nota final = ½ Nota de l'examen de teoria \* ½ Nota de pràctiques. S'han d'aprovar l'examen i les pràctiques per separat.

## TEMARI

### Capítol 1: Introducció al disseny de sistemes electrònica. (1 setmana)

Tendències i evolució del disseny de sistemes electrònics

### Capítol 2: Metodologia EDA. (2 setmanes)

Procés de disseny  
Nivells d'abstracció i etapes  
Fluxes de treball  
CAD Frameworks

### Capítol 3: Modelat HDL i simulació. (2 setmanes)

Introducció als HDLs  
Modelat als diferents nivells d'abstracció  
Estratègies per a la verificació dels models  
Concepte de testbench  
Simulació mixta analògica-digital

### Capítol 4: Síntesi d'alt nivell i verificació. (2 setmanes)

Sistemes complexos amb hardware i software  
Particionat del disseny i refinament succesiu  
Realització de les especificacions per a un subcomponent  
Síntesi automàtica en el procés de disseny  
Automatització als diferents nivells d'abstracció  
Aplicació dels HDLs a les eines de síntesi

Possibilitat de realitzar una verificació automàtica

### Capítol 5: Substrats electrònics: Processos de fabricació. (2 setmanes)

Classificació dels processos en fabricació de substrats.  
Processos gruixuts i processos primers.  
Plaques de circuit imprès.  
Connexió sòcol-substrat.  
Connexió dispositiu-sòcol.

### Capítol 6: Línies de transmissió en sistemes electrònics. (2 setmanes)

Línies de transmissió.  
Crosstalk.  
Soroll de commutació.  
Distribució de senyals de rellotge a alta freqüència.

### Capítol 7: Transferència de calor en sistemes electrònics. (1 setmana)

Fonaments de transferència de calor.  
Conducció, convecció, ebullició i radiació.  
Refrigeradors.

### Capítol 8: Rendiment i fiabilitat. (1 setmana)

Mesura de la fiabilitat.  
Mecanismes de fallada.  
Fatiga tèrmica i mismatch tèrmic.  
Càrrega mecànica.  
Degradació tribològica i descàrrega electrostàtica.

### Capítol 9: Test de sistemes. (2 setmanes)

Boundary-Scan.  
Tècniques tolerants a falles.  
Autocomprovabilitat.

## BIBLIOGRAFIA

LIPSETT, R. SCHAEFER, C. USSERY, C.: *VHDL: Hardware Description and Design*. Kluwer Academic Publishers, 1990.

MAZOR, S. LANGSTRAAT, P.: *A Guide to VHDL*. Kluwer Academic Publishers, 1993.

MICHEL, P., LAUTHER, U., DUZY, P. *The synthesis approach to Digital System Design*. Kluwer Academic Publishers, 1992.

BAKOGLU, H. *Circuits, Interconnections and Packaging for VLSI* Addison Wesley, 1990.

TUMMALA, R., RYMASGESKI, E.: *Microelectronics Packaging Handbook*. Van Nostrand Reinhold, 1989

PECHT, M. *Handbook of Electronic Packaging Design*. Dekker, 1991.

LICARI, J., ESLOW, L. *Hybrid Microcircuit Technology Handbook*. Noyes, 1988.

LALA, P. *Fault-Tolerant & Fault Testable Hardware Design*. Prentice Hall, 1985.

PRADHAM, D. *Fault-Tolerant Computing*. Prentice-Hall 1986.

BARDELL, P., MCANNEY, W., SAVIR, J. *Built-in-Test for VLSI*. Inter-Science, 1987.

PARKER, K. *The Boundary-Scan Handbook*. Kluwer Academic Publishers, 1992.

**Problemes:** Llenguatge VHDL: Síntaxi orientada a la síntesi. (15 hores).

**Pràctiques:** Modelat per a simulació i modelat a nivell RTL per a la síntesi automàtica d'un microprocessador senzill.

Duració: 5 sessions de 3 hores.

Laboratori de Microelectrònica: C5-131.