

Disseny de Circuits Integrats II

(Eng. Informàtica - 8th semestre)

Programa

Tema 1: Planificació i desenvolupament d'un projecte microelectrònic

- Objectius, participants i etapes d'un projecte
- Plantejament i anàlisi de viabilitat
 - De la idea als requeriments
 - Viabilitat tècnica i econòmica
 - Especificacions
 - Documentació
- Gestió i desenvolupament del projecte
 - Pla de desenvolupament
 - Etapes i equips de treball
 - Documentació per etapes

Tema 2: Els HDLs i el disseny digital d'alt nivell

- Naixement i evolució dels HDLs
 - Ressenya històrica
 - Descripció d'Hw versus desenvolupament de Sw
 - Característiques generals dels HDLs
- Metodologies i fluxos de disseny electrònic basats en HDLs
 - Fluxos bottom up
 - Aportacions dels HDLs
 - Fluxos top down
- Conceptes fonamentals dels HDLs
 - La simulació dirigida per events
 - Cicle de simulació i control del temps
 - Concordança i seqüencialitat
 - Tipus de dades
 - Teràpica i estructuració del codi
 - Modiglat: nivells d'abstracció i estils descriptius
- Breu presentació comparativa dels estàndards Verilog i VHDL.
- VHDL: mecanismes bàsics de processat i simulació dels VHDLs

Tema 3: Modelat en HDL

- Modelat als diferents nivells d'abstracció
- Simulació versus síntesi
 - Anàlisi de prestacions i recomanacions per optimitzar la simulació
 - Restriccions, anàlisi de prestacions i recomanacions per millorar la síntesi
- Validació de models
 - Concepte d'entorn de test o banc de proves (testbenches)
 - Estratègies de validació de models
- Modelat per la reutilitzabilitat
 - Estils de descripció i documentació dels models
 - Estratègies de modelat: components genèrics i reconfigurables
 - Mòduls y macrobloques reutilitzables (IP-Cores): que són, que contenen i com s'utilitzen?

Tema 4: Conceptes i algoritmes bàsics de síntesi

- Esquema general, nomenclatura i conceptes de base
- Síntesi d'alt nivell
- Síntesi RTL
- Síntesi Lògica
- Mapeig tecnològic

Tema 5: Tendències de futur

- Verificació formal
- Co-disseny Hw/Sw

Problemes

Llenguatge VHDL orientat a la síntesi

Exercicis que complementin els exemples de teoria i facilitin el desenvolupament de les pràctiques des del punt de vista de modelat en VHDL.

Pràctiques

- Modelat d'un processador senzill. Es desenvoluparà un model per simulació i un model a nivell RTL, per la síntesi automàtica usant eines EDA (DFW-II, FPGA-Express, Altera, ...).
- Duració: 5 sessions de 3 hores.
- Lloc: Laboratori de Microelectrònica (C5-119)

Bibliografia

- Llibres
 - Lluís Terés, Yago Torroja, Serafín Olcoz y Eugenio Villar. "VHDL: Lenguaje Estándar de Diseño Electrónico". McGraw-Hill, 1998. ISBN: 84-481-1196-6. (Información más detallada: <http://www.cnm.es/IMB/LibroVHDL/>)
 - Zoran Salecic. "VHDL and FPLDs in Digital Systems: Design, Prototyping and Customization". Boston: Kluwer Academic Publishers, 1998. 576 pp. ISBN 0-7923-8144-0.
 - Comitè PREND. "PREND: Metodología para el diseño de ASIC's". Univ. Politécnica de Madrid, ETSII, 1996.
 - Peter J. Ashenden. The Designer's Guide to VHDL. Morgan Kaufmann Publishers, 1996
 - S. Mazor, P. Langstraat. "A Guide to VHDL". Kluwer Academic Publishers, 1993
 - P. Michel, U. Lauther, P. Duzy. "The synthesis approach to Digital System Design". Kluwer Academic Publishers, 1992.
 - Donald E. Thomas and Philip R. Moorby. "The VERILOG Hardware Description Language". Kluwer Academic Publishers, 1991.
- Articles
 - L. Terés, M. Moré y E. Lecha. "Los lenguajes de descripción de hardware y la microelectrónica" Fronteras de la Ciencia, nº 12, Julio-Septiembre de 1996, pag.43-47
 - C. Delgado, L. Sanchez, E. Lecha, M. Moré y L. Terés. "Introducción a los lenguajes VHDL, Verilog y UDL/I". Revista Novatca, Nov.'94 - Feb'95, Nos. 112-113, pag. 25-34.

AQUESTA VERSIÓ ESTÀ ENCARA EN VIES DE DESENVOLUPAMENT I REVISIÓ
DE:TALLADA, A L'HORA QUE TAMBÉ HI FALTEN REFERÈNCIES BIBLIOGRÀFIQUES.