

Sistemes Digitals I

OBJECTIU

L'objectiu d'aquesta assignatura és aprendre la síntesi i l'anàlisi de circuits combinacionals i seqüencials. Per això, caldrà tenir unes bases sòlides de l'Àlgebra de Boole i minimització de circuits lògics, coneixements obtinguts en assignatures prèvies.

Inicialment, es farà un recordari d'aquests conceptes, per procedir a l'explicació de la teoria del disseny i anàlisi de circuits senzills, i posteriorment s'ampliarà al disseny de circuits més complexos i òptims. S'introdueix, també, els mètodes de disseny modular i els dispositius lògics programables.

TEMARI

CAPÍTOL 1: Àlgebra de Boole i simplificació de funcions lògiques

- 1.1 Definició d'àlgebra de Boole
- 1.2 Propietats de l'àlgebra de Boole
- 1.3 Funcions booleanes
 - 1.3.1 Definicions
 - 1.3.2 Formes canòniques
 - 1.3.3 Conversió entre formes canòniques
- 1.4 Mètodes de minimització
 - 1.4.1 Mapes de Karnaugh
 - 1.4.2 Mètode de Quine-McCluskey
- 1.5 Funcions amb especificació incompleta
- 1.6 Funcions de sortida múltiple

Capítol 2: Materialització de circuits combinacionals

- 2.1 Introducció
- 2.2 Portes lògiques
 - 2.2.1 Portes lògiques: NOT, AND, OR, NAND i NOR
 - 2.2.2 Conjunts universals
 - 2.2.3 L'operador OR-Exclusiu o XOR
- 2.3 Anàlisi de circuits combinacionals
 - 2.3.1 Mètode algebraic
 - 2.3.2 Mètode de la taula de veritat
 - 2.3.3 Procediment d'anàlisi multinivell
- 2.4 Característiques dels circuits combinacionals
- 2.5 Síntesi de circuits combinacionals
 - 2.5.1 Circuits de dos nivells de portes: AND-OR, OR-NAND, NAND-NAND i NOR-NOR
 - 2.5.2 Passos per a la síntesi de circuits combinacionals. Exemples.

Capítol 3: Lògica combinacional modular

- 3.1 Multiplexors
- 3.2 Demultiplexors
- 3.3 Decodificadors
- 3.4 Codificadors
- 3.5 Dispositius lògics programables
 - 3.5.1 PROM
 - 3.5.2 PLA
 - 3.5.3 PAL
 - 3.5.4 GAL

Capítol 4: Introducció als circuits seqüencials

- 4.1 Introducció
- 4.2 Elements de memòria asíncrons (latch)
 - 4.2.1 Latch bàsic
 - 4.2.2 Latch RS asíncron (AND-OR)
 - 4.2.3 Latch RS asíncron (NAND-NAND)
- 4.3 Elements de memòria síncrons
 - 4.3.1 Biestables sensibles a nivell: RS síncron (AND-OR, NAND-NAND), D a partir d'un RS síncron
 - 4.3.2 Biestables disparats per flanc: RS, D i JK.
 - 4.3.3 Biestables disparats per pols: Master-Slave (RS, JK, D, T)
- 4.4 Característiques de funcionament dels biestables
 - 4.4.1 Símbols lògics
 - 4.4.2 Entrades asíncrones
 - 4.4.3 Diagrames de temps

Capítol 7: Anàlisi i síntesi de circuits seqüencials síncrons

- 5.1 Models de circuits seqüencials síncrons
 - 5.1.1 Model de Mealy
 - 5.1.2 Model de Moore
- 5.2 Anàlisi de circuits seqüencials síncrons
 - 5.2.1 Anàlisi d'un circuit seqüencial de Mealy
 - 5.2.2 Anàlisi d'un circuit seqüencial de Moore
- 5.3 Síntesi de circuits seqüencials síncrons
 - 5.3.1 Exemple
 - 5.3.2 Procediment de síntesi
 - 5.3.3 Minimització d'estats: Mètode d'inspecció i Mètode de Kufmann
 - 5.3.4 Criteris per a l'assignació d'estats
 - 5.3.5 Exemple de disseny de diferents tipus de circuits seqüencials síncrons segons el model de Moore i de Mealy

Capítol 6: Components seqüencials síncrons

- 6.1 Registres
 - 6.1.1 Registres de desplaçament
- 6.2 Comptadors
 - 6.2.1 Comptadors síncrons
 - 6.2.2 Comptadors assíncrons
- 6.3 Generadors de seqüència
- 6.4 Matrius seqüencials programables
- 6.5 Memòries (ROM's, RAM's, ...)