

DISEÑO MICROELECTRÓNICO II

Troncal: 6 crèdits (3+3)

Descriptor BOE: Estudi de les metodologies de disseny i test de circuits integrats amb l'objecte de completar la formació de l'alumne.

TEMARIO

1.- Etapas en el diseño de un CI

Estudios de fiabilidad
Herramientas de diseño, controlabilidad, testabilidad
Reglas de diseño para la testabilidad
Caminos internos (scan-paths)

Prototipos y series
Relaciones con la “foundry”

2.-Herramientas de ayuda al diseño: Herramientas de verificación dinámica.

Niveles de representación
Simulación eléctrica
Simulación temporal
Simulación lógica
Simulación funcional/mixta

3.- Herramientas de ayuda al diseño: Herramientas de síntesis

Síntesis de alto nivel
Ubicación (placement)
Conexionado (routing).

4.- Herramientas de ayuda al diseño: Herramientas de verificación estática

Verificadores de reglas de diseño
Verificadores temporales

5.- Implementación física: Metodologías de diseño

Full-custom, standar-cells, sea-of-gates, FPGAs
Bibliotecas de celdas
Encapsulado

6.- Test de CIs

Necesidad del test
Equipos automáticos de test (ATEs)
Modelos de fallos
Generación de vectores de test
Simuladores de fallos

7.-Diseño para la testabilidad

Observabilidad Boundary scan
Test interno no concurrente (BIST)
Test interno concurrente

BIBLIOGRAFÍA

RUBIN, S.M. *Computer aids for VLSI design*. Prentice-Hall 1987
SHOJI, M. *CMOS digital circuit technology*. Prentice-Hall 1988
PREAS, B.; LORENZETTI, M. *Physical design automation of VLSI systems*. benjamin/Cummings Pub.Company Inc., 1988
FERRER, C.; OLIVER, J.; VALDERRAMA, E. *Test de CIs*. Apuntes de clase.
PRADHAN, D. *Fault tolerant computing, vols. I y II*. Prentice-Hall 1986
FUJIWARA, H. *Logic testing and design for testability*. MIT Press, 1985

Prácticas:

Diseño, de forma guiada, de un chip desde el nivel de puertas al layout y encapsulado. El objetivo de las prácticas es que el alumno conozca y utilice con soltura las herramientas de diseño. Se utilizará el mismo entorno CAD que en Diseño Microelectrónico I.