

21324 - DISSENY DE SISTEMES DIGITALS
Enginyeria Tècnica en Informàtica de Sistemes (EUIS)

Curs acadèmic:	2005-2006
Nombre de crèdits:	6 (3 + 1 + 2)
Horari:	Dimarts de 11 - 13 Dijous de 12 - 14 (15)
Aula:	

Nom	e-mail	Despatx
Joan Oliver	Joan.Oliver@uab.es	250
Raúl Aragonés	Aragones@microelec.uab.es	250

Objectius i orientació

Aquesta assignatura cobreix aspectes avançats del disseny digital introduint l'alumne cap a aspectes del modelat i construcció de sistemes digitals compleerts que es poden acoplar en sistemes autònoms o basats en microprocessadors.

En acabar el curs l'alumne ha de ser capaç de planificar, dissenyar i implementar sistemes digitals emprant eines de disseny i descripcions del sistema mitjançant llenguatges d'alt nivell.

Per a assolir-ho el curs té un alt contingut pràctic i es desenvolupen diferents sistemes emprant els entorns de desenvolupament d'Altera i de Cypress.

Programa

Tema 1: Implementació de sistemes: del concepte a la implementació. Fluxe de disseny. (2 hores).

Apunts capítol 1. [Disseny de sistemes](#)

Tema 2: Implementació de sistemes digitals amb eines de prototipatge ràpid. Circuits programables. Exemples: Altera, Xilinx i Cypress. (6 hores)

Apunts capítol 2. [CircuitsProgramables.ppt](#) (12MB)

Tema 3: CAD en el disseny de sistemes electrònics. Fluxe de disseny amb eines CAD de disseny de circuits. Fluxe de disseny amb eines CAD de disseny de plaques de circuit imprès. Tecnologies de fabricació de plaques de circuit imprès. (6 hores)

Apunts capítol 3.

Tema 4: Descripció de sistemes electrònics amb llenguatges d'alt nivell: VHDL. (14 hores)

Apunts capítol 4. [IntroduccióVHDL](#)

Tema 5: Aplicació a interfícies de comunicació amb el PC: busos i protocols actuals. Implementació hardware del protocol RS232. (12 hores)

Materials

Enunciats de problemes: [ProblemesDSD0405](#)

Casos pràctics de descripció de components amb VHDL: [Materials](#)

Programació de l'assignatura

El calendari (consultiu) que es pretén seguir durant el semestre és el següent: [Programació](#)

Pràctiques

La pràctica consta en la implementació d'un sistema electrònic emprant l'eina de disseny i de síntesis de Cypress. La pràctica consta de dues parts. La primera part, d'explicació del CAD de Cypress, es fa durant les hores de problemes. La part d'implementació es realitza en el laboratori de Circuits Integrats durant les sessions de pràctiques.

Per a la realització de les pràctiques teniu a la vostra disposició una sèrie de materials que us ajudaran a la seva comprensió i realització: [Apunts per a les pràctiques](#).

Els enunciats de pràctiques els podeu trobar a [Enunciats.htm](#).

Finalment, la descripció dels dos projectes és la següent:

[Projecte 1](#)

[Projecte 2](#)

Bibliografia

S.Sjoholm, L.Lindh. "VHDL for Designers".Prentice Hall, 1999.
P. Ashenden. "The Designer's Guide to VHDL". Morgan Kaufmann. 2002.
B. Zeidman. "Designing with FPGs & CPLDs". CmpBooks. 2002.
DataSheets d'Altera i de Cypress.

Avaluació

L'assignatura s'avalua seguint els criteris: 40% nota Prova VHDL, 35% nota d'exercicis (distribuït en 20% notes de problemes i 15% nota exercici final), 25% nota de pràctiques.

L'avaluació, en segona convocatòria, seguirà els criteris: 60% nota Prova VHDL, 15% nota exercici final, 25% nota de pràctiques.

Per aprovar cal treure un 5 (sobre 10) de l'examen i de les pràctiques.

En la nota de pràctiques es pondera l'assistència, la realització de les pràctiques i l'entrega dels informes que es demanin.
