

DEPARTAMENTO DE MICROELECTRÓNICA Y SISTEMAS ELECTRÓNICOS

21324 - DISEÑO DE SISTEMAS DIGITALES Ingeniería Técnica en Informática de Sistemas (EUIS)

Curso académico	2006-2007
Número de créditos	6 (3 + 1 + 2)
Horario	Martes de 11 a 13 Jueves de 12 a 14 (15)

Nombre	e-mail	Despacho
Joan Oliver	Joan.Oliver@uab.es	250
Raúl Aragonés	Aragones@microelec.uab.es	250

Objetivos y orientación

Esta asignatura cubre aspectos avanzados del diseño digital introduciendo el alumno hacia aspectos del modelado y construcción de sistemas digitales completos que se pueden acoplar en sistemas autónomos o basados en microprocesadores.

Al acabar el curso el alumno debe ser capaz de planificar, diseñar e implementar sistemas digitales empleando herramientas de diseño y descripciones del sistema mediante lenguajes de alto nivel.

Para lograrlo el curso tiene un alto contenido práctico y se desarrollan diferentes sistemas empleando los entornos de desarrollo de Altera y de Cypress.

Programa

Tema 1: Implementación de sistemas: del concepto a la implementación. Flujo de diseño. (2 horas).

Apuntes capítulo 1. [Disseny de sistemes](#)

Tema 2: Implementación de sistemas digitales con herramientas de prototipaje rápido. Circuitos programables. Ejemplos: Altera, Xilinx y Cypress. (6 horas)

Apuntes capítulo 2. [CircuitsProgramables.pdf](#)(12MB)

Tema 3: CAD en el diseño de sistemas electrónicos. Flujo de diseño con herramientas CAD de diseño de circuitos. Flujo de diseño con herramientas CAD de diseño de placas de circuito impreso. Tecnologías de fabricación de placas de circuito impreso. (6 horas)

Apuntes capítulo 3.

Tema 4: Descripción de sistemas electrónicos con lenguajes de alto nivel: VHDL. (14 horas)

Apuntes capítulo 4. [IntroduccióVHDL](#)

Aparte de los apuntes, para este capítulo se recomienda seguir la recopilación sobre VHDL que se encuentra en la página [Curs a distància de circuits digitals amb VHDL](#)

Tema 5: Aplicación a interfaces de comunicación con el PC: buses y protocolos actuales. Implementación hardware del protocolo RS232. (12 horas)

Materiales

Enunciados de problemas: [ProblemesDSD0607](#)

Casos prácticos de descripción de componentes con VHDL: [Materials](#)

Programación de la asignatura

El calendario (consultivo) que se pretende seguir durante el semestre es el siguiente: [Programació](#)

Prácticas

La práctica consta en la implementación de un sistema electrónico empleando la herramienta de diseño y de síntesis de Cypress. La práctica consta de dos partes. La primera parte, de explicación del CAD de Cypress, se hace durante las horas de problemas. La parte de implementación se realiza en el laboratorio de Circuitos Integrados durante las sesiones de prácticas.

Para la realización de las prácticas tenéis a vuestra disposición una serie de materiales que os ayudarán a su comprensión y realización: [Apunts per a les pràctiques](#).

Bibliografía

S.Sjoholm, L.Lindh. "VHDL for Designers".Prentice Hall, 1999.
P. Ashenden. "The Designer's Guide to VHDL". Morgan Kaufmann. 2002.
B. Zeidman. "Designing with FPGAs & CPLDs". CmpBooks. 2002.
DataSheets de Altera y de Cypress.

Evaluación

La asignatura se evalúa siguiendo los criterios: 40% nota Prueba VHDL, 35% nota de ejercicios (distribuido en 20% notas de problemas y 15% nota ejercicio final), 25% nota de prácticas. La evaluación, en segunda convocatoria, seguirá los criterios: 60% nota Prueba VHDL, 15% nota ejercicio final, 25% nota de prácticas. Para aprobar hace falta sacar un 5 (sobre 10) del examen y de las prácticas. En la nota de prácticas se pondera la asistencia, la realización de las prácticas y la entrega de los informes que se pidan.
