

Disseny de Sistemes Integrats per a Processament Digital

Codi: 42839
Crèdits: 6

Titulació	Tipus	Curs	Semestre
4313797 Enginyeria de Telecomunicació / Telecommunication Engineering	OB	1	2

La metodologia docent i l'avaluació proposades a la guia poden experimentar alguna modificació en funció de les restriccions a la presencialitat que imposin les autoritats sanitàries.

Professor/a de contacte

Nom: Jordi Carrabina Bordoll

Correu electrònic: Jordi.Carrabina@uab.cat

Equip docent

Lluís Antoni Teres Teres

David Castells Rufas

Marc Codina Barbera

Utilització d'idiomes a l'assignatura

Llengua vehicular majoritària: anglès (eng)

Prerequisits

És recomanable tenir coneixements de:

Disseny de Sistemes electrònics

Sistemes Digitals i Llenguatges de Descripció del Hardware

Sistemes Electrònics i Aplicacions

Objectius

L'objectiu principal del curs és l'aprenentatge, comprensió i capacitació en el disseny de sistemes electrònics amb el focus en els sistemes embedded. Aquestes sistemes estan centrats en els circuits integrats (o SoC de Systems on a chip) que gestionen la capacitat de computació i la comunicació per protocols cablejats o sense fil. L'estudi d'aquests sistemes s'orientarà a les arquitectures de processament digital usuals a l'electrònica moderna: single-core (p.e. xarxes de sensors sense fils), multi-core (p.e. dispositius multimedia) i many core (p.e. computació d'altres prestacions); i per als diferents models de computació: flux de dades i reactius. Els sistemes digitals integren igualment components no digitals com són sensors, actuadors, analògics, RF i reguladors. S'estudiaran les diferents tecnologies de fabricació disponibles al mercat, des de les tecnologies de silici fins als nous processos en electrònica flexible i orgànica, i s'utilitzaran plataformes FPGA per a la implementació dels sistemes integrals digitals al laboratori.

Competències

- Capacitat de raonament crític i pensament sistemàtic, com mitjans per a tenir una oportunitat de ser originals en la generació, desenvolupament i/o aplicació d'idees en un context d'investigació o professional.

- Capacitat de treballar en equips interdisciplinaris.
- Capacitat per a utilitzar dispositius lògics programables, així com per dissenyar sistemes electrònics avançats, tant analògics com digitals
- Coneixement dels llenguatges de descripció maquinari per a circuits d'alta complexitat
- Mantenir una activitat proactiva i dinàmica respecte la millora continua.
- Que els estudiants siguin capaços d'integrar coneixements i enfrontar-se a la complexitat de formular judicis a partir d'una informació que, tot i ser incompleta o limitada, inclogui reflexions sobre les responsabilitats socials i ètiques vinculades a l'aplicació dels seus coneixements i judicis
- Que els estudiants sàpiguen aplicar els coneixements adquirits i la seva capacitat de resolució de problemes en entorns nous o poc coneguts dins de contextos més amplis (o multidisciplinaris) relacionats amb la seva àrea d'estudi.
- Que els estudiants sàpiguen comunicar les seves conclusions, així com els coneixements i les raons últimes que les fonamenten, a públics especialitzats i no especialitzats d'una manera clara i sense ambigüitats

Resultats d'aprenentatge

1. Capacitat de raonament crític i pensament sistemàtic, com mitjans per a tenir una oportunitat de ser originals en la generació, desenvolupament i/o aplicació d'idees en un context d'investigació o professional.
2. Capacitat de treballar en equips interdisciplinaris.
3. Coneixement dels llenguatges de descripció maquinari per a circuits d'alta complexitat.
4. Dissenyar ASICs
5. Dissenyar circuits integrats a partir de llenguatges de descripció de maquinari implementables mitjançant ASICs i/o FPGAs
6. Mantenir una activitat proactiva i dinàmica respecte la millora continua.
7. Que els estudiants siguin capaços d'integrar coneixements i enfrontar-se a la complexitat de formular judicis a partir d'una informació que, tot i ser incompleta o limitada, inclogui reflexions sobre les responsabilitats socials i ètiques vinculades a l'aplicació dels seus coneixements i judicis
8. Que els estudiants sàpiguen aplicar els coneixements adquirits i la seva capacitat de resolució de problemes en entorns nous o poc coneguts dins de contextos més amplis (o multidisciplinaris) relacionats amb la seva àrea d'estudi.
9. Que els estudiants sàpiguen comunicar les seves conclusions, així com els coneixements i les raons últimes que les fonamenten, a públics especialitzats i no especialitzats d'una manera clara i sense ambigüitats
10. Utilitzar dispositius lògics programables digitals.

Continguts

1. Introducció al Disseny de Sistemes Integrats per Processament Digital

Conceptes bàsics dels Sistemes Ciber-Físics

Especificacions Funcionals

Disseny Centrat en l'Usuari

Requeriments de Prestacions

2. Metodologies de Disseny de Circuits Integrats

Metodologies de Disseny ASIC i FPGA,

Modelat, simulació i síntesi en VHDL

Disseny de Sistemes a Alt Nivell

3. Tecnologies d'Implementació de Sistemes Integrats

Biblioteques de cel·les CMOS digitals.

Eines EDA.

Tecnologies de Fabricació de Circuits Integrats.

Industrialització; IPs i Patents

Printed Electronics i PCBs d'Altes Prestacions

4. Disseny de Systems-on-a-Chip

Models de Computació i Programació Avançada

Arquitectures SoC i MPSoC

Plataformes Embedded

Verificació, Prototipat i Test

Laboratori: Processament Digital Integrat sobre FPGA

Metodologia

El curs està principalment guiat per les classes magistrals dels professors de l'assignatura que utilitzaran intensivament el material docent (presentacions i documents) que estaran disponibles a través del campus virtual.

Hi ha previstos 2 seminaris, que es poden ampliar en funció de l'activitat paral·lela durant curs, y que permetran una major profunditat en temes específics.

Les classes de laboratori permetran aplicar i experimentar els conceptes adquirits sobre plataformes FPGA àmpliament utilitzades a la indústria.

En funció de l'interés de cada alumne es seleccionarà un article científico-tecnològic que li permetrà familiaritzar-se i avaluar el coneixement que es pot adquirir a través de revistes i publicacions especialitzades.

Opcionalment, per a alumnes amb coneixements avançats en sistemes embedded i/o VHDL i/o FPGA es proposarà la participació en competicions internacionals d'empreses de sistemes embedded. La participació en la competició internacional substituirà les activitats de laboratori i revisió crítica.

Activitats formatives

Títol	Hores	ECTS	Resultats d'aprenentatge
Tipus: Dirigides			
Classes Magistrals	22	0,88	1, 3, 4, 5, 6, 7, 8, 10
Seminaris Temàtics	4	0,16	1, 4, 6, 7, 8, 9
Sessions de Laboratori	15	0,6	1, 2, 3, 5, 6, 7, 8, 9, 10
Tipus: Supervisades			
Selecció i Seguiment d'un article científico-tecnològic personalitzat	14	0,56	1, 6, 7, 8, 9

Estudi	69	2,76	1, 3, 4, 5, 6, 7, 8, 10
Preparació i avaluació d'activitats de laboratori	20	0,8	1, 2, 3, 5, 7, 8, 10

Avaluació

L'avaluació dels alumnes utilitzarà l'avaluació continuada i la nota final del curs es calcula amb la ponderació de la taula anterior que conté:

- 2 examens parcials que contindràn conceptes teòrics i exercicis. Cal obtenir una avaluació superior a 3.
- Treball en equip al laboratori, programat en 4 o 5 sessions amb l'obligació d'entregar els corresponents informes (de manera individual). Es obligatori per passar l'avaluació del curs.
- Treball individual sobre la revisió crítica d'un article científic-tecnològic
- La participació en una competició internacional d'empreses de sistemes embedded substituirà les activitats de laboratori i revisió crítica.

Per obtenir MH caldrà que els alumnes tinguin una qualificació global superior a 8,5 amb les limitacions de la UAB (1MH/10alumnes). Com a criteri de referència s'assignarà per ordre descendent.

Una nota final ponderada no inferior al 50% és suficient per superar el curs, sempre que s'assoleixi una puntuació superior a un terç de la gamma en totes les 4 notes.

No es tolerarà el plagi. Tots els estudiants implicats en una activitat de plagi seran suspesos automàticament. S'assignarà una nota final no superior al 30%.

Un estudiant que no hagi aconseguit una nota mitjana ponderada suficient, pot optar per sol·licitar activitats de reparació de l'assignatura en les següents condicions:

- l'estudiant ha d'haver participat en les activitats de laboratori i d'aprenentatge basat en problemes
- l'estudiant ha de tenir una mitjana ponderada final superior al 30%, i
- l'estudiant no ha d'haver fallat en cap activitat per culpa del plagi.

L'estudiant rebrà una nota de "No Avaluable" en cas que:

- l'estudiant no hagi pogut ser avaluat en les activitats de laboratori i d'aprenentatge basat en problemes per no haver-hi assistit o no haver entregat els corresponents informes sense causa justificada.
- l'estudiant no hagi realitzat un mínim del 50% de les activitats proposades en sessions tutoritzades.
- l'estudiant no hagi realitzat l'examen de síntesi

Els estudiants repetidors podran "guardar" la seva qualificació en les activitats de laboratori i d'aprenentatge basat en problemes però no en la resta d'activitats.

Activitats d'avaluació

Títol	Pes	Hores	ECTS	Resultats d'aprenentatge
Entregues del treball de laboratori	35%	1	0,04	2, 3, 5, 6, 7, 8, 9, 10
Prova d'avaluació continuada (1er parcial)	25%	2	0,08	3, 4, 5, 7, 8, 10
Prova d'avaluació continuada (2on parcial)	25%	2	0,08	3, 4, 5, 7, 8, 10
Revisió crítica d'un article Científic-Tecnològic personalitzat	15%	1	0,04	1, 6, 7, 8, 9

Bibliografia

F. Balarin et al.: "Hardware-Software Co-Design of Embedded Systems: The POLIS Approach"

Rajsuman, Rochit ."System-on-a-Chip: Design and Test"

P. Bricaud, M. Keating : "Reuse Methodology Manual for System-On-A-Chip Designs"

L. Terés, Y. Torroja, S. Olcoz, E. Villar: "VHDL: Lenguaje estándar de diseño electrónico"

I. Grout "Digital Systems Design with FPGAs and CPLDs"

H.J.M. Veendrick "Nanometer CMOS: from ASICS to BASICS", 2ª edición, Springer. 2017.

<http://www.europractice.com/>

Exemple de competició internacional <http://www.innovatefpga.com/portal/>