

Disseny de Sistemes Integrats per a Processament Digital

Codi: 42839

Crèdits: 6

Titulació	Tipus	Curs	Semestre
4313797 Enginyeria de Telecomunicació / Telecommunication Engineering	OB	1	2

La metodologia docent i l'avaluació proposades a la guia poden experimentar alguna modificació en funció de les restriccions a la presencialitat que imposin les autoritats sanitàries.

Professor/a de contacte

Nom: Jordi Carrabina Bordoll

Correu electrònic: Jordi.Carrabina@uab.cat

Utilització d'idiomes a l'assignatura

Llengua vehicular majoritària: anglès (eng)

Equip docent

Lluís Antoni Teres Teres

Raimon Casanova

David Castells Rufas

Marc Codina Barbera

Prerequisits

És recomanable tenir coneixements de:

Disseny de Sistemes electrònics

Sistemes Digitals i Llenguatges de Descripció del Hardware

Sistemes Electrònics i Aplicacions

Arquitectura de Processadors

Objectius

L'objectiu principal del curs és l'aprenentatge, comprensió i capacitació en el disseny de sistemes electrònics per a processament digital amb el focus en els sistemes embedded. Aquest sistema estan centrats en els circuits integrats (o SoC de Systems on a chip) que gestionen la capacitat de computació necessària i la comunicació (per protocols cablejats o sense fil). L'estudi d'aquests sistemes s'orientarà a les arquitectures de processament digital usals a l'electrònica moderna: single-core (p.e. xarxes de sensors sense fils), multi-core (p.e. dispositius multimedia) i many core (p.e. computació d'altres prestacions); i per als diferents models de computació: flux de dades i reactius. S'utilitzaran diferents metodologies de disseny en funció del nivell de abstracció (físic, lògic, arquitectural, sistema). S'introduiran els llenguatges de descripció de hardware (HDL) i els components virtuals (IPs). Per a la implementació dels sistemes integrals digitals al laboratori es faran servir plaques amb circuits reconfigurables FPGA.

Competències

- Capacitat de raonament crític i pensament sistemàtic, com mitjans per a tenir una oportunitat de ser originals en la generació, desenvolupament i/o aplicació d'idees en un context d'investigació o professional.
- Capacitat de treballar en equips interdisciplinaris.
- Capacitat per a utilitzar dispositius lògics programables, així com per dissenyar sistemes electrònics avançats, tant analògics com digitals
- Coneixement dels llenguatges de descripció maquinari per a circuits d'alta complexitat
- Mantenir una activitat proactiva i dinàmica respecte la millora continua.
- Que els estudiants siguin capaços d'integrar coneixements i enfrontar-se a la complexitat de formular judicis a partir d'una informació que, tot i ser incompleta o limitada, inclogui reflexions sobre les responsabilitats socials i ètiques vinculades a l'aplicació dels seus coneixements i judicis
- Que els estudiants sàpiguen aplicar els coneixements adquirits i la seva capacitat de resolució de problemes en entorns nous o poc coneguts dins de contextos més amplis (o multidisciplinaris) relacionats amb la seva àrea d'estudi.
- Que els estudiants sàpiguen comunicar les seves conclusions, així com els coneixements i les raons últimes que les fonamenten, a públics especialitzats i no especialitzats d'una manera clara i sense ambigüitats

Resultats d'aprenentatge

1. Capacitat de raonament crític i pensament sistemàtic, com mitjans per a tenir una oportunitat de ser originals en la generació, desenvolupament i/o aplicació d'idees en un context d'investigació o professional.
2. Capacitat de treballar en equips interdisciplinaris.
3. Coneixement dels llenguatges de descripció maquinari per a circuits d'alta complexitat.
4. Dissenyar ASICs
5. Dissenyar circuits integrats a partir de llenguatges de descripció de maquinari implementables mitjançant ASICs i/o FPGAs
6. Mantenir una activitat proactiva i dinàmica respecte la millora continua.
7. Que els estudiants siguin capaços d'integrar coneixements i enfrontar-se a la complexitat de formular judicis a partir d'una informació que, tot i ser incompleta o limitada, inclogui reflexions sobre les responsabilitats socials i ètiques vinculades a l'aplicació dels seus coneixements i judicis
8. Que els estudiants sàpiguen aplicar els coneixements adquirits i la seva capacitat de resolució de problemes en entorns nous o poc coneguts dins de contextos més amplis (o multidisciplinaris) relacionats amb la seva àrea d'estudi.
9. Que els estudiants sàpiguen comunicar les seves conclusions, així com els coneixements i les raons últimes que les fonamenten, a públics especialitzats i no especialitzats d'una manera clara i sense ambigüitats
10. Utilitzar dispositius lògics programables digitals.

Continguts

1. Introducció al Disseny de Sistemes Integrats per Processament Digital

Conceptes essencials dels Sistemes Ciber-Físics (CPS)

Disseny Centrat en l'Usuari

Especificacions Funcionals i Prestacions

Ecosistema Microelectrònic Global

2. Disseny de Sistemes Integrats Digitals: Conceptes i Eines

Biblioteques de cel·les CMOS digitals i components FPGA

Eines EDA de back-end, PCBs i Printed Electronics

Plataformes Embedded

3. Metodologies de Disseny per a Systems-on-a-Chip

Metodologies de Disseny ASIC i FPGA

Modelat, simulació i síntesi en HDL

Components Virtuals (IPs) i Patents

Metodologia

El curs està principalment guiat per les classes magistrals dels professors de l'assignatura que utilitzaran intensivament el material docent (presentacions, documents, enllaços i altres recursos) que estaran disponibles a través del campus virtual.

Les classes de laboratori permetran aplicar i experimentar els conceptes adquirits sobre plataformes FPGA àmpliament utilitzades a la indústria.

Es realitzaran exercicis individuals (amb entregues al campus virtual) de temes específics i/o es seleccionarà un article científic-tecnològic (segons l'interès de cada alumne) que li permetrà familiaritzar-se i avaluar el coneixement que es pot adquirir a través de publicacions especialitzades.

Hi ha previstos 2 seminaris, que es poden ampliar en funció de l'activitat paral·lela durant curs, y que permetran una major profunditat en temes específics.

Opcionalment, per a alumnes amb coneixements avançats en sistemes embedded i/o HDL i/o FPGA es proposarà la participació en competicions internacionals d'empreses de sistemes embedded. La participació en la competició internacional substituirà les activitats de laboratori i revisió crítica.

Nota: es reservaran 15 minuts d'una classe, dins del calendari establert pel centre/titulació, per a la complementació per part de l'alumnat de les enquestes d'avaluació de l'actuació del professorat i d'avaluació de l'assignatura/mòdul.

Activitats formatives

Títol	Hores	ECTS	Resultats d'aprenentatge
Tipus: Dirigides			
Classes Magistrals	22	0,88	1, 3, 4, 5, 6, 7, 8, 10
Seminaris Temàtics	4	0,16	1, 4, 6, 7, 8, 9
Sessions de Laboratori	15	0,6	1, 2, 3, 5, 6, 7, 8, 9, 10
Tipus: Supervisades			
Realització de Treballs Individuals Temàtics	14	0,56	1, 6, 7, 8, 9
Tipus: Autònomes			
Estudi	69	2,76	1, 3, 4, 5, 6, 7, 8, 10
Preparació i report d'activitats de laboratori	20	0,8	1, 2, 3, 5, 7, 8, 10

Avaluació

L'avaluació dels alumnes utilitzarà l'avaluació continuada i la nota final del curs es calcula amb la ponderació de la taula anterior que conté:

- Un examen parcial i un final que contindran conceptes teòrics i exercicis. Cal obtenir una avaluació superior a 3,5 al parcial per eliminar la matèria avaluada a l'examen final.
- Treballs individuals en exercicis temàtics i/o la revisió crítica d'un article científic-tecnològic
- Treball en equip al laboratori, programat en 4 o 5 sessions amb l'obligació d'entregar els corresponents informes (de manera individual). Es obligatori una avaluació superior a 5 per passar l'avaluació del curs.
- La participació en una competició internacional d'empreses de sistemes embedded substituirà les activitats de laboratori.

Una nota final ponderada no inferior al 50% és suficient per superar el curs, sempre que s'assoleixi una puntuació superior a un terç de la gamma en les 2 primeres activitats.

Per obtenir MH caldrà que els alumnes tinguin una qualificació global superior a 8,5 amb les limitacions de la UAB (1MH/10alumnes). Com a criteri de referència, s'assignaran per ordre descendent.

No es tolerarà el plagi. Tots els estudiants implicats en una activitat de plagi seran suspesos automàticament. S'assignarà una nota final no superior al 30%.

Un estudiant que no hagi aconseguit una nota mitjana ponderada suficient, pot optar per sol·licitar activitats de reparació de l'assignatura en les següents condicions:

- l'estudiant ha d'haver participat en les activitats de laboratori i d'aprenentatge basat en problemes
- l'estudiant ha de tenir una mitjana ponderada final superior al 30%, i
- l'estudiant no ha d'haver fallat en cap activitat per culpa del plagi.

L'estudiant rebrà una nota de "No Avaluable" en cas que:

- l'estudiant no hagipogut ser avaluat en les activitats de laboratori i d'aprenentatge basat en problemes per no haver-hi assistit o no haver entregat els corresponents informes sense causa justificada.
- l'estudiant no hagi realitzat un mínim del 50% de les activitats proposades en sessions tutoritzades.
- l'estudiant no hagi realitzat l'examen de síntesi

Els estudiants repetidors podran "guardar" la seva qualificació en les activitats de laboratori i d'aprenentatge basat en problemes però no en la resta d'activitats.

Activitats d'avaluació

Títol	Pes	Hores	ECTS	Resultats d'aprenentatge
Entregues del treball de laboratori	35%	1	0,04	2, 3, 5, 6, 7, 8, 9, 10
Examen final	20%	2	0,08	3, 4, 5, 7, 8, 10
Exercicis individuals i/o revisió crítica d'un article científic-tecnològic	25%	1	0,04	1, 6, 7, 8, 9
Prova parcial d'avaluació continuada	20%	2	0,08	3, 4, 5, 7, 8, 10

Bibliografia

F. Balarin et al.: "Hardware-Software Co-Design of Embedded Systems: The POLIS Approach"
 Rajsuman, Rochit . "System-on-a-Chip: Design and Test"
 P. Bricaud, M. Keating : "Reuse Methodology Manual for System-On-A-Chip Designs"
 L. Terés, Y. Torroja, S. Olcoz, E. Villar: "VHDL: Lenguaje estándar de diseño electrónico"
 I. Grout "Digital Systems Design with FPGAs and CPLDs"
 H.J.M. Veendrick "Nanometer CMOS: from ASICS to BASICS", 2ª edición, Springer. 2017.

<http://www.europractice.com/>

Exemple de competició internacional <http://www.innovatefpga.com/portal/>

Programari

Les eines de disseny electrònic (EDA) associades als taulers FPGA d'Intel-Altera utilitzats en laboratoris que permeten:

- Especificació de sistemes digitals en llenguatges HDL
- Construcció d'arquitectures SoC per a processadors RISC (ARM, NIOS)
- Síntesi lògica i física de HDL
- Descàrrega de codi HW i SW del PC a la FPGA

Les plataformes SoC-FPGA s'utilitzaran DE1_SoC amb finalitats educatives/industrials.