

Titulació	Tipus	Curs
Enginyeria Electrònica de Telecomunicació	OB	2
Enginyeria de Sistemes de Telecomunicació	OB	2

Professor/a de contacte

Nom : Mercedes Rullan Ayza

Correu electrònic : mercedes.rullan@uab.cat

Equip docent

Jordi Sacristan Gil

Joaquín Saiz Alcaine

Victor Montilla Gispert

Idiomes dels grups

Podeu consultar aquesta informació al [final](#) del document.

Prerequisits

No hi ha prerequisits formals però es recomana haver cursat les assignatures de Fonaments d'Informàtica i Teoria de Circuits i Electrònica de primer curs.

Objectius

Es tracta d'una assignatura de formació bàsica que s'imparteix en el segon curs, primer semestre de la titulació i constitueix el nexa d'unió entre les assignatures de primer curs de Teoria de Circuits i Electrònica i els Fonaments d'Informàtica amb l'Arquitectura de Computadors i Perifèrics de segon curs.

L'objectiu de l'assignatura és que els estudiants compreguin el paper que els sistemes digitals juguen en el món de la tecnologia informàtica i les comunicacions (TIC) en general siguin capaços de dissenyar i implementar circuits digitals de complexitat mitjana-baixa utilitzant portes lògiques i dispositius reconfigurables i entenguin que un computador no és sinó un sistema digital de certa complexitat.

S'aborden metodologies basades en arquitectures "Unitat de Procés - Unitat de Control (UP-UC)" per resoldre sistemes digitals d'una certa complexitat tot introduint els conceptes bàsics d'aquestes arquitectures tant en la seva versió "cablejada" (UP-UC feta amb portes i blocs lògics) com "microprogramada" (UC basada en ROM +

seqüenciador).

A la tercera part de l'assignatura es presenten els conceptes de base sobre arquitectura de computadors i s'aborda el disseny d'un processador de codi obert (RISC-V) a partir del seu repertori d'instruccions bàsic i aplicant les estratègies i metodologies de disseny de les arquitectures UP-UC anteriors. D'aquest processador s'implementa tant la versió microprogramada (RVuabM) com la versió cablejada (RVuabC) i s'analitzen les principals diferències en cost/prestacions de les dues propostes. Acabem plantejant una versió *pipeline* (RVuabPL) com a solució òptima i més habitual emprada en els processadors actuals.

Resultats d'aprenentatge

Enginyeria Electrònica de Telecomunicació

- KU117 (Distingir els fonaments de llenguatges de descripció de dispositius de maquinari.) Distingir els fonaments de llenguatges de descripció de dispositius de maquinari.
- KU118 (Descriure el funcionament de circuits combinacionals i seqüencials, síncrons i asíncrons, de microprocessadors i de circuits integrats.) Descriure el funcionament de circuits combinacionals i seqüencials, síncrons i asíncrons, de microprocessadors i de circuits integrats.
- SU120 (Dissenyar circuits combinacionals i seqüencials, síncrons i asíncrons, i l'ús de microprocessadors i circuits integrats.) Dissenyar circuits combinacionals i seqüencials, síncrons i asíncrons, i l'ús de microprocessadors i circuits integrats.
- SU121 (Fer servir els fonaments de disseny, verificació i validació de programari en la descripció de sistemes de maquinari basats en llenguatges de descripció del maquinari amb un nivell alt.) Fer servir els fonaments de disseny, verificació i validació de programari en la descripció de sistemes de maquinari basats en llenguatges de descripció del maquinari amb un nivell alt.
- SU122 (Fer servir eines informàtiques de recerca de recursos bibliogràfics o d'informació relacionada amb les telecomunicacions i l'electrònica.) Fer servir eines informàtiques de recerca de recursos bibliogràfics o d'informació relacionada amb les telecomunicacions i l'electrònica.

Enginyeria de Sistemes de Telecomunicació

- KU117 (Distingir els fonaments de llenguatges de descripció de dispositius de maquinari.) Distingir els fonaments de llenguatges de descripció de dispositius de maquinari.
- KU118 (Descriure el funcionament de circuits combinacionals i seqüencials, síncrons i asíncrons, de microprocessadors i de circuits integrats.) Descriure el funcionament de circuits combinacionals i seqüencials, síncrons i asíncrons, de microprocessadors i de circuits integrats.
- SU120 (Dissenyar circuits combinacionals i seqüencials, síncrons i asíncrons, i l'ús de microprocessadors i circuits integrats.) Dissenyar circuits combinacionals i seqüencials, síncrons i asíncrons, i l'ús de microprocessadors i circuits integrats.
- SU121 (Fer servir els fonaments de disseny, verificació i validació de programari en la descripció de sistemes de maquinari basats en llenguatges de descripció del maquinari amb un nivell alt.) Fer servir els fonaments de disseny, verificació i validació de programari en la descripció de sistemes de maquinari basats en llenguatges de descripció del maquinari amb un nivell alt.
- SU122 (Fer servir eines informàtiques de recerca de recursos bibliogràfics o d'informació relacionada amb les telecomunicacions i l'electrònica.) Fer servir eines informàtiques de recerca de recursos bibliogràfics o d'informació relacionada amb les telecomunicacions i l'electrònica.

Continguts

Bloc 1. Circuits combinacionals (CC)

- Senyals i sistemes digitals. Descripció d'un sistema digital. Sistemes Electrònics Digitals (SED). Transistors MOS. Portes AND, OR i INV. Síntesi de SED com a procés de refinament progressiu.
- Definició de Circuit Combinacional. Síntesi des de taules I: ROM. Síntesi des de taules II: portes lògiques.
- Àlgebra de Boole. Taules de veritat.
- Portes NAND, NOR, XOR, NXOR. Buffers 3-state.

- Prestacions: Temps de resposta. Cost hardware
- System Verilog (SV). Exemples
- Mòduls combinacionals: multiplexors, descodificadors, memòries ROM

Bloc 2. Circuits seqüencials (CS)

- Necessitat dels circuits seqüencials. Definició d'un CS. Estats i sincronització. Circuits seqüencials síncrons. Rellotge, reset i set.
- Descripció explícita de CS. Grafs de comportament i taules.
- Components bàsics: biestables, flip flops i latxos.
- Síntesi de CS a partir de taules. Màquines de Moore i Mealy. Codificació d'estats.
- Registres, comptadors, memòries. Estructures, tipus i usos més freqüents d'aquests mòduls.
- Màquines d'estats finits (MEF). Definició formal. Implementació i temps de resposta.
- Llenguatge de descripció de hardware: System Verilog (SV).
- Exemples de descripció d'una MEF en SV.
- Síntesi de Circuits Seqüencials des d'algorisme.
- Implementació física de Sistemes Digitals. FPGAs i altres estratègies d'implementació.

Bloc 3. Arquitectura Unitat de Procés-Unitat de Control (UP-UC) i disseny d'un processador RISC-V

- Arquitectura Unitat de Procés (UP) - Unitat de Control (UC).
- UP amb multiplexors i amb busos.
- Unitat de Control amb seqüenciador basada en una ROM
- Estructura i conceptes de base d'un computador:
- Unitats funcionals bàsiques (CPU, Memòria, E/S i Busos) i
- Repertori i tipus d'instruccions (visió del programador de llenguatge màquina)
- Operativa del processador i modes bàsics d'adreçament
- Arquitectures Von Neumann vs Harvard i CISC vs RISC
- Disseny d'un processador RISC-V de codi obert: des del repertori d'instruccions (RV32I) fins la seva implementació com arquitectura UP-UC de propòsit general:
- Implementació micro-programada (RVuabM)
- Implementació cablejada o monocicle (RVuabC)
- Plantejament de la versió *pipeline* (RVuabPL).

Activitats formatives i Metodologia

Títol	Hores	ECTS	Resultats d'aprenentatge
Pràctiques de laboratori	18	0,72	
Estudi de casos	18	0,72	
Resolució de problemes	32	1,28	
Treballs complementaris de pràctiques	10	0,4	
Estudi del material audiovisual	18	0,72	
Classes de problemes	46	1,84	KU117, KU118, SU120, SU121, SU122
Estudi autònom	37	1,48	
Preparació de treball al laboratori	30	1,2	

L'assignatura és anual i s'organitza en tres blocs conceptuals.

Durant el primer quadrimestre s'impartirà (a nivell PAUL) dos terços de la matèria durant 4 hores setmanals (no hi ha pràctiques). En el segon quadrimestre els estudiants tindran que fer totes les pràctiques (18 hores repartides en 6 pràctiques de 3 hores) i el terç restant de la matèria (durant 2 hores setmanals).

Els materials que s'ofereixen a través del Campus Virtual inclouen una sèrie de vídeos que l'alumnat ha de visualitzar abans d'assistir a classe i que contenen els coneixements teòrico-pràctics necessaris per al disseny de sistemes digitals, exercicis interactius de correcció automàtica i un entorn de simulació de sistemes digitals.

L'assignatura s'imparteix en modalitat "problemes d'aula". Totes les classes presencials es tracten com sessions basades en problemes i es dediquen a la resolució de qüestions i dubtes dels vídeos, i de casos proposats pel professorat o per l'alumnat. És fonamental la participació activa de l'alumnat en aquestes classes; no es tracta de classes convencionals "de teoria". Tenen lloc en grups reduïts (de l'ordre de 40 estudiants), condició indispensable per assolir el grau d'interactivitat necessari en una assignatura de caràcter eminentment pràctic i aplicat.

L'assignatura es completa amb 6 pràctiques de laboratori. Normalment i durant la primera sessió, l'estudiantat duu a terme el treball de simulació i validació dels circuits dissenyats; en la segona sessió, el disseny es bolca sobre una FPGA per verificar-ne l'execució real. Cada sessió acull un màxim de 20-25 estudiants que treballen en grups de 2 alumnes i té una durada de 3 hores. Les pràctiques es realitzaran en el segon quadrimestre.

Es fa servir un entorn de disseny i simulació per a circuits lògics programables Quartus II 13.0 sp1 Web Edition. L'alumnat es familiaritza amb els conceptes de captura d'esquemes, simulació funcional, simulació temporal i amb la descripció de sistemes digitals senzills mitjançant un llenguatge de descripció de hardware (System Verilog).

Les tutories podran ser individuals o en petits grups i es faran a demanda i en coordinació entre cada professor i els estudiants. També hi podran haver tutories col·lectives que podrà proposar l'equip docent, però aquestes requeriran l'enviament previ al fòrum corresponent del Campus Virtual (CV) d'aquelles preguntes concretes sobre conceptes o exercicis que calgui resoldre per tal que el professorat pugui planificar i realitzar adequadament la tutoria.

Nota: es reservaran 15 minuts d'una classe, dins del calendari establert pel centre/titulació, perquè l'alumnat completi les enquestes d'avaluació de l'actuació del professorat i d'avaluació de l'assignatura.

Avaluació

Activitats d'avaluació continuada

Títol	Pes	Hores	ECTS	Resultats d'aprenentatge
Lliurament de problemes periòdics	20%	8	0,32	KU117, KU118, SU120, SU121
Pràctiques de laboratori	30%	0	0	SU122
3 proves parcials i/o prova final	50%	8	0,32	KU117, KU118, SU120, SU121

Aquesta assignatura no preveu el sistema d'avaluació única.

a) Procés i activitats d'avaluació programades

L'avaluació dels estudiants inclou les següents activitats:

1. Tres proves parcials, a realitzar individual i presencialment en format escrit. Aquestes proves parcials avaluen el coneixement adquirit per l'alumnat i la seva capacitat de dissenyar circuits digitals eficients.
2. Resolució d'exercicis: comprèn un conjunt d'exercicis on-line, amb correcció automàtica, que l'alumnat ha de lliurar en unes dates prèviament especificades.
3. Visualització dels vídeos abans d'assistir a classe.

4. A cada sessió de pràctiques s'avalua la preparació i el treball corresponent a aquella sessió, i l'assistència és obligatòria

Donat que l'assignatura és anual i que s'impartiran 2/3 de la matèria durant el primer quadrimestre, es realitzaran 2 parcials durant el primer quadrimestre en les dates previstes per la titulació (octubre i gener); aquests dos parcials correspondran a les notes PP1 i PP2.

Pel que fa al segon quadrimestre (on hi ha 1/3 de la matèria restant i totes les pràctiques) es farà un únic parcial (PP3) en les dates marcades per la titulació al juny.

Finalment hi haurà la recuperació corresponent als 3 parcials en els dates previstes per la titulació al juny/juliol; per tant al primer quadrimestre NO HI HAURÀ CAP RECUPERACIÓ.

Atenent a les circumstàncies i en els casos que s'estimi oportú pot ser necessari programar un examen de pràctiques per completar l'avaluació.

La nota del curs obtinguda per avaluació continua (AC) es calcula a partir de:

1. (activitat 1) La mitjana de les notes obtingudes en les tres proves parcials (*PP1, PP2 i PP3*)
2. (activitats 2 i 3) el lliurament d'exercicis (tant en el primer com en el segon quadrimestre) i visualització dels vídeos (*Pb*)
3. (activitat 4) la nota obtinguda a les activitats avaluable de pràctiques de laboratori (*PL*),

d'acord amb la fórmula: $AC = PP \cdot 0,5 + PL \cdot 0,3 + Pb \cdot 0,2$ on $PP = (PP1+PP2+PP3)/3$

Per aprovar el curs per avaluació continua s'han de complir les següents condicions:

1. **AC** ≥ 5 ,
2. **PP1, PP2 i PP3** ≥ 4 (cadascuna d'elles), i **PP** ≥ 5 .
3. **PL** ≥ 5 .

Per reprogramar una activitat d'avaluació a l'Escola d'Enginyeria de la UAB per causes justificades (motius mèdics greus, judicials o oficials) permet fer una sol·licitud de reprogramació d'activitats d'avaluació. Aquest tràmit s'ha de realitzar dins dels 5 dies naturals anteriors a la data de la prova o fins a 5 dies naturals posteriors a aquesta.

b) Programació d'activitats d'avaluació

Les dates de les proves d'avaluació i del lliurament d'exercicis es publiquen a l'inici del curs al Campus Virtual (CV) i a la web de l'Escola (apartat d'exàmens), i poden estar subjectes a canvis de programació a causa de situacions imprevistes. Qualsevol modificació d'aquestes s'avisarà a través d'aquestes vies i plataformes.

És important puntualitzar que no es realitzarà cap examen a cap estudiant fora dels dies programats a l'efecte, llevat que hi concorrin causes justificades que s'hagin informat abans de la data prevista, i amb el consentiment del professor i el vist-i-plau de l'equip docent.

c) Procés de recuperació

L'activitat 1 d'avaluació corresponent a la part més conceptual y de problemes d'aula es pot recuperar en la prova final del segon quadrimestre.

- Si la nota obtinguda en una o dos de les proves parcials és < 4 , s'ha de superar aquesta qualificació presentant-se a un examen de recuperació del parcial corresponent. Per poder aplicar la fórmula (que té en compte els parcials, els avaluable i les pràctiques), la nota obtinguda en aquesta recuperació ha de ser ≥ 5
- Si la nota obtinguda respectivament en els 3 parcials és < 4 , l'estudiant ha de presentar-se a un nou examen (en el segon quadrimestre) que inclourà tota la matèria. La nota obtinguda serà la nova nota *PP*, que ha de ser ≥ 5 per poder aplicar la fórmula (que té en compte la recuperació de tota la matèria, els avaluable i les pràctiques)

Si finalment $PP < 5$ o $PL < 5$, la nota final de l'assignatura serà el valor més baix entre la nota *AC* i 4,5.

L'activitat 2 (lliurament d'exercicis) que correspon a un 20% de la nota final i l'activitat 4 (pràctiques de laboratori) que correspon a un 30% de la nota final no es poden recuperar.

d) Procediment de revisió de les qualificacions

Les notes de les activitats d'avaluació es publiquen en el CV. S'informarà del procediment de revisió un cop publicades les notes i normalment consistirà en establir un termini perquè els estudiants sol·licitin la revisió i en funció de les peticions rebudes s'informarà a l'alumnat sobre la data i termini concret per fer la revisió. Si l'estudiant no segueix el procediment establert a la revisió o no es presenta a la revisió no es revisarà posteriorment aquesta activitat. La revisió de qualsevol prova pot suposar tan una millora com un empitjorament de la nota corresponent, tot depenent de la interpretació revisada que es faci de la prova.

e) Qualificacions especials

- S'avaluarà amb un \"no-avaluable\" a l'estudiant que no hagi participat en cap prova d'avaluació o pràctiques de laboratori.
- Per obtenir una \"matrícula d'honor (MH)\" la nota final obtinguda per l'estudiant ha de ser $\geq 9,0$. No obstant això, atès que el nombre de MHs no pot excedir el 5% del nombre d'estudiants matriculats en l'assignatura, aquesta condició no és suficient i, per tant, les MH s'assignaran als estudiants que hagin obtingut les qualificacions més altes, tot respectant la regla anterior de nota $\geq 9,0$.

f) Conseqüències de les irregularitats comeses pels estudiants: còpia i plagi,...

Sense perjudici d'altres mesures disciplinàries que s'estimin oportunes, i d'acord amb la normativa acadèmica vigent, les irregularitats comeses per un/a estudiant que puguin conduir a una variació de la qualificació en una activitat avaluable es qualificaran amb un zero (0). Les activitats d'avaluació qualificades d'aquesta forma i per aquest procediment no seran recuperables. Si és necessari superar qualsevol d'aquestes activitats d'avaluació per aprovar l'assignatura, aquesta assignatura quedarà suspesa directament, sense oportunitat de recuperar-la en el mateix curs. Aquestes irregularitats inclouen, entre d'altres:

- la còpia total o parcial d'una pràctica, informe, o qualsevol altra activitat d'avaluació;
- deixar copiar;
- presentar un treball de grup no fet íntegrament pels membres del grup (aplicat a tots els membres, no solament als que no han treballat);
- ús no autoritzat de la IA (p. ex, Copilot, ChatGPT o equivalents) per a resoldre exercicis, pràctiques i/o qualsevol altra activitat avaluable;
- presentar com a propis materials elaborats per un tercer, encara que siguin traduccions o adaptacions, i en general treballs amb elements i aportacions no originals i exclusius de l'estudiant;
- tenir dispositius de comunicació (com telèfons mòbils, smart watches, bolígrafs amb càmera, etc.) accessibles durant les proves d'avaluació individuals (exàmens) o col·lectives;
- parlar amb companys durant les proves d'avaluació individuals (exàmens);
- copiar o intentar copiar d'altres alumnes durant les proves d'avaluació teórico-pràctiques (exàmens); - usar o intentar usar escrits relacionats amb la matèria durant la realització de les proves d'avaluació teórico-pràctiques (exàmens), quan aquests no hagin estat explícitament permesos.

Ús prohibit de la IA: per a aquesta assignatura, es permet l'ús de tecnologies d'Intel·ligència Artificial (IA) exclusivament en tasques de suport, com la cerca bibliogràfica o d'informació. L'estudiant haurà d'identificar clarament quines parts han estat generades amb aquesta tecnologia, especificar les eines emprades i incloure

una reflexió crítica sobre com aquestes han influït en el procés i el resultat final de l'activitat. La no transparència de l'ús de la IA en aquesta activitat avaluable es considerarà falta d'honestedat acadèmica i pot comportar una penalització parcial o total en la nota de l'activitat, o sancions majors en casos de gravetat.

En edicions futures d'aquesta assignatura, l'alumnat que hagi comès irregularitats en un acte d'avaluació no se li convalidarà cap de les activitats d'avaluació realitzades.

En resum: copiar, deixar copiar o plagiar (o l'intent de) en qualsevol de les activitats d'avaluació equival a un SUSPENS, no compensable i sense convalidacions de parts de l'assignatura en cursos posteriors.

g) Avaluació dels estudiants repetidors

Els estudiants que van realitzar i aprovar les pràctiques de laboratori l'any anterior, però que van suspendre l'assignatura, poden optar per no repetir les pràctiques el curs actual. En aquest cas, la nota de pràctiques (PL) serà un 5, independentment de la nota obtinguda el curs anterior. La llista d'estudiants que poden triar no realitzar les pràctiques es publica en el CV al començament del curs. Si, de tota manera, un estudiant vol repetir les pràctiques, haurà d'informar via correu electrònic al professor responsable de les pràctiques i en aquest cas es quedarà amb la nota més recent d'aquestes pràctiques.

Si un estudiant ha comès irregularitats (còpies/plagi) en alguna activitat d'avaluació en una convocatòria anterior de l'assignatura no tindrà dret a que se li convalidin les pràctiques (si les tingués aprovades).

Bibliografia

- Apunts de l'assignatura realitzats pel professorat.
- Digital Design and Computer Architecture, RISC-V Edition. S. Harris, D. Harris. 1ª Edition 2021. Paperback ISBN 9780128200643; ebook ISBN 9780128200650
- The RISC-V Reader: An Open Architecture Atlas. D. Patterson, A. Waterman. ISBN-10, 0999249118. 2017
- Computer Organization and Design RISC-V Edition: The Hardware Software Interface. D.A. Patterson, J. L. Hennessy. 2021
- Digital Systems: From Logic Gates to Processors. Deschamps JP, Valderrama E, Terés L. Springer 2017. ISBN 978-3-319-41198-9.
- Coursera MOOC (español): <https://www.coursera.org/learn/sistemas-digitales>
- Coursera MOOC (inglés): <https://www.coursera.org/learn/digital-systems>
- Exercicis resolts de Disseny Digital. Joan Pons, Dani Bardés, Diego Mateo i Josep Altet. ISBN: 9798334549364. 1ª edició 2024.
- Complex Digital Systems. Deschamps JP, Valderrama E, and Terés L. Springer 2019. ISBN 978-3-030-12652-0.

Programari

Per fer les pràctiques utilitzarem el software per a FPGAs de Altera: Quartus II 13.0 sp1 Web Edition. Els alumnes s'hauran d'instal·lar aquest software, que no requereix cap tipus de llicència.

Grups i idiomes de l'assignatura

La informació proporcionada és provisional fins al 30 de novembre. A partir d'aquesta data, podreu consultar l'idioma de cada grup a través d'aquest [enllaç](#). Per accedir a la informació, caldrà introduir el CODI de l'assignatura

Tipus de docència	Grup	Idioma	Semestre	Torn
(PAUL) Pràctiques d'aula	311	Català	anual	matí-mixt

(PLAB) Pràctiques de laboratori	311	Català/Castellà	anual	matí-mixt
(PAUL) Pràctiques d'aula	312	Català/Castellà	anual	matí-mixt
(PLAB) Pràctiques de laboratori	312	Català/Castellà	anual	matí-mixt
(PAUL) Pràctiques d'aula	313	Català	anual	matí-mixt
(PLAB) Pràctiques de laboratori	313	Català/Castellà	anual	matí-mixt
(PLAB) Pràctiques de laboratori	314	Català/Castellà	anual	matí-mixt
(PLAB) Pràctiques de laboratori	315	Català/Castellà	anual	matí-mixt
(PLAB) Pràctiques de laboratori	316	Català/Castellà	anual	matí-mixt
(PLAB) Pràctiques de laboratori	317	Català/Castellà	anual	matí-mixt
(PLAB) Pràctiques de laboratori	318	Català/Castellà	anual	matí-mixt
(PLAB) Pràctiques de laboratori	319	Català/Castellà	anual	matí-mixt
(PAUL) Pràctiques d'aula	511	Català	anual	tarda