

# **Capítulo 4 Sensor de masa formado por una matriz de palancas de polisilicio integrada monolíticamente con CMOS**

En este capítulo se presenta el diseño, el proceso de fabricación y los resultados correspondientes al primer demostrador, donde se ha fabricado un sensor de masa, cuyo elemento transductor está formado por una matriz de palancas de polisilicio e integrado monolíticamente con la circuitería CMOS de lectura. Se presenta el diseño y características del sensor, se detalla la circuitería utilizada y las etapas del proceso de fabricación y, por último, la caracterización y aplicaciones del sensor, así como las conclusiones obtenidas de la realización de este demostrador.

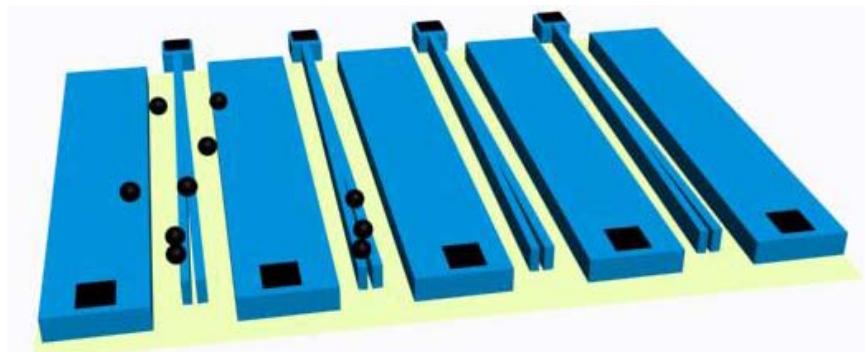
## **4.1 Diseño del sensor y tecnología utilizada**

El objetivo de este demostrador es fabricar un sensor de masa formado por una matriz de palancas resonantes integrado monolíticamente con la circuitería CMOS de excitación y lectura. Tal como se ha presentado en el capítulo 2, los sensores de masa basados en palancas resonantes destacan por la sencillez de la estructura y la resolución que permiten alcanzar.

Incluir varias palancas dentro de un mismo sensor permite fabricar sensores más versátiles, ya que sobre cada *cantilever* se pueden detectar sustancias distintas, con la correspondiente funcionalización de la superficie [Lang-02]. Su interés en aplicaciones químicas y biológicas está demostrado con las recientes aportaciones de diversos autores. Álvarez et. Al presentan un sistema de *cantilevers* resonantes formado por una matriz para detección

secuencial, de forma que aumentan la versatilidad del sensor [Álvarez-05]. Además una configuración óptima puede permitir medidas diferenciales, de forma que una de las palancas actúe como referencia y otra como elemento sensor, así se obtiene mayor fiabilidad en la medida [Lange-02, Fritz-00].

La figura 4.1 presenta un esquema de los transductores, este caso la matriz está formada en por cuatro palancas resonantes polarizadas por cinco electrodos. Se utiliza un método de excitación electrostática y detección capacitiva.



**Figura 4.1** Esquema de un sensor de masa formado por cuatro palancas resonantes y cinco electrodos de excitación o lectura. Al depositarse masa (palancas de la derecha) se produce una variación de la frecuencia de resonancia. Detectando esta variación se estima la masa depositada.

#### 4.1.1 Características tecnológicas

En el primer demostrador se utiliza polisilicio como capa estructural, por la sencillez del proceso de fabricación y las relativas buenas propiedades mecánicas. Al tratarse el polisilicio de una capa CMOS es sencillo utilizarla como capa estructural y conectarla a la circuitería. Otras capas disponibles dentro del proceso CMOS serían por ejemplo el aluminio o el nitruro de silicio (tabla 2.3). De las propiedades mecánicas del polisilicio destacando su modulo de Young y la posibilidad de doparlo para hacerlo conductor.

Se utiliza como tecnología CMOS la tecnología CMOS CNM25, 2P, 2M, tecnología de 2,5  $\mu\text{m}$  con dos niveles de polisilicio y 2 niveles de metal. En el apéndice B se recoge la información relativa a las etapas de fabricación de esta tecnología. Como el proceso CMOS se realiza en el IMB-CNM se tiene acceso al control y seguimiento de la

fabricación. La circuitería CMOS se fabrica en un proceso estándar y como post-proceso de esta se diseñan los transductores.

Como capa estructural se utiliza uno de los niveles de polisilicio de la tecnología (poly0). Este nivel es una capa de polisilicio  $n^+$ , que se utiliza como placa inferior en los condensadores analógicos de los circuitos CMOS. El otro nivel de polisilicio disponible (poly1) forma parte la puerta de los transistores; modificar las características de este nivel influiría considerablemente en los parámetros de la tecnología. Por esta razón se decidió usar el nivel poly0.

En los procesos estándar el poly0 es una capa de 350 nm dopada con  $POCl_3$ . Para utilizar esta capa como capa estructural es conveniente aumentar el grosor a 600 nm, puesto que se trabajará con palancas que oscilen lateralmente conviene que la anchura de la palanca sea inferior al grosor de la misma de forma que se facilite el movimiento lateral y no el colapso hacia el sustrato. El aumento de grosor sólo ocasionará pequeñas variaciones en la resistencia de la capa; basta que se considere en el diseño para que no afecte a la circuitería. Además en la medida de lo posible se intenta reducir la rugosidad de la misma, para conseguir definir estructuras de dimensiones submicrométricas. Se realiza un estudio para ver las condiciones óptimas de depósito de 600nm de polisilicio mediante LPCVD<sup>1</sup> y de dopaje tipo p del nivel, para conseguir disminuir la rugosidad de la superficie, lo que permitirá obtener estructuras de dimensiones más pequeñas [Abadal-00, Figueras-01].

Como capa sacrificial se utiliza el óxido de silicio crecido fuera de las áreas activas, es un óxido de aproximadamente 1  $\mu m$  de grosor. Durante el proceso de fabricación CMOS se preparan áreas con una capa de polisilicio sobre una capa de óxido grueso, de modo que el polisilicio se conecta a los circuitos mediante pistas de metal. Tras el proceso CMOS se lleva a cabo la fabricación de las estructuras.

Para la fabricación de los transductores se utilizan dos técnicas distintas: fotolitografía y litografía por haz de electrones. La primera permite un mayor rendimiento en la producción, mientras la segunda permite definir transductores de dimensiones inferiores, alcanzando mayor resolución. Mediante fotolitografía se intenta definir palancas de

---

<sup>1</sup> LPCVD, *Low Pressure Chemical Vapour Deposition*. Deposición Química en fase vapor a baja presión.

anchuras inferiores a 1  $\mu\text{m}$  y mediante litografía por haz de electrones inferiores a 500 nm. Al reducir la longitud de los transductores se reduce la señal a detectar, debido a que la corriente capacitiva será proporcional a la sección lateral del *cantilever*. En la tabla 4.1 se muestra la resolución que se puede alcanzar utilizando como capa estructural poly0 de 600 nm de grosor depositado en proceso CMOS, de acuerdo la figura 2.5 y con las ecuaciones 2-8 y 2-11, se considera que el módulo de Young del polisilicio es de 160 GPa. Así como la capacidad estática que se produce considerando el acoplamiento entre el *cantilever* y el *driver*. En todos los casos la separación entre *cantilever* y *driver* se considera igual a 1  $\mu\text{m}$ . De los resultados de la tabla se concluye que reducir la anchura de la palanca permite aumentar en un orden de magnitud la resolución en masa alcanzada.

Al realizar una medida capacitiva las capacidades parásitas podrían influir notablemente en la medida, por esta razón es preciso integrar monolíticamente el transductor al menos con la primera etapa de amplificación de la señal. Las capacidades de acoplamiento entre el *cantilever* y *driver* son del orden del aF; pistas de metal o conexiones de varios centímetros de longitud introducirían capacidades parásitas del orden de la capacidad de medida, de forma que se enmascararía la medida.

Longitud <i>l</i> ( $\mu\text{m}$ )	Grosor <i>t</i> ( $\mu\text{m}$ )	Anchura <i>w</i> ( $\mu\text{m}$ )	Frecuencia resonancia (Hz)	Resolución en masa (g/Hz)	Capacidad (aF)
40	0,6	1	836 k	$3,24 \cdot 10^{-17}$	212
20	0,6	0,5	1,67 M	$2,7 \cdot 10^{-18}$	106
15	0,6	0,1	594 k	$1,7 \cdot 10^{-18}$	79,7

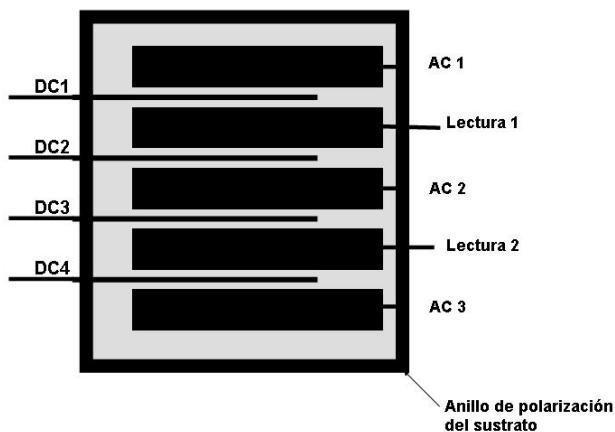
**Tabla 4.1** Resolución del sensor de masa utilizando como capa estructural, para diversas anchuras y longitudes (considerando el módulo de Young  $E=160\text{GPa}$ ) que permite reducir la resolución lateral.

#### 4.1.2 Diseño de las áreas de fabricación

Se diseñan tres tipos de áreas de fabricación: áreas para fabricar matrices de cuatro *cantilevers*, áreas para fabricar matrices de 8 *cantilevers* y áreas para fabricar matrices de 8 *cantilevers* independientes. Para poder realizar la excitación y lectura de la resonancia bastaría que cada *cantilever* tuviese un único *driver* paralelo a él. Se puede aplicar la tensión de polarización y excitación sobre el *driver* y leer por el *cantilever* o viceversa, leer

por el *driver* y polarizar y excitar por el *cantilever*. En los diseños implementados se prueban las dos configuraciones. Por mantener la simetría de la matriz, cada *cantilever* tiene un *driver* situado a cada lado.

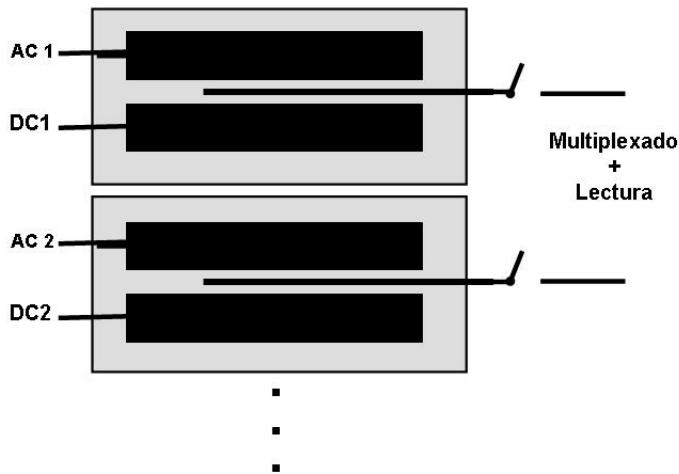
Las áreas de *cuatro cantilevers* y cinco *drivers* se utilizan para realizar medidas diferenciales sin circuitos de selección. Dado que se quiere leer dos *cantilevers* simultáneamente, la lectura se hace a través de los *drivers*, así con 2 *drivers* se pueden leer los cuatro *cantilevers*. La tensión de polarización DC se aplica sobre el *cantilever* que se quiere medir, así se selecciona el *cantilever* que se mide. Dado que las tensiones de polarización serán altas para evitar que el *cantilever* colapse contra el sustrato, éste se polariza a la misma tensión que el *cantilever*. Todas las áreas de fabricación tienen alrededor un anillo que permite la polarización del sustrato. La tensión de excitación AC se aplica al *driver* que no se utiliza para lectura, aunque podría aplicarse junto con la tensión de polarización al *cantilever*, para disminuir la corriente parásita se aplica al otro driver. La figura 4.2 muestra un esquema de este diseño.



**Figura 4.2** Esquema del área de fabricación, para una matriz de cuatro *cantilevers*.

En las áreas de 8 *cantilevers* la lectura se realiza a través del *cantilever*, por mantener la simetría, cada *cantilever* tiene a cada lado un *driver*, por simplicidad en el montaje experimental la excitación se realiza por uno de los *drivers* y la polarización por el otro. En este caso no es preciso aplicar tensión de polarización al sustrato, por el diseño del amplificador el *cantilever* en principio está conectado a tierra virtual de modo que no debería tener tendencia a colapsar contra el sustrato. La figura 4.3 muestra un dibujo del

esquema de lectura de una matriz de 8 *cantilevers*, se presenta el caso de áreas de fabricación independientes, en área única el esquema es el mismo. La implementación de áreas independientes permite que se disminuyan las distancias los acoplamientos entre unas y otras estructuras al aumentar la distancia entre estas.



**Figura 4.3** Esquema del área de fabricación de una matriz de 8 *cantilevers* con áreas de fabricación independientes. Se presentan las dos primeras, el resto son idénticas.

## 4.2 Circuitería de control, excitación y detección de la matriz de *cantilevers*

En primer lugar se consideró la posibilidad de integrar un circuito independiente para leer la excitación de cada palanca de la matriz. Colocar un circuito, o dos si se quieren realizar medidas diferenciales, a la salida de cada *cantilever* es poco viable para matrices de más de dos *cantilevers*. En esta configuración habría problemas para mantener la geometría: disponer todos los circuitos a la misma distancia (para que todos ellos vieran las mismas capacidades parásitas) y problemas de espacio: se perdería demasiada superficie dentro del chip. Por esta razón, sólo se consideran diseños con uno o dos circuitos de amplificación. Pequeños cambios en las capacidades parásitas entre el *cantilever* y el circuito podrían provocar grandes diferencias en las señales detectadas. En un sistema donde se miden señales provenientes de diferentes palancas es muy determinante la simetría del sistema de multiplexado. Diferencias de unas micras en la longitud de las líneas de metal podrían introducir errores significativos en las medidas; pistas de metal de decenas de micras de

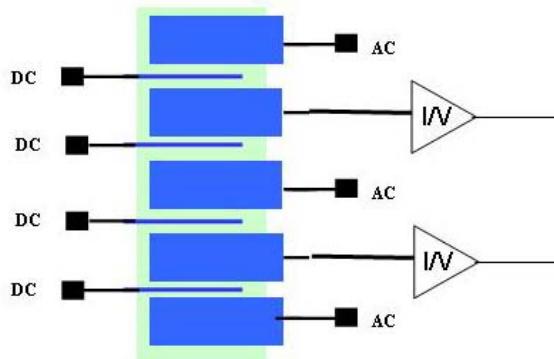
largo introducen una capacidad parásita suficiente para no permitir medidas diferenciales de alta precisión.

Se implementan cinco diseños distintos, tres para matrices de cuatro *cantilevers* y dos diseños para matrices de ocho *cantilevers*. Las características de los circuitos de amplificación son similares, las diferencias son en el tipo de configuración en las zonas de fabricación y en el control de las matrices. Uno de los diseños se ha realizado para medir dos *cantilevers* simultáneamente, lo que permitirá realizar medidas diferenciales (procesadas out-chip). Las medidas diferenciales son recomendables para mejorar la resolución del sistema. El resto tienen un control digital que permite seleccionar cualquier *cantilever* de la matriz, de forma secuencial se obtiene la medida de cada *cantilever* de la matriz.

#### **4.2.1 Matriz de cuatro *cantilevers* sin multiplexación: medidas diferenciales**

En la primera configuración, se propone una matriz de cuatro *cantilevers* y cinco *drivers*, con lectura a través del *driver*, conectado a dos circuitos. De forma que la oscilación de dos *cantilevers* de la matriz se detectan a través de cada circuito. Esta configuración permite medir simultáneamente la oscilación de dos *cantilevers*.

La figura 4.4 muestra un esquema del sensor. Los *cantilevers* se excitan por un *driver* y su oscilación se detecta por el otro *driver*. La tensión de polarización DC se aplica al *cantilever* que se quiere leer y simultáneamente al sustrato (para evitar que por diferencia de tensión los *cantilevers* colapsen con él). La lectura se hace a través del *driver*, como indica la figura. La tensión de excitación se aplica a los *drivers* no conectados a los circuitos de lectura. El circuito de amplificación utilizado es común a todas las configuraciones y se presenta en el punto 4.2.3.

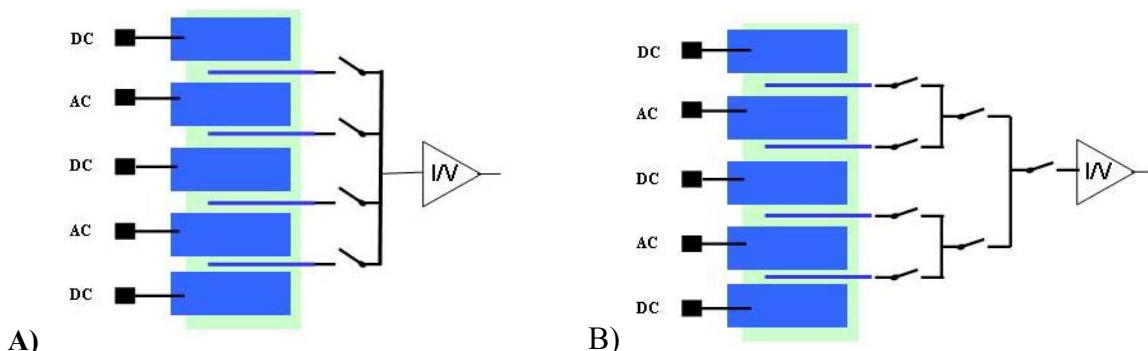


**Figura 4.4** Esquema de una matriz de cuatro *cantilevers* de lectura por el driver, se pueden así medir simultáneamente la excitación de dos *cantilevers*. Esta configuración permite realizar medidas diferenciales.

#### 4.2.2 Gestión y diseño de las matrices con multiplexado

En el diseño de los sistemas de control se considera que el número de *cantilevers* de la matriz pueda aumentar, y que el diseño sea extensivo fácilmente. Tenemos dispositivos de cuatro y ocho *cantilevers*, conectados al circuito mediante un sistema de interruptores.

La figura 4.5 muestra de forma esquemática las dos posibilidades de multiplexado propuestas: un único interruptor para controlar cada *cantilever* de la matriz que denominamos multiplexado directo A) y un segundo sistema, compuesto por un esquema de transistores en cascada, que denominamos en escalera B).



**Figura 4.5** Esquema de los interruptores de control implementados para seleccionar *cantilevers* individualmente de una matriz de cuatro: A) directo y B) en escalera. Se busca la configuración que minimice las capacidades parásitas.

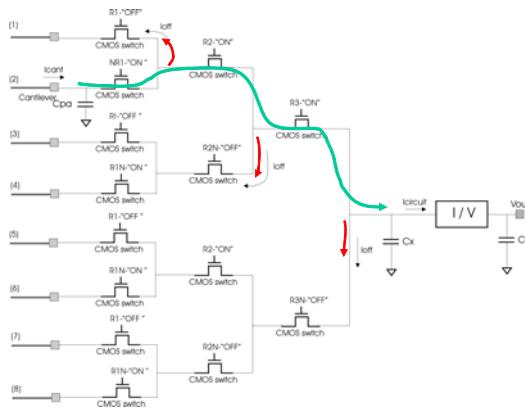
Durante el diseño se ha buscado la minimización del ruido de la señal, las capacidades parásitas y las corrientes de fuga de la matriz de interruptores; para ser capaces de medir la corriente de resonancia de *cantilevers* nanométricos y no degradar las características del circuito analógico. Analizamos en detalle ambas configuraciones.

Cada interruptor se forma utilizando un único transistor, no una puerta de paso, para así minimizar las capacidades parásitas. El transistor utilizado de la tecnología CMOS CNM25 es un NMOS. Las características del transistor utilizado como interruptor se muestran en la tabla 4.2.

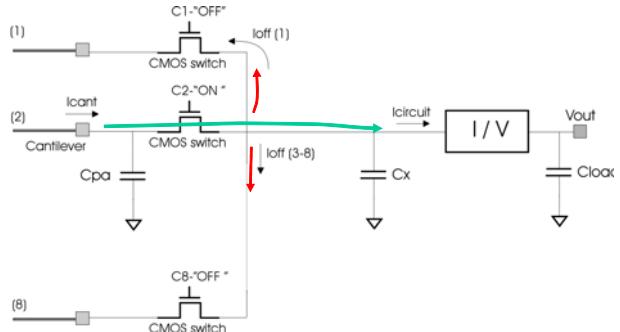
Parámetros	Valor
W/L	4,5 $\mu\text{m}$ / 4,5 $\mu\text{m}$
$R_{\text{on}}$ ( $V_{\text{ds}}$ pequeña, $I_{\text{ds}} = 20 \text{ nA}$ )	5 $\text{k}\Omega$
$I_{\text{off}}$ ( $V_{\text{ds}} = 1 \text{ V}$ ); corriente de fugas con transistor en OFF	2 pA
$C_{\text{on}}$ ; capacidad en estado ON, fuente y drenador a tierra	28 fF
$C_{\text{off}}$ ; capacidad en estado OFF, fuente y drenador a tierra	22 fF
$I_{\text{ruido}}$ ; densidad de corriente espectral	0,20 pA/ $\sqrt{\text{Hz}}$

**Tabla 4.2** Características de los interruptores NMOS

Los esquemas de multiplexado para matrices de ocho *cantilevers* formados utilizando transistores NMOS como interruptores se presentan en las figuras 4.6 configuración en escalera y 4.7 configuración directa. Ambos esquemas se han simulado en HSPICE para estudiar qué configuración tiene menor influencia de las capacidades parásitas. En los dos casos se ha considerado que sólo uno de los *cantilevers* está funcionando.



**Figura 4.6** Esquema de las pérdidas de corriente e influencia para la configuración de transistores en escalera.



**Figura 4.7** Esquema de las pérdidas de corriente e influencia para la configuración de transistores directa.

De las simulaciones se deduce que el multiplexado en escalera tiene mejores características, ya que minimiza las capacidades parásitas y las corrientes de fuga. Como se recoge en la tabla 4.3, la capacidad parásita  $C_{pa}$  se ve aumentada respecto al caso de no utilizar multiplexado. La pérdida de corriente  $I_{off}$  se duplica en el caso de multiplexado directo y el incremento de capacidad parásita  $\Delta C_x$  disminuye en las etapas en escalera.

Parámetros	Sin multiplexado	Multiplexado en escalera	Multiplexado directo
$C_{pa}$	20 fF	48 fF	48 fF
$I_{off}$	0	7 pA	14 pA
$\Delta C_x$	0	48 fF	182 fF
$\Delta I_{noise}$	0	0.35 pA/ $\sqrt{Hz}$ (8 cant.)	0.20 pA/ $\sqrt{Hz}$

**Tabla 4.3** Resultados de la simulación HSPICE de los sistemas de multiplexado directo y en escalera para matrices de ocho *cantilevers*.

Como consecuencia de este estudio, se decide implementar matrices de cuatro *cantilevers* con los dos esquemas de multiplexado, directo y en escalera, y matrices de ocho *cantilevers* con multiplexado en escalera.

Una vez estudiados los esquemas de multiplexado, se diseña un sistema digital sencillo para controlar los interruptores, utilizando los bloques digitales de la misma tecnología CMOS CNM25. Este bloque tiene que seleccionar para cada uno de los circuitos cualquiera de los transistores; eso podremos hacerlo con un control de dos y tres bits en los casos de matrices de cuatro y ocho *cantilevers* respectivamente.

En el caso del sistema de control en escalera, basta un bit de control para cada nivel de transistores, así no es necesaria ninguna lógica extra de control. En realidad, cada bit de entrada gobierna dos transistores, uno directamente y otro mediante un inversor, de forma que la mitad de los transistores de una etapa se activan con un 1 lógico y la otra mitad con un 0 lógico. En el caso de la configuración directa es necesario introducir un decodificador para poder seleccionar las diferentes entradas.

Para minimizar el número de entradas al circuito se introduce un reloj en el mismo, así se introduce el control de modo secuencial. Habrá un único pad de entrada para los datos de selección de *cantilever* y se introduce un registro de desplazamiento que transmite la selección a la entrada del bloque digital. Este sistema secuencial de selección de *cantilevers* dentro de una matriz puede resultar práctico en el caso de matrices con muchos *cantilevers*, en el caso de una matriz con 8 *cantilevers* como el presentado, sólo se ahorra una conexión a la entrada y se complica innecesariamente el test posterior del sistema.

En el diseño del chip se introducen unos módulos para poder caracterizar el sistema digital de control. La caracterización de estos módulos, ha permitido conocer el funcionamiento del multiplexado sin la fabricación de las estructuras.

#### 4.2.3 Características del circuito de amplificación

Una vez presentado el sistema de control de la matriz falta definir las características del circuito de lectura<sup>2</sup>. En el circuito de amplificación se opta por un esquema de conversión resistiva [Verd-02]. Este método consiste en hacer pasar la corriente capacitiva generada por el sistema *cantilever-driver* ( $I_c$ ) a través de una resistencia para medir la caída de tensión generada. El circuito de lectura está formado por un amplificador de transconductancia, implementación muy usual del método de conversión resistiva. El bloque básico de este amplificador es un amplificador operacional diseñado expresamente, basando la configuración en un OTA<sup>3</sup> Miller [Maloberti-01]. La ganancia viene dada por la

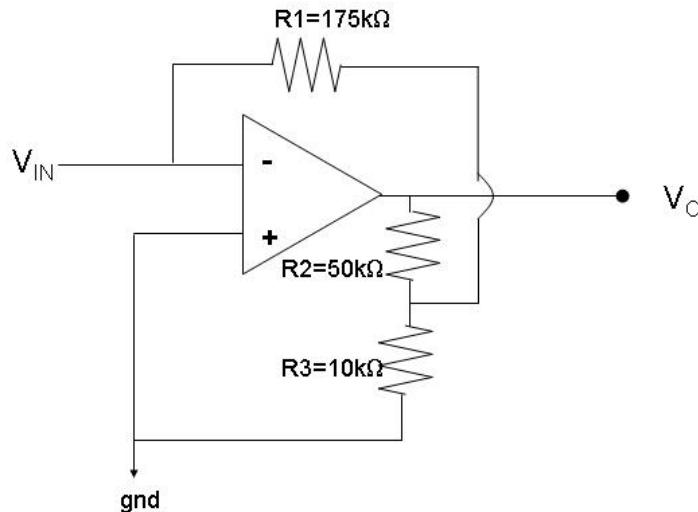
---

<sup>2</sup> El diseño de la circuitería de lectura ha sido realizado por Jaume Verd dentro del proyecto Nanomass [Verd-03].

<sup>3</sup> OTA, *Operational Transconductance Amplifier*, Amplificador operacional de transconductancia.

red resistiva en forma de T. El esquema del circuito utilizado se presenta en la figura 4.8. Con la configuración presentada en la figura, la ganancia del sistema viene dada por:

$$G = -\frac{V_o}{I_{in}} = -R_1 \left( 1 + \frac{R_2}{R_3} \right) \quad \text{Ecuación 4-1}$$



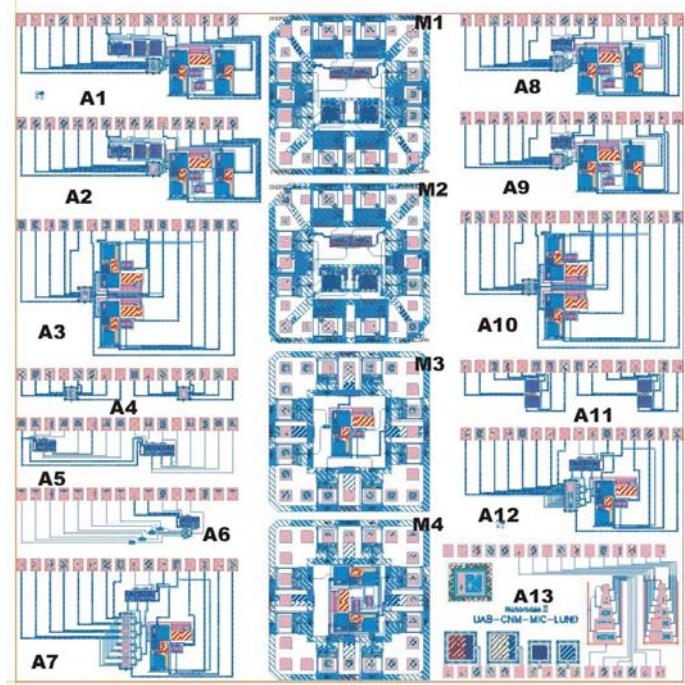
**Figura 4.8** Esquema eléctrico del circuito de lectura implementado. El transductor se conecta a la entrada  $V_{IN}$  negativa del operacional.

Para el funcionamiento del sensor, las dos características fundamentales del circuito son la ganancia y el ancho de banda. Dado que la corriente a detectar capacitiva será muy pequeña es necesaria una ganancia alta en el sistema. El diseño implementado tiene una ganancia en continua de 1150 A/V, transformando corrientes de nA en mV. Trabajando en el punto de polarización óptimo se consigue la amplificación suficiente. Por otro lado el ancho de banda del circuito tiene que ser superior a la resonancia de la palanca, es decir próximo a 1 MHz.

En las estructuras de ocho *cantilevers* y en la estructura con cuatro *cantilevers* preparada para realizar medidas diferenciales se utiliza un circuito de amplificación de una etapa, como el ilustrado. En las matrices de cuatro *cantilevers* con sistema de multiplexado, tanto en escalera como directo, se implementa un sistema de amplificación de dos etapas, este amplificador de dos etapas está formado por dos circuitos como el mostrado.

#### 4.2.4 Distribución en el chip

La figura 4.9 presenta el *layout* del chip. En la columna central hay circuitos de detección de test, no directamente relacionados con el trabajo presentado. En las columnas laterales se presentan las matrices de *cantilevers* y circuitos para verificar el control digital.

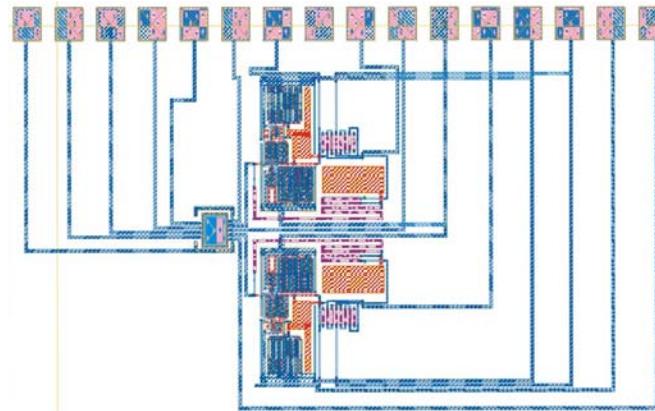


**Figura 4.9** Layout del chip de dimensiones 7,5 mm x 7,5 mm.

Los módulos A3, A7, A10 y A12 con *cantilevers* se caracterizan eléctricamente.

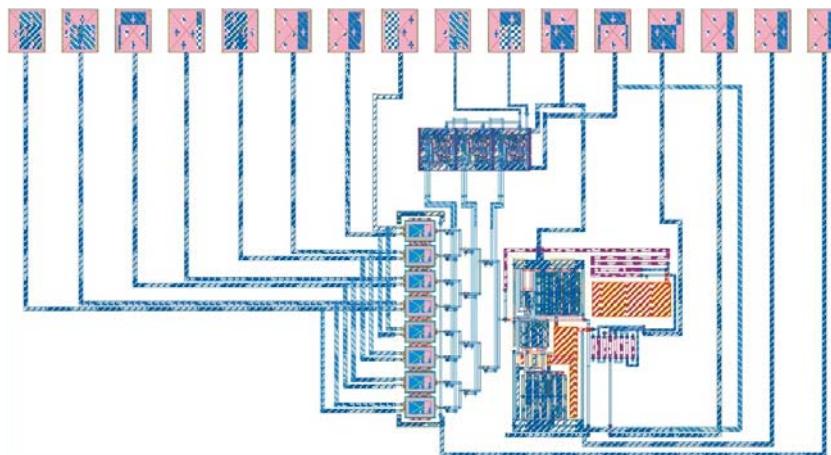
Los módulos de las matrices de cuatro palancas corresponden a los circuitos A1, A2, A3, A8, A9 y A10. Los módulos A7 y A12 corresponden a las matrices de ocho *cantilevers*. Se ha colocado siempre el circuito a la derecha y el área de fabricación a la izquierda. Los módulos A5, A6 y A11 permiten testear eléctricamente el control digital.

La figura 4.10 muestra el esquema físico del diseño del área de fabricación para cuatro *cantilevers* y cinco *drivers* conectada a dos circuitos de amplificación para realizar medidas diferenciales.



**Figura 4.10** Diseño físico de una matriz de cuatro *cantilevers* conectada a dos circuitos (módulos A3 y A10). Permite leer simultáneamente dos *cantilevers*. En este caso la lectura se realiza por el driver, los *cantilevers* se polarizan a la misma tensión que el sustrato y se excitan por los otros *drivers*.

La figura 4.11 muestra el diseño físico de la implementación del sensor para una matriz de ocho *cantilevers* con lectura a través de la palanca y multiplexado en escalera. Para cada *cantilever* se ha implementado un área independiente de fabricación. Este diseño corresponde a los circuitos A7 de la figura 4.9, con la misma configuración también se han implementado matrices de ocho *cantilevers* con una única área de fabricación (circuitos A12 de la misma figura).



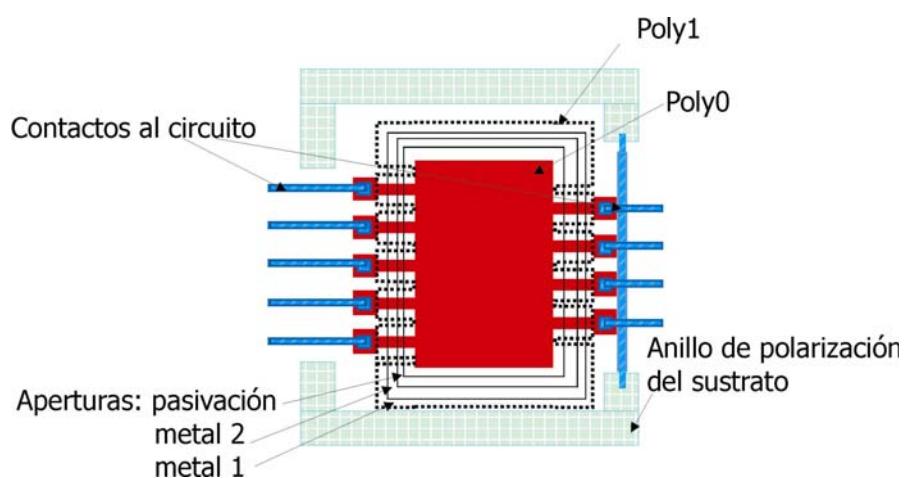
**Figura 4.11** Diseño físico de un dispositivo para fabricar una matriz de ocho *cantilevers* en áreas de fabricación independientes, con sistema de multiplexado en escalera, incluye la circuitería de control digital y el circuito de amplificación.

## 4.3 Proceso de fabricación del transductor

El proceso de fabricación del transductor consta de tres etapas claramente diferenciadas, la primera es la creación de la estructura del área de fabricación durante el proceso CMOS; la segunda es la preparación del sustrato tras el CMOS para la fabricación de los transductores. La tercera etapa es la fabricación propiamente dicha, para la que se pueden utilizar diversas técnicas, en concreto se utiliza fotolitografía y litografía por haz de electrones.

### 4.3.1 Diseño del área de fabricación con los niveles CMOS

Durante el proceso CMOS hay que definir la estructura de la zona de fabricación: la capa sacrificial y la capa estructural, además de los contactos entre la capa estructural y la circuitería. Se quiere tener acceso a polarizar el sustrato, por esta razón hay que definir un pozo en la zona de fabricación del transductor y un anillo de polarización. Se ha considerado el proceso de fabricación CMOS y se ha estudiado como afecta cada nivel CMOS al diseño del área de fabricación (apéndice B). La figura 4.12 muestra la vista del diseño de la zona de fabricación.



**Figura 4.12** Vista superior del diseño de la zona de fabricación para el CMOS. En oscuro, el polisilicio (poly0) utilizado como capa estructural, en línea discontinua límite de la máscara de polisilicio (poly1) utilizado como protección durante el proceso CMOS.

En primer lugar se define pozo p la zona de fabricación. A continuación se debe crecer un óxido grueso en la zona de nanofabricación, que será la capa sacrificial. Este óxido tiene una micra de grosor aproximadamente (se crece fuera de las zonas activas). Seguidamente se deposita el primer nivel de polisilicio (poly0) que se utilizará como capa estructural; en este nivel se definen el área para la fabricación, como muestra la figura 4.10, se define en polisilicio un área rectangular para la fabricación de estructuras, con unos entrantes que facilitan el contacto con la circuitería.

La estructura estaría casi lista para la fabricación. Para preservar la superficie del polisilicio en el resto de tapas CMOS, se deposita una capa del segundo nivel de polisilicio (poly1) que actúa de capa protectora. Entre los dos niveles de polisilicio se crece el óxido interpoly (apéndice B) que también actúa como protección. Es importante que en los niveles siguientes se abran ventanas, para tener acceso a la zona de fabricación. Así se define el área como apertura de contactos de metal (para los dos niveles de metal); en los contactos definidos en polisilicio se depositará aluminio y que permite la conexión eléctrica con las pistas de metal y así se conecta el polisilicio con la circuitería. Por último se define la apertura en la pasivación.

Tras el proceso CMOS mediante un grabado RIE estándar se elimina la capa de polisilicio utilizada como protección (poly1) y el óxido interpoly. Como se muestra a continuación en los procesos de fabricación, este paso es necesario tanto para *cantilevers* definidos ópticamente como para los definidos mediante litografía por haz de electrones.

#### **4.3.2 Fabricación de transductores definidos mediante fotolitografía**

Con el objetivo de fabricar simultáneamente estructuras en una oblea completa se utiliza la fotolitografía para definir los transductores (*cantilevers* y *drivers*). Dado que las estructuras se definen en un proceso tras la fabricación CMOS, las obleas tienen en este punto una topografía bastante abrupta, lo que impide obtener la máxima resolución que permite la litografía ultra violeta. Se diseñarán así estructuras donde la mínima dimensión definida sea 1  $\mu\text{m}$ .

Estas estructuras no van a permitir alcanzar la resolución máxima del sensor, pero sí disponer de bastantes prototipos para analizar y determinar las características del sensor.

#### 4.3.2.1 Diseño de la máscara para definir las matrices de *cantilevers*

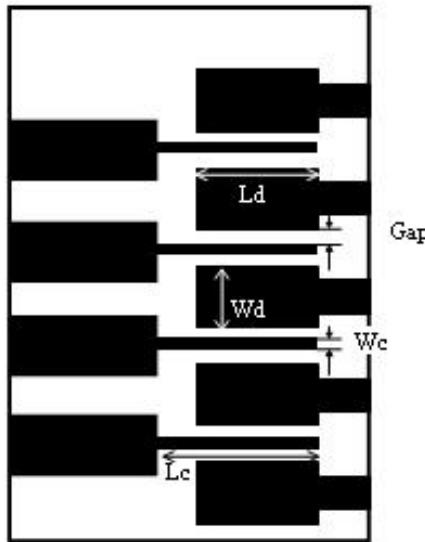
El diseño de la máscara para fabricar las estructuras depende en parte del proceso de fabricación que se va a seguir. Se considera que se definirán las estructuras mediante grabado seco (RIE) utilizando como máscara resina; este hecho es necesario para realizar la máscara. Aunque a continuación del diseño de la máscara se presenta en detalle el proceso de fabricación, es preciso hacer aquí este inciso, para entender el diseño realizado.

Se diseñarán estructuras formadas por *cantilevers* y *drivers* de varias dimensiones, como muestra la tabla 4.4. La tabla recoge las dimensiones definidas sobre la máscara de cromo utilizada para la fotolitografía, se indica la longitud del *cantilever* ( $L_c$ ), la anchura del mismo ( $W_c$ ), la longitud del *driver* ( $L_d$ ) y la anchura del *driver* ( $W_d$ ), así como la distancia *cantilever-driver* (*gap*) (figura 4.13).

Nº circuito	Tipo de Nanoarea	$L_c$ $\mu\text{m}$	$W_c$ ( $\mu\text{m}$ )	Gap ( $\mu\text{m}$ )	$L_d$ ( $\mu\text{m}$ )	$W_d$ ( $\mu\text{m}$ )
A3	Array4_DR_L40	40	1	1	37	13,5
A10	Array4_DR_L50	50	1,4	1,4	47	12,9
A7	Array_8p_CR	40	1	1	37	13,5
A12	Array_8_CR	40	1	1	37	13,5

**Tabla 4.4** Dimensiones de los *cantilevers* y *drivers* implementados para las distintas matrices de polisilicio.

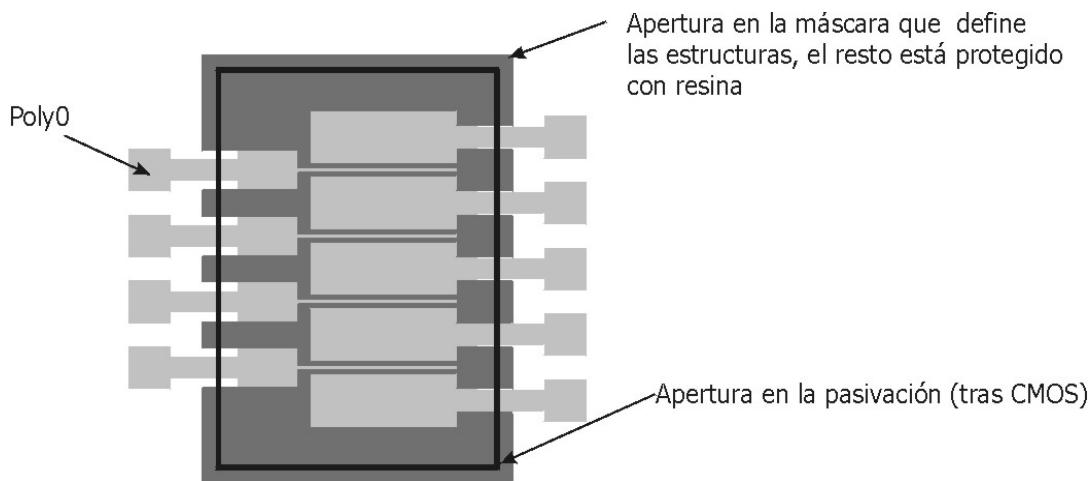
Como se observa en la figura 4.13 para minimizar las capacidades parásitas, en concreto para minimizar el acoplamiento directo entre *drivers*. Es necesario que el *cantilever* coincida con el final del *driver*, así se minimizan las capacidades parásitas.



**Figura 4.13** Esquema de un área de fabricación indicando a que dimensiones corresponden los valores de la tabla anterior.

Las dimensiones de las estructuras se fijan intentando conseguir la mayor resolución en masa posible, pero considerando las limitaciones introducidas por la técnica de litografía utilizada y por la frecuencia de resonancia. Dado que el ancho de banda del circuito es próximo a 1 MHz, para asegurarnos que la palanca está en el rango de operación del mismo, se considera el diseño tal que la frecuencia de resonancia sea inferior a los 800 kHz. La anchura de las estructuras se verá disminuida debido al sobreataque del proceso RIE utilizado para transferir el diseño al polisilicio, en pruebas previas se han observado sobreataques laterales de 100-150 nm por cada lado para grabados de 600 nm de profundidad. Por ejemplo, para una anchura diseñada 1  $\mu\text{m}$  se ha observado que se obtienen unas dimensiones en el polisilicio de 0,6-0,8  $\mu\text{m}$ . Esta variación de la anchura se ha tenido en cuenta en el diseño y la frecuencia de resonancia se ha calculado considerando este sobreataque. Se decide diseñar dimensiones relativamente conservativas, considerando que el límite máximo de resolución alcanzable con el *stepper* que se utiliza (Modelo Nikon NSR-150.SG7E) sobre una oblea virgen es de 500 nm, dado que la oblea ha sido procesada CMOS y que la zona a litografiar es una zona con perfiles bastante abruptos, se definen las dimensiones mínimas de 1  $\mu\text{m}$ .

El retículo utilizado es de campo oscuro, de forma que sólo queda abierta la zona del área de fabricación donde hay que grabar el polisilicio. La figura 4.14 muestra una imagen de éste sobre una de las áreas para definir cuatro *cantilevers* y cinco *drivers*.



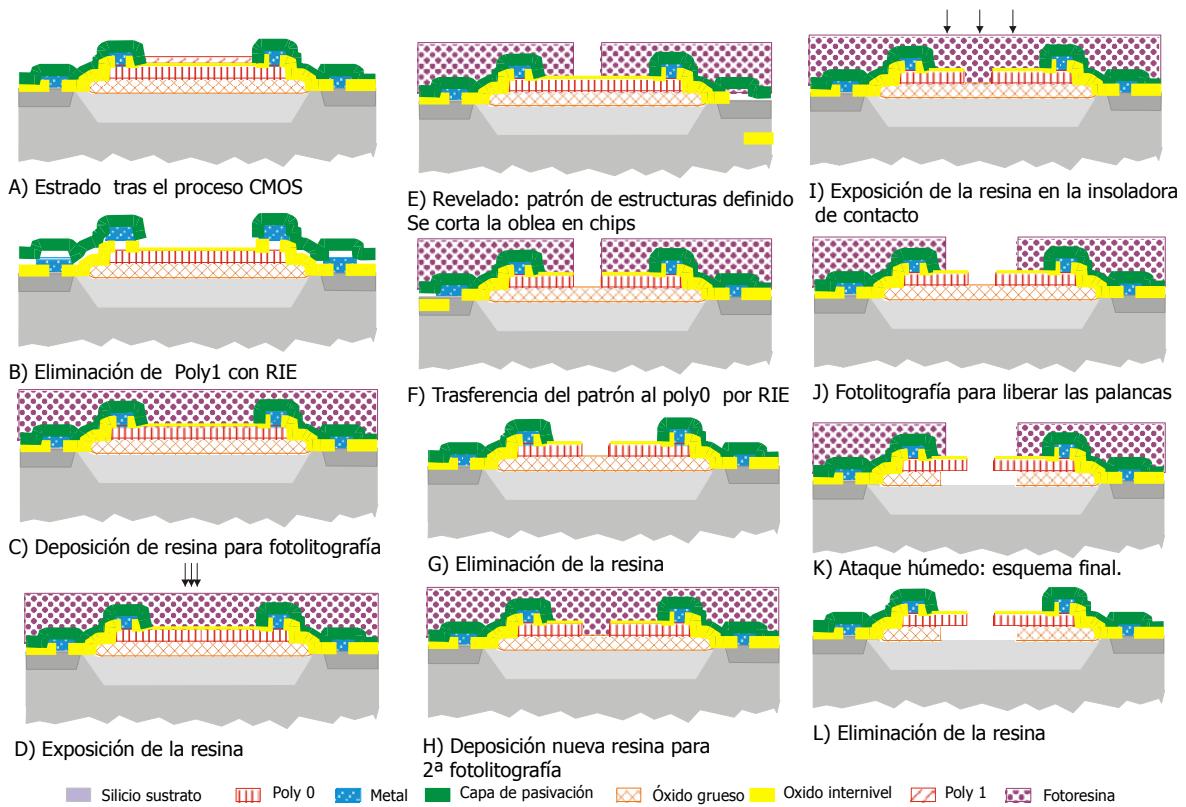
**Figura 4.14** Máscara para definir una matriz de cuatro *cantilevers* para lectura por el *driver*.

Los *cantilevers* tienen una anchura de 1,4  $\mu\text{m}$  y una longitud de 50  $\mu\text{m}$ . En gris oscuro el nivel nuevo que diseña los *cantilevers* y *driver* (es la zona que se ataca). La línea negra indica los límites de pasivación (apertura definida tras el proceso CMOS) y en gris claro el polisilicio estructural (poly0).

#### 4.3.2.2 Proceso de fabricación de las palancas mediante litografía UV

El proceso de fabricación de las palancas recoge todas las etapas necesarias para fabricar el sensor tras el proceso CMOS estándar. La figura 4.15 muestra un esquema en sección de las áreas de fabricación en cada paso del proceso. El primer dibujo, A), muestra la situación del área de fabricación tras el proceso CMOS. Se observa la conexión eléctrica del nivel de polisilicio estructural (poly0) al circuito (contactos de metal), la capa de polisilicio de protección (poly1) y la abertura en la pasivación; esta abertura permite acceder a la zona para fabricar las estructuras.

La primera etapa posterior al CMOS es la eliminación del polisilicio de protección (poly1) mediante un ataque RIE (sin utilizar máscara de protección). A continuación tiene lugar el proceso de litografía óptica; se utiliza un sistema de insolación paso a paso o *stepper* (modelo Nickon NSR-150.SG7E), por ello se ha definido un retículo. Primero se deposita resina, C), seguidamente se insola a través de la máscara, D), y mediante el revelado queda definida la máscara E). En este punto la oblea se corta en chips.



**Figura 4.15** Esquema del proceso de fabricación de *cantilevers* y *drivers* mediante fotolitografía óptica. Se muestran en sección todas las etapas tras el proceso CMOS.

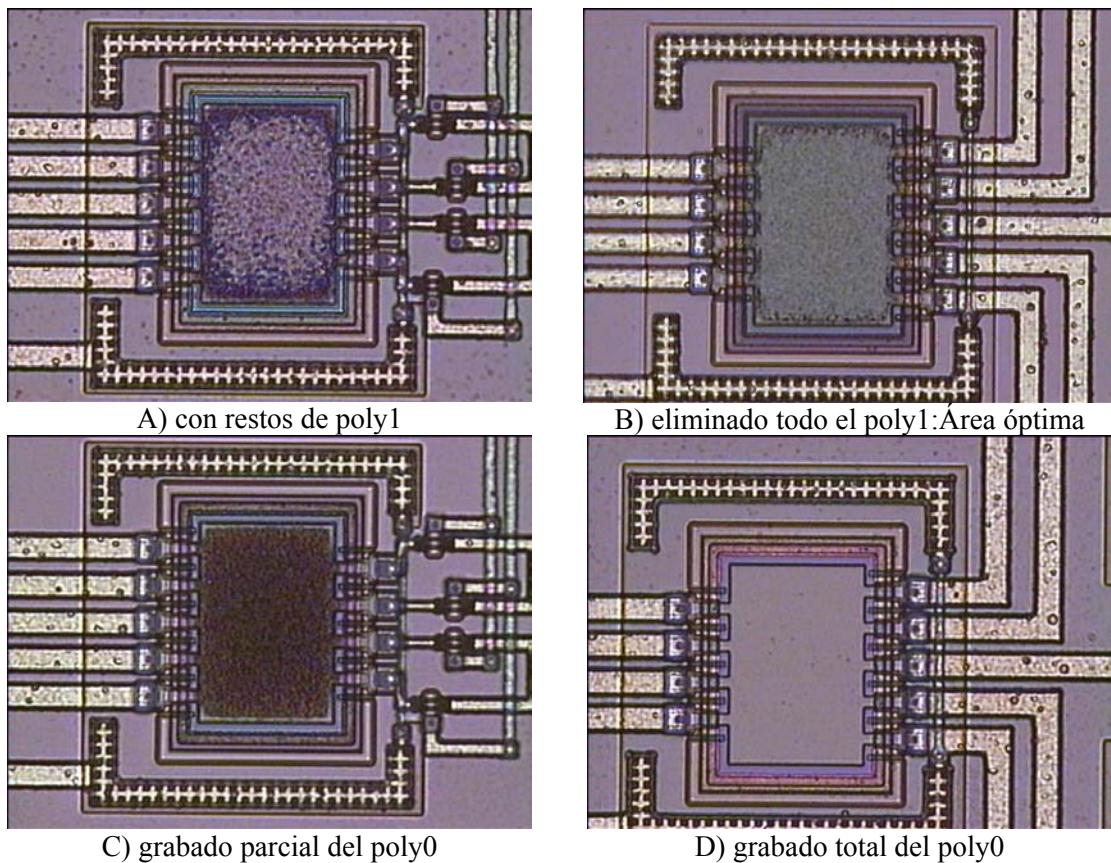
El siguiente paso es transferir la máscara al polisilicio, mediante un grabado seco RIE utilizando el GIR 160 del CNM primero se realiza un ataque estándar de óxido para eliminar el óxido interpoly y a continuación se realiza el grabado de polisilicio, F). El grabado de polisilicio es una de las etapas más críticas del proceso. Antes del grabado se realiza un acondicionamiento de la cámara, el grabado RIE se basa en el proceso estandar para grabado de polisilicio, se disminuye el caudal de  $SF_6$  para que proporcionalmente aumente el caudal de oxígeno (se usan 20 sccm de  $SF_6$  y 12 sccm de  $O_2$ ) y se reduce la potencia a de 75 W a 50 W, realizando los ataques en etapas de 30 segundos se obtiene mayor verticalidad. Una vez definidas las estructuras, se liberarán mediante un ataque húmedo. Para ello se elimina la resina utilizada, ya que durante el RIE queda dañada y tiene que aguantar perfectamente el ataque húmedo para proteger la circuitería. Por esta razón se elimina la resina G) y se realiza una nueva etapa de fotolitografía depositando nueva resina H), la insolación I) se hace con una insoladora de contacto (modelo Canon PLA-600 FA) que permite trabajar con chips y además la resolución necesaria en este punto es mucho menor, pues basta abrir ventanas en el área de fabricación. Tras el revelado J) se realiza el ataque húmedo del óxido de silicio que actúa como capa

sacrificial, este ataque se realiza en SiO-Etch comercial para eliminar el equivalente a 1  $\mu\text{m}$  de óxido, K). Tras la eliminación de la resina L), las estructuras están acabadas.

#### 4.3.2.3 Resultados: *cantilevers* definidos ópticamente

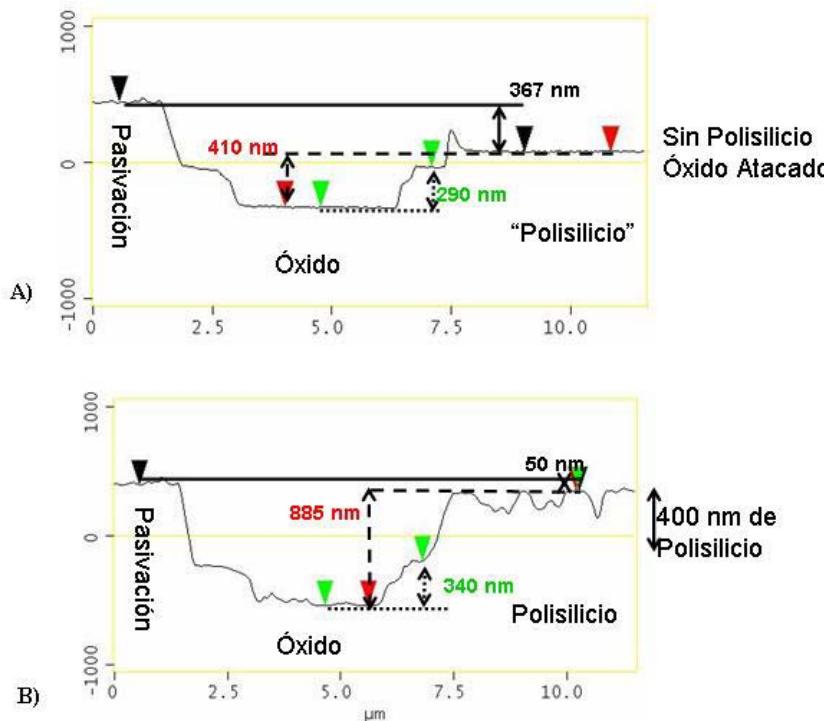
En este apartado se recogen los resultados del proceso de fabricación de los transductores mediante litografía óptica tal y como hemos detallado en el apartado anterior. La primera etapa consiste en eliminar el polisilicio de protección (poly1) mediante ataque RIE. Conviene destacar que, aunque el proceso es estándar, la experiencia demuestra que es bastante desuniforme a lo largo de toda la oblea. En algunos puntos quedan restos de la capa de protección (poly1) y en otros se ha grabado demasiado atacando la capa estructural (poly0). Este hecho ha provocado que los chips útiles dentro de la oblea se hayan reducido considerablemente. Ha sido difícil detectar que áreas podían utilizarse y cuales no. Las áreas con mucha rugosidad y mucha suciedad, corresponden a ataques parciales bien del poly0 o bien del poly1. Las áreas completamente limpias, que en principio parecían las óptimas para la fabricación, se ha atacado todo el polisilicio y lo que se ve es el óxido de silicio de debajo del poly 0. Con la inspección óptica y con un análisis en sección con el microscopio de fuerzas atómicas se ha podido determinar en que condiciones estaban las áreas de fabricación.

La figura 4.16 muestra una imagen del área de fabricación tras el proceso CMOS y el ataque RIE para eliminar el polisilicio utilizado como protección, con los aspectos encontrados para las distintas nanoareas; donde no se ha eliminado todo el poly1 de protección A), donde se ha eliminado correctamente el poly1 de protección y el poly0 está listo para la fabricación B) y donde se ha atracado el poly0 estructural C) parcialmente y D) totalmente.



**Figura 4.16** Imágenes ópticas de los distintos aspectos del área de fabricación tras el proceso CMOS y el ataque RIE para eliminar el polisilicio de protección.

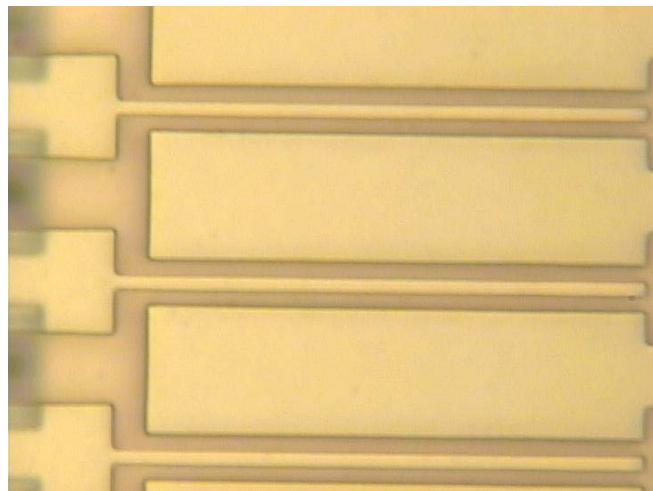
La figura 4.17 muestra dos secciones de nanoarea A) donde se ha eliminado todo el polisilicio e incluso algo de óxido, B) se han atacado 200 nm de polisilicio pero se puede utilizar para fabricar el resonador. Se indica a que región corresponde cada zona del perfil, así como las dimensiones que nos han permitido determinar que grosor de polisilicio quedaba.



**Figura 4.17** Perfiles AFM del borde del área de fabricación A) se ha eliminado el polisilicio. B) lista para fabricar estructuras.

El proceso litográfico también ha tenido sus particularidades, entre otras cosas porque se trata de una oblea procesada con una topografía bastante abrupta justo en las zonas donde se quieren definir motivos (la apertura de pasivación y el ataque RIE para eliminar el polisilicio de protección provocan desniveles de hasta 2 μm en las áreas de fabricación). Este desnivel influye en el grosor de la resina depositada y en el foco. Ha habido que optimizar el proceso para determinar el foco y la insolación requerida. Se han realizado pruebas sobre las mismas obleas de proceso para ajustar los parámetros de insolación. Los motivos de alineamiento se han creado para alinear hasta el nivel de pasivación. Debido a que el *stepper* puede tener alguna dificultad en reconocer los motivos, se extrema la precaución durante el proceso automático de alineamiento.

La figura 4.18 muestra el resultado de la etapa de fotolitografía después del revelado de la resina en la que se han definido *cantilevers* de 50 μm de largo y 1,4 μm de ancho. Las dimensiones obtenidas no se pueden analizar en detalle, dado que la inspección con un microscopio electrónico de barrido o con un microscopio de fuerzas atómicas dañaría la resina y se perderían cualidades de ésta como máscara.

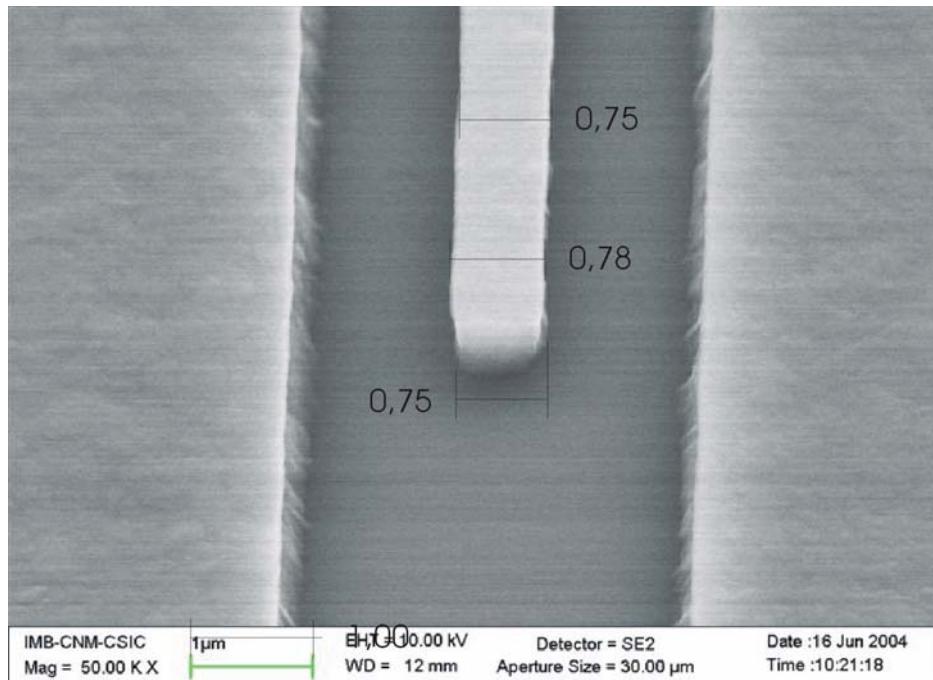


**Figura 4.18** Imagen óptica, definición de las estructuras en fotoresina. *Cantilevers* de 50  $\mu\text{m}$  de largo y 1,4  $\mu$  de ancho.

El siguiente punto es transferir el patrón de la máscara de resina a la superficie de polisilicio. Se ha tenido que poner a punto el proceso RIE óptimo; ha sido necesario realizar una serie de pruebas antes de elegir el proceso exacto que permite obtener alta anisotropía y minimiza los sobreataques laterales. Esta puesta a punto es necesaria porque las condiciones del RIE varían significativamente dependiendo de la relación de zona expuesta y zona de máscara, tamaño de la muestra, etc. [Cleland-03].

El equipo utilizado para realizar el ataque es el Alcatel GIR 160 del IMB-CNM. Respecto al proceso estándar RIE para grabar polisilicio, se ha disminuido la potencia de trabajo y se ha disminuido la proporción del caudal de  $\text{SF}_6$  frente al caudal de  $\text{O}_2$ . Este equipo aunque dispone de un sistema de refrigeración, no dispone de un sistema de control de temperatura, considerando además que el ataque no es lineal, cada ataque se realiza en sucesivas etapas cortas. Con estas condiciones se mejora el proceso, aunque todavía se obtiene un sobreataque lateral de aproximadamente 100 nm (no se puede determinar con exactitud, porque tampoco se conoce con exactitud las dimensiones definidas en la máscara de resina). El proceso RIE se realiza a nivel de chips, porque si las condiciones variaran en uno de los ataques ligeramente sólo afectarían a un chip y no a todos los dispositivos disponibles.

La figura 4.19 muestra una imagen SEM tras el ataque RIE, en el proceso optimizado y utilizado en los dispositivos. Se ha conseguido definir *cantilevers* con anchuras de 750-800 nm.



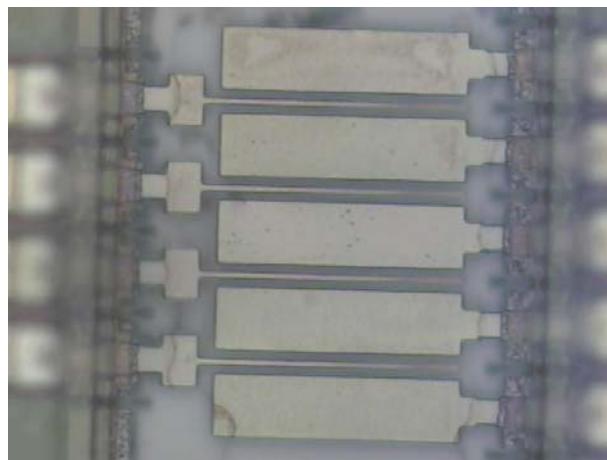
**Figura 4.19** Imagen SEM en detalle de una de las palancas (dimensiones en micras) tras ser definido en resina y transferir el patrón al polisilicio. Para una anchura en máscara de 1  $\mu\text{m}$  en polisilicio se obtienen 0,75  $\mu\text{m}$  y una resolución de 33 ag/Hz.

Por último se ha realizado el ataque húmedo para liberar las estructuras con una máscara de resina. Es necesario durante este proceso de grabado proteger la circuitería con resina. La fotolitografía se realiza con una máscara de contacto a nivel de chip. Se define así una apertura en el área de fabricación (como la apertura de pasivación). El ataque se ha realizado con solución comercial *SiO-etch*<sup>4</sup>. Se ha atacado todo el óxido de debajo del polisilicio (1  $\mu\text{m}$ ). El ataque húmedo se hace en dos etapas, haciendo entre ellas un recocido de la resina durante 30 minutos a 90° C para endurecerla y que resista el proceso.

La figura 4.20 muestra una de las estructuras definidas una vez liberadas. Se ha conseguido definir correctamente estructuras de 1,2  $\mu\text{m}$  de ancho y 50  $\mu\text{m}$  de largo (como muestra la figura) y de 0,8  $\mu\text{m}$  de ancho y 40  $\mu\text{m}$  de largo. En la imagen se observa que las puntas de

<sup>4</sup> Compuesto comercial para grabar el óxido de silicio ( $\text{SiO}_2$ ) compuesto por un 25% fluoruro de amonio ( $\text{NH}_4\text{F}$ ) y un 6,2% de HF.

los *cantilevers* están enganchadas al sustrato. En algunos microsistemas al liberar las estructuras mediante ataques húmedos ocurre que las estructuras quedan enganchadas, existen técnicas de ataque en estado gaseoso y por sublimación para solucionar este tipo de problemas. En ocasiones se utilizan baños de pasivación que disminuyen la fricción y evitan que las estructuras se enganchen [Baltes-05]. En nuestro caso no se ha hecho ningún tratamiento especial, para poder utilizar las estructuras se desenganchaban del sustrato con la punta de un microscopio de fuerzas atómicas, es un método lento que ha limitado la cantidad de estructuras que se han podido caracterizar.



**Figura 4.20** Imagen óptica, matriz de cuatro *cantilevers* tras el ataque húmedo para liberarlos, las dimensiones finales son 50  $\mu\text{m}$  de largo y 1,1  $\mu\text{m}$  de ancho y una resolución de 63  $\text{ag/Hz}$ .

La figura 4.21 muestra los resultados correspondientes a un área de 8 *cantilevers* con área de fabricación común a todas ellas. Las manchas que se observan sobre la superficie son debidas a restos de resina y suciedad acumulada durante todo el proceso.

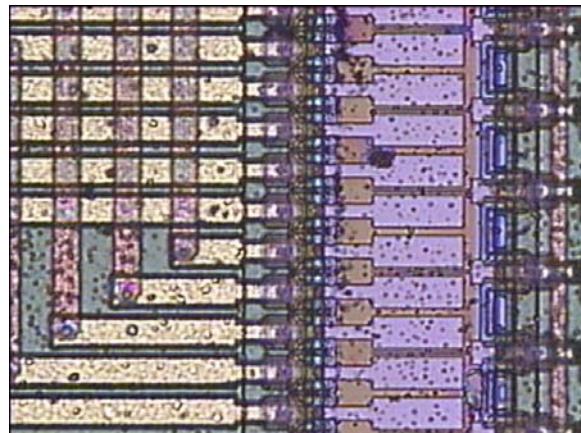


Figura 4.21 Imagen de una matriz de 8 *cantilevers*. Las manchas son restos de resina.

La figura 4.22 muestra una imagen óptica de una matriz de ocho *cantilevers* con áreas de fabricación independientes, se observa el sistema multiplexado en escalera y la conexión al circuito. En la figura 4.23 se observan en detalle las áreas con los transductores. Todos los *cantilevers* de estas áreas se definieron con dimensiones de 800 nm de anchura y 40  $\mu\text{m}$  de largo, la sensibilidad estimada es de 5  $\text{ag/Hz}$ .

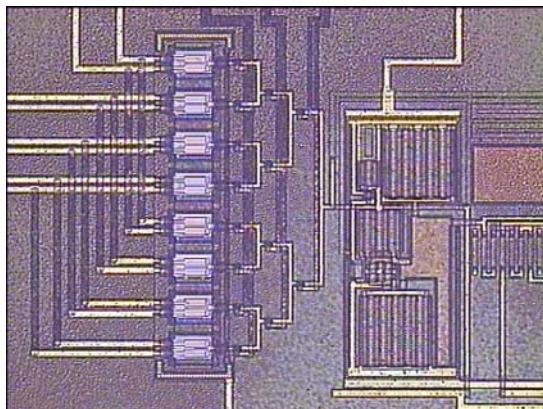


Figura 4.22 Imagen óptica de una matriz de 8 *cantilevers* con áreas independientes.

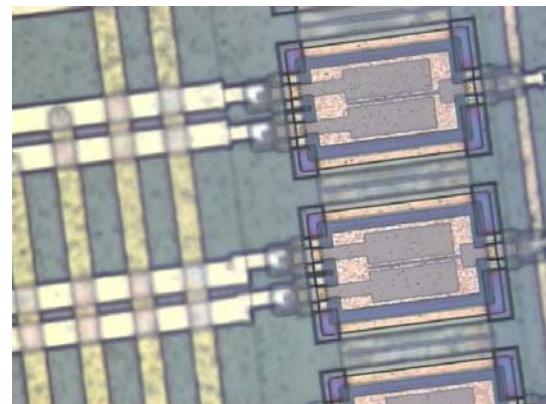


Figura 4.23 Detalle de la matriz de 8 *cantilevers* con áreas independientes.

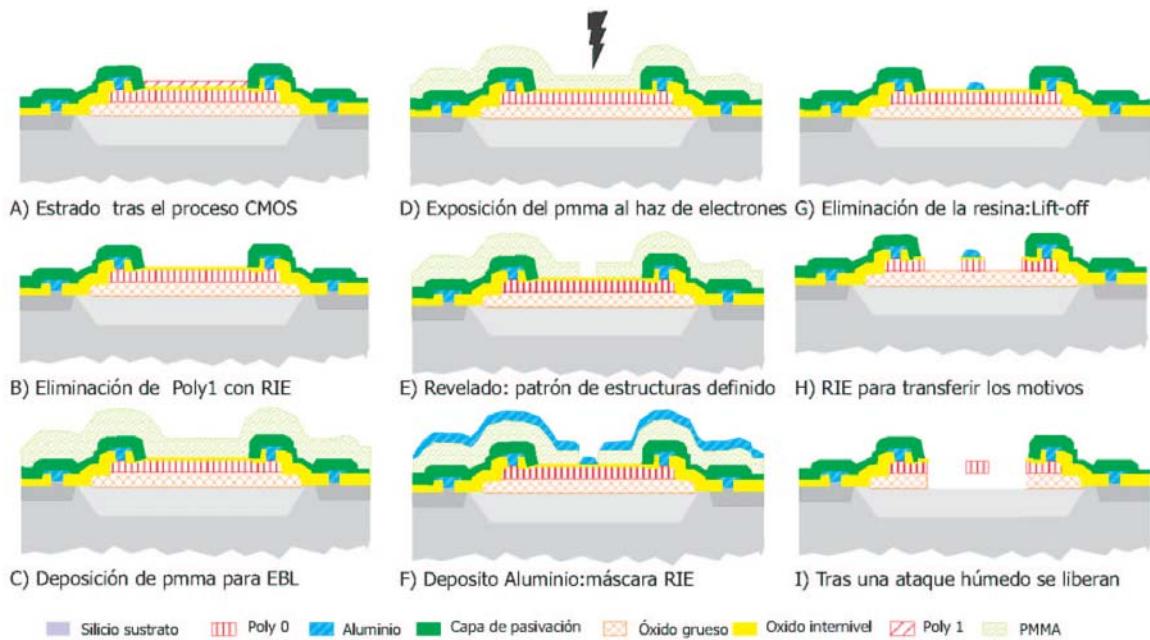
### 4.3.3 Definición de las estructuras mediante litografía por haz de electrones

Para conseguir aumentar la resolución del sensor es preciso reducir las dimensiones del transductor, así para *cantilevers* de anchura inferior a los 500 nm es necesario utilizar otra

técnica de fabricación. Se ha optado por el uso de litografía por haz de electrones<sup>5</sup>, ya que se trata de una técnica que aunque es de procesado en serie, tiene un rendimiento relativamente alto, es muy versátil y tiene muy alta resolución.

#### 4.3.3.1 Definición del proceso

La figura 4.24 muestra en sección el esquema del proceso de fabricación de *cantilevers* mediante litografía por haz de electrones. A) y B) son comunes al proceso de definición mediante fotolitografía: estado del área de fabricación tras el proceso CMOS y ataque de la capa de polisilicio de protección mediante RIE.



**Figura 4.24** Esquema del proceso de fabricación de las palancas mediante litografía por haz de electrones.

A continuación se deposita la capa de resina sensible al haz de iones, en este caso PMMA 950kMW, al 2% en anisol, el grosor de la capa de resina utilizada es de 120-180 nm C). Mediante el haz de electrones se modifica la estructura interna del PMMA, mediante la escisión de las cadenas que forman el polímero D) y con el revelado se elimina la zona irradiada de manera que se define la máscara E). En este caso se han definido los

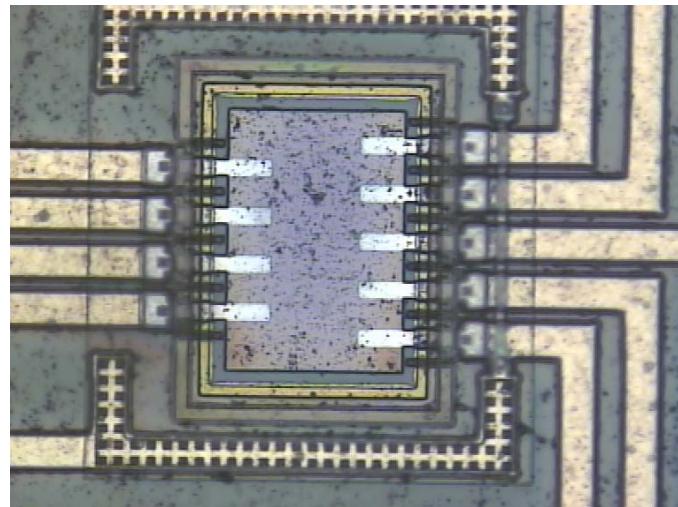
<sup>5</sup> El proceso se ha realizado en el IMB-CNM por Gemma Rius [Rius-05A]

*cantilevers* y *drivers* (negativo de lo que se quiere atacar), por esta razón se deposita una capa de 24 nm de aluminio F), que mediante proceso de *lift-off* hará de máscara G). El patrón se transfiere al polisilicio mediante RIE, H) en las mismas condiciones que en el caso de *cantilevers* ópticos. Utilizando la misma máscara y el mismo ataque húmedo, se liberan las estructuras, I).

#### **4.3.3.2 Consideraciones especiales de la litografía por haz de electrones**

Con el fin de compatibilizar el proceso de fabricación mediante litografía por haz de electrones con la circuitería CMOS, hay que tener en cuenta una serie de consideraciones. Estudios dentro del proyecto *Nanomass* [Campabadal-05] han demostrado que es necesario utilizar haces de baja energía para no dañar la circuitería CMOS. Este hecho radica en que la entrada del circuito es la puerta de un transistor y a través de la exposición a altas dosis podría dañarse. Por esta razón la exposición hay que realizarla a baja energía, concretamente un potencial de aceleración del haz de 3 kV.

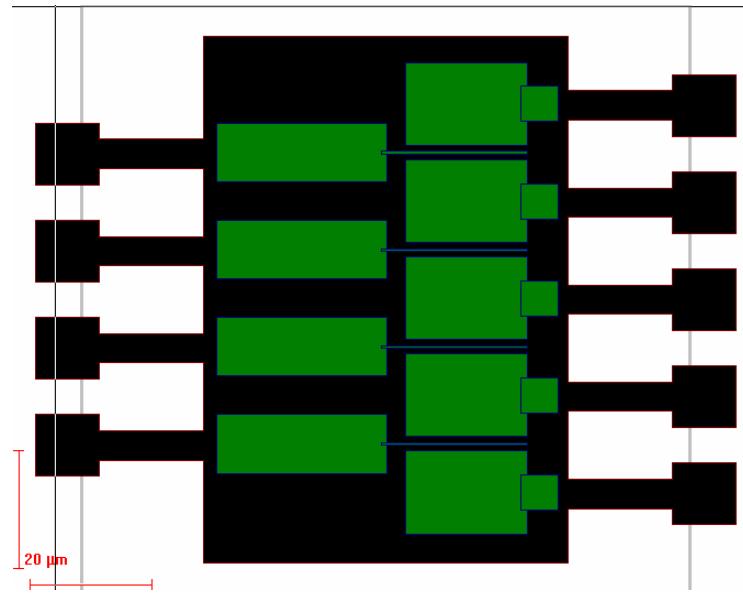
Debido a que en los bordes de las áreas de fabricación la topografía es muy abrupta, el uso de baja energía puede dificultar la insolución en estas regiones. En un primer momento, se ha realizado una prueba definiendo precontactos de aluminio, mediante fotolitografía óptica, la figura 4.25 muestra los precontactos definidos sobre una área de fabricación. Sobre estos chips se han realizado algunas estructuras, aunque ha sido posible realizar estructuras sin necesidad de los precontactos [Rius-05B]. Finalmente se ha observado que no era preciso utilizar estos precontactos de aluminio, ya que la energía utilizada permite insolar correctamente la resina en estas regiones.



**Figura 4.25** Imagen de un área de fabricación donde se han definido precontactos de aluminio mediante fotolitografía óptica.

Otro punto a destacar de proceso litográfico es el posicionamiento del haz sobre las áreas para fabricar las estructuras. Dado que el haz de electrones se sabe que daña a los circuitos CMOS, el posicionamiento hay que realizarlo sin realizar imágenes con el microscopio de electrones de barrido. No se habían definido previamente marcas ni de posicionamiento, ni de alineamiento específicas para la técnica de EBL. Por esta razón algunos pads de los extremos del chip correspondientes a circuitos de test se utilizan para posicionarse. El diseño de las máscaras para la fabricación CMOS se ha introducido como referencia en el equipo de litografía y se ha usado como base para definir las estructuras. Esto ha permitido ganar precisión en el posicionamiento, aun sin disponer de motivos de alineamiento específicos. Para el alineamiento fino sobre cada área se focaliza con el haz en extremos del anillo de polarización que rodea el área de fabricación [Rius-05A].

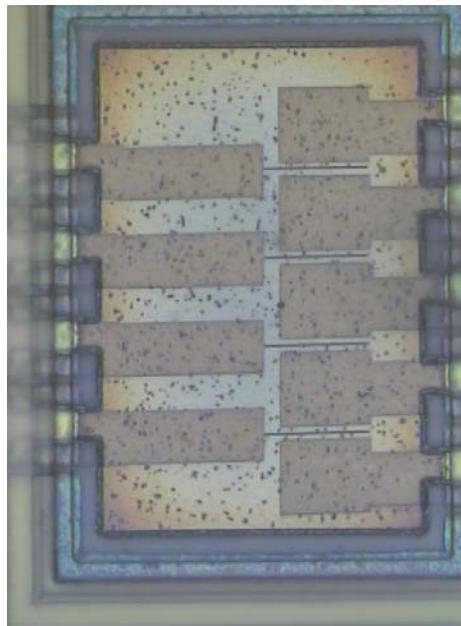
La figura 4.26 muestra el diseño introducido en el control del haz del equipo de EBL para definir matrices de cuatro *cantilevers*. Los *cantilevers* y *drivers* se definen sobre el polisilicio estructural, en gris se observan los motivos diseñados, en negro la capa de polisilicio sobre la que se hace la estructura. Este diseño corresponde al caso de la utilización de precontactos, si no se usan precontactos se aumenta ligeramente en el diseño la anchura de los anclajes tanto de los *cantilevers* como de los *drivers* para mejorar la tolerancia en el alineamiento.



**Figura 4.26** Diseño introducido en el control del haz del equipo de EBL para definir estructuras sobre el polisilicio; utilizando precontactos. En gris zona irradiada, en negro, capa de polisilicio sobre la que se hace la litografía.

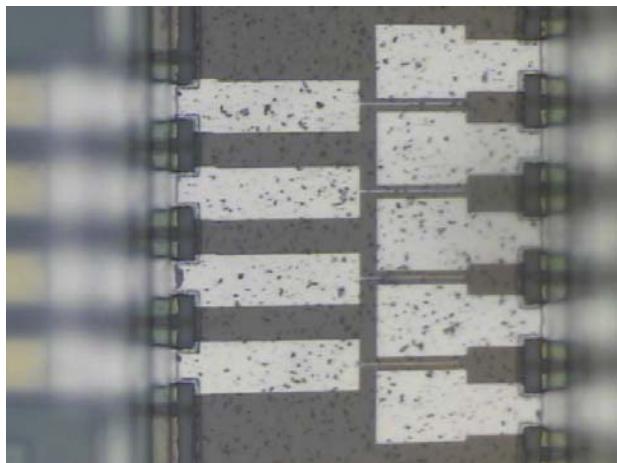
#### 4.3.3.3 Resultados: *cantilevers* nanométricos

En este apartado se recogen los resultados de las distintas etapas el proceso de fabricación. Con el haz de electrones se han definido *cantilevers* de 20  $\mu\text{m}$  de largo y 400 nm de ancho. La figura 4.27 muestra la máscara definida en PMMA tras el revelado.

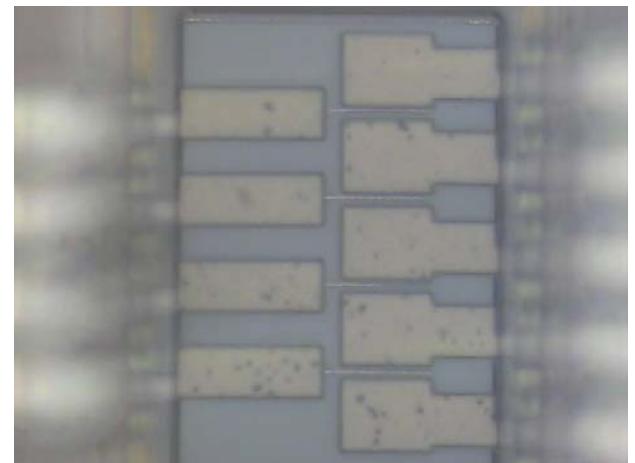


**Figura 4.27** Imagen óptica, matriz de cuatro *cantilevers* y cinco *drivers* definida en PMMA, tras el revelado de 400 nm de ancho y 20  $\mu\text{m}$  de largo, resolución de 4,5ag/Hz.

La definición de *cantilevers* de 400 nm de ancho hace que deba cuidarse especialmente el proceso de *lift-off*, la figura 4.28 muestra el resultado de este proceso.



**Figura 4.28** Imagen óptica, máscara de aluminio tras el *lift-off*.



**Figura 4.29** Imagen óptica, matriz de *cantilevers* transferida al polisilicio mediante RIE.

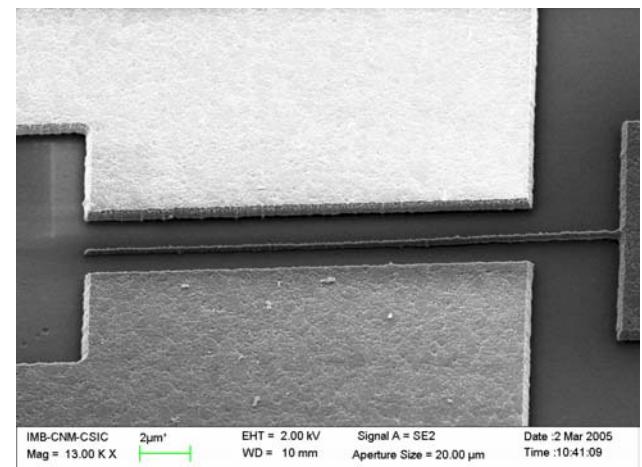
El RIE para transferir el patrón se ha hecho utilizando el mismo equipo que en el caso de los *cantilevers* definidos ópticamente y con las mismas condiciones. Si bien la máscara utilizada en este caso, aluminio, de modo que no se pueden extraer directamente los resultados. Ha sido necesario reducir el número de etapas de ataque respecto al caso de

*cantilevers* definidos mediante fotolitografía. La imagen 4.29 muestra los resultados obtenidos en la transferencia del patrón.

Finalmente utilizando una máscara de resina, se ha llevado a cabo la liberación de las estructuras mediante un ataque húmedo. El resultado final se muestra en las figuras 4.30, imagen óptica, y 4.31, imagen SEM. Se observa que el extremo libre del *cantilever* queda enganchado al sustrato.



**Figura 4.30** Imagen óptica de los *cantilevers* definidos por EBL, tras grabar la capa sacrificial.

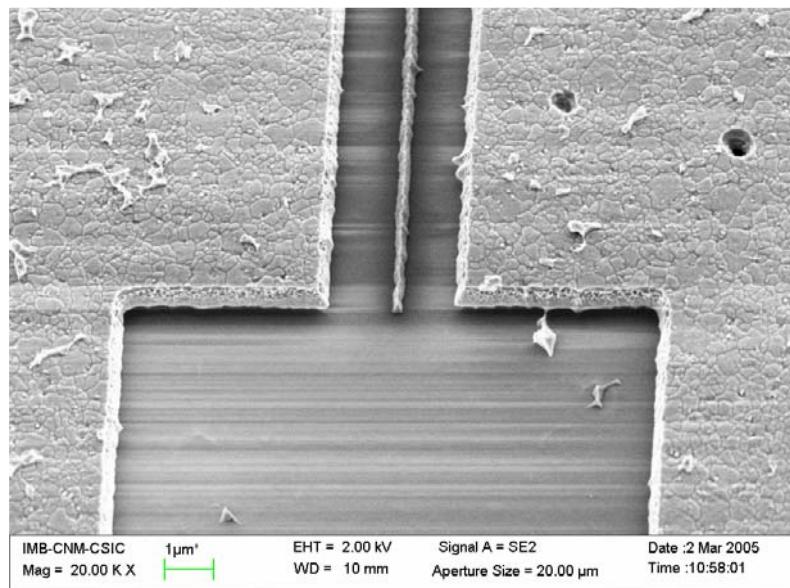


**Figura 4.31** Imagen SEM en detalle de un *cantilever* liberado definido mediante EBL.

Con un análisis con el microscopio de electrones de barrido se puede determinar la anchura final de las palancas. En general no se realizan imágenes SEM sobre las estructuras para evitar cargar las zonas de fabricación y dañar los circuitos, en este caso se ha realizado para poder caracterizar con exactitud las dimensiones obtenidas. Del análisis en detalle de la estructura mostrada en figura 4.31 con el SEM como en la figura 4.32 se obtienen las dimensiones exactas de los *cantilevers*, en el caso mostrado mide de 200 nm de ancho y 20  $\mu$ m de largo.

En la misma figura se puede observar que durante el RIE la estructura ha sido sobreatacada ligeramente, se observa un perfil piramidal típico de sobreataques. Además debido a la desuniformidad del post-proceso para eliminar la capa de polisilicio de protección, se observa que el grosor de polisilicio es inferior a los 600 nm. Este hecho repercute en que la señal a detectar se verá reducida. A partir de estos valores y de acuerdo con la ecuación 2-

11 se puede estimar la resolución del sensor, así para masas puntuales depositadas en el extremo es de 4,5  $\text{ag}/\text{Hz}$ .



**Figura 4.32** Imagen SEM de un *cantilever* definido mediante EBL, 200nm ancho, 20  $\mu\text{m}$  de largo, lo que permite alcanzar una resolución teórica en masa de  $\delta m/\delta f = 4,5 \text{ ag}/\text{Hz}$ .

#### 4.4 Caracterización del sensor

Una vez fabricados los dispositivos es preciso caracterizar su funcionamiento. Se trata de comprobar que el sistema MEMS/NEMS funciona correctamente, caracterizando la respuesta frecuencial del resonador a través del circuito CMOS integrado.

Se ha caracterizado la resonancia de las matrices de cuatro y ocho *cantilevers* definidos ópticamente, así como el funcionamiento de la circuitería de selección de los *cantilevers* dentro de la matriz de ocho. Se han realizado además medidas en vacío para estudiar la influencia de la tensión de polarización y factor de calidad.

#### 4.4.1 Medidas diferenciales en matrices de cuatro *cantilevers*

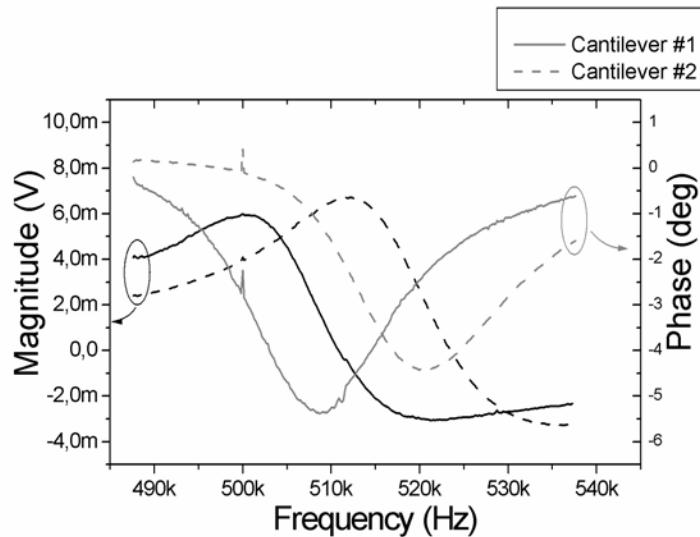
Las medidas se han realizado en una mesa de puntas que incorpora un microscopio óptico de gran aumento y de distancia focal grande, lo que ha permitido inspeccionar ópticamente el *cantilever* durante la realización de las mismas. Para alimentar el circuito se utiliza una fuente Agilent E3630 A, la tensión de polarización se suministra con una fuente Keithley 230, la tensión de excitación se obtiene desde el analizador de redes (Agilent E5100 A, con rango de 10 kHz a 180 MHz), este analizador se utiliza también para medir la señal de salida. Simultáneamente a la realización de las medidas se observan las señales de entrada y salida a través del osciloscopio. La figura 4.33 muestra una imagen del montaje experimental de medida.



**Figura 4.33** Imagen del montaje experimental utilizado para realizar las medidas de caracterización eléctrica.

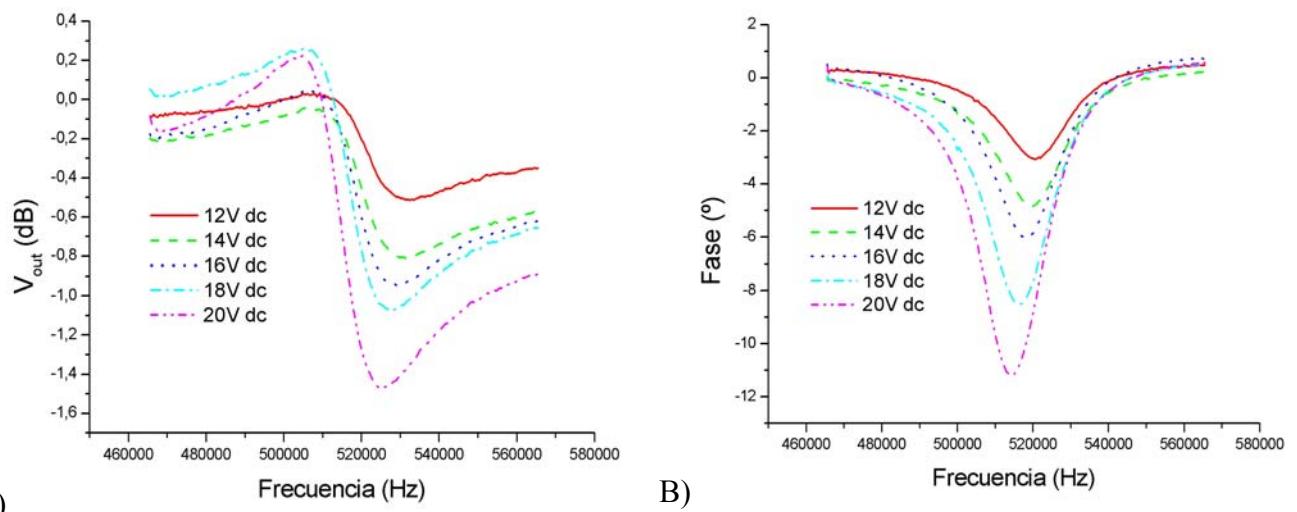
Los picos de resonancia de dos *cantilevers* de una matriz de cuatro se han medido simultáneamente, como muestra la figura 4.34. En particular se ha medido la resonancia de los *cantilevers* centrales de 600 nm de grosor, 50  $\mu$ m de longitud y 1,1  $\mu$ m de anchura y una resolución en masa teórica de 63,4 ag/Hz. El pico de resonancia del *cantilever* #1 se encuentra a 501 kHz, el del *cantilever* #2 a 512 kHz, aplicando una tensión de polarización DC de 18 Voltios y una tensión de excitación de 9 Voltios pico a pico. Las medidas se

realizan en condiciones ambientales. La diferencia de resonancia entre uno y otro *cantilever*, puede deberse a variaciones en la definición de las dimensiones, probablemente por la desuniformidad del ataque RIE y a diferente comportamiento den los anclajes.



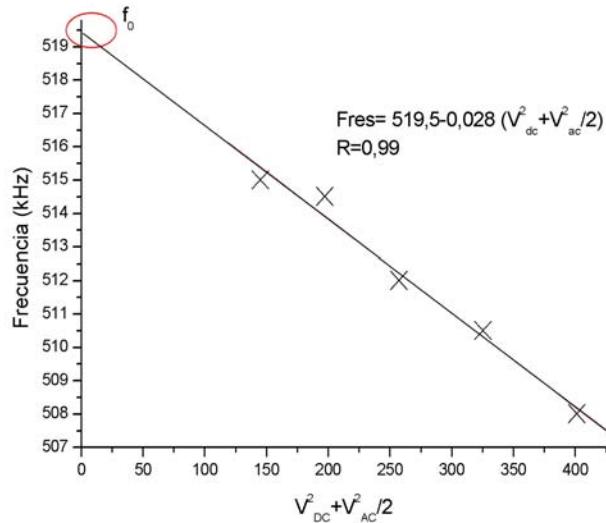
**Figura 4.34** Resonancia de dos *cantilevers* de  $50 \mu\text{m}$  de largo y  $1,1 \mu\text{m}$  de ancho de una matriz de cuatro *cantilevers* excitados y leídos simultáneamente. Se trata de los *cantilevers* en las posiciones centrales de la matriz. La variación en las frecuencias de resonancia es debida a que los *cantilevers* definidos ópticamente no son exactamente idénticos.

Se han realizado para otro *cantilever* de una matriz similar medidas con distintas tensiones de polarización y con la misma tensión de excitación (10 dB que corresponden a 3 V pico a pico). Los resultados se muestran la figura 4.35.



**Figura 4.35** Variación de la frecuencia de resonancia con la tensión de polarización: A) magnitud, B) fase.

Se ha calculado para cada caso la frecuencia de resonancia, a partir de la máxima variación de la pendiente de la fase. Los resultados se presentan en la figura 4.36, en función de la tensión efectiva aplicada ( $V_{DC}^2 + V_{AC}^2 / 2$ , donde  $V_{DC}$  es la tensión de polarización aplicada y  $V_{AC}$  es la amplitud de la tensión de excitación aplicada), donde se puede comprobar la dependencia lineal de la frecuencia de resonancia con la tensión aplicada al cuadrado [Nathanson-67]. Del ajuste lineal de estas medidas, también presente en la figura, se puede calcular la frecuencia de resonancia intrínseca del *cantilever*, que corresponde con 519,5 kHz.

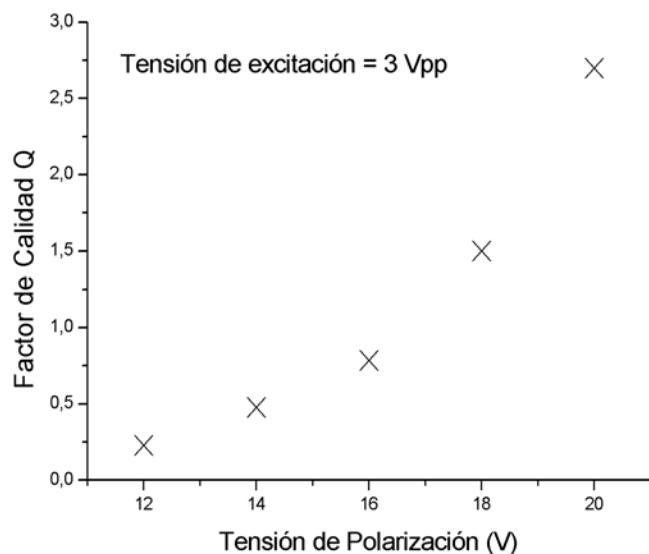


**Figura 4.36** Ajuste de la dependencia de la frecuencia de resonancia, con la tensión aplicada. La frecuencia de resonancia intrínseca es de 519,5 kHz.

La relativamente baja frecuencia de resonancia ha permitido observar el movimiento del *cantilever* en resonancia. En el CD adjunto se presentan dos videos donde se puede observar la resonancia, los dos videos corresponden al mismo *cantilever* donde en las mismas condiciones de tensión de excitación (12 dB y mismo intervalo de tiempos) y para dos tensiones de polarización distintas (14 V y 20 V). Dado que se graban comenzando en la misma frecuencia y que el barrido de frecuencia se hace a la misma velocidad se observa que con 14 V de tensión empieza a resonar pasados 3 segundos y con 20 V de polarización empieza a resonar pasados 5 segundos, dado que se va aumentando la frecuencia, el resultado concuerda con lo esperado teóricamente.

Debido a la dispersión existente en los valores del módulo de Young lo obtendremos de los resultados experimentales. A partir de la frecuencia de resonancia intrínseca del *cantilever*, de sus dimensiones (600 nm de grosor, 50  $\mu\text{m}$  de longitud y 1,1  $\mu\text{m}$  de anchura) y sabiendo que la densidad del polisilicio es 2,3  $\text{g/cm}^3$  según la ecuación 2-8 obtenemos que el módulo de Young del polisilicio de 127 GPa. Si comparamos este dato con los valores que tenemos en la literatura observamos que está dentro de los valores reportados [Obermeier-97, Serre-98]. Para estos *cantilevers*, podemos estimar la sensibilidad en masa (de acuerdo con 2-11), suponiendo que se deposita una masa puntual sobre el extremo libre de la palanca la sensibilidad del sensor será  $\delta m/\delta f = 71 \text{ ag/Hz}$ .

A partir de las medidas realizadas podemos obtener el factor de calidad. El factor de calidad se puede obtener a partir de la curva de la magnitud respecto a la frecuencia, debido a que los picos no son del todo simétricos, se calculará a partir de la fase. Se observa que crece al aumentar la tensión de polarización aplicada como muestra la figura 4.37. Los valores del factor de calidad son bastante bajos, esto se debe a que las medidas se realizan en aire y que el *cantilever* es muy largo.



**Figura 4.37** Dependencia del factor de calidad Q con la tensión de polarización.

#### 4.4.2 Matriz de ocho *cantilevers* con multiplexado en escalera

De la matriz de ocho *cantilevers* se ha realizado una medida para comprobar que el sistema de multiplexado funciona. Las medidas se han realizado en una matriz de ocho *cantilevers* sobre la misma área de fabricación, con sistema de interruptores en escalera. Se pretende comprobar el funcionamiento del sistema de multiplexado, la tabla 4.5 recoge el resultado de esta prueba.

Debido a que no se dispone más que de 16 pads para testear los sistemas, se han minimizando las entradas utilizando un mismo contacto para dos electrodos, en concreto polarizamos los *cantilevers* cuatro y ocho. Los *cantilevers* se encuentran enganchados al sustrato, de forma que aunque muy resistiva, habrá conexión entre ellos a través de éste. Por esta razón se observa acoplamiento de señal en todos ellos al polarizar dos de ellos. Se deduce del experimento que sólo cuando el código corresponde con los *cantilevers* cuatro y ocho el acoplamiento es significativamente mayor.

<b><i>Cantilever</i></b>	<b>Código digital de control</b>	<b>Excitación</b>	<b>Tensión de salida</b>
1	000	NO	8,2 mV <sub>pp</sub>
2	001	NO	8,2 mV <sub>pp</sub>
3	010	NO	8,6 mV <sub>pp</sub>
4	011	SI	12,8 mV <sub>pp</sub>
5	100	NO	8,4 mV <sub>pp</sub>
6	101	NO	8,4 mV <sub>pp</sub>
7	110	NO	8,6 mV <sub>pp</sub>
8	111	SI	12,0 mV <sub>pp</sub>

**Tabla 4.5** Medida del acoplamiento de señal en una matriz de ocho *cantilevers* dentro de una misma área de fabricación, se han excitado los *cantilevers* cuatro y ocho, y se ha medido el acoplamiento de señal. La tensión de salida indica que sólo en el caso de estos *cantilevers* hay acoplamiento significativo.

#### 4.4.3 Medidas en vacío

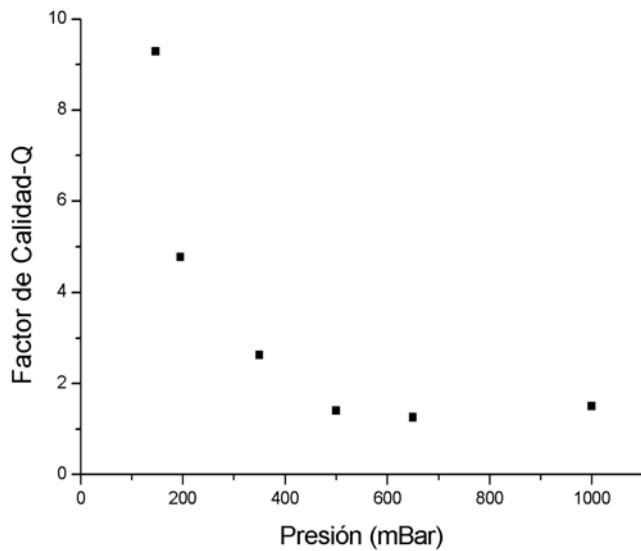
Para completar la caracterización del sistema se han realizado medidas en vacío<sup>6</sup>. Estas medidas permiten aumentar el factor de calidad. Aumentando el factor de calidad es necesaria una tensión de polarización menor para observar la resonancia. Estas medidas se realizan con un *cantilever* de una matriz de ocho, de dimensiones 40 $\mu$ m de largo, 600 nm de ancho, 600 nm de grosor. Suponiendo que el modulo de Young del polisilicio es de 127 GPa se estima que la frecuencia de resonancia intrínseca será 447 kHz. La sensibilidad en masa de este sensor es de 36 ag/Hz.

Colocando el sensor en una cámara de vacío (para ello ha sido necesario realizar un *bonding*). Se realizan medidas a distintas presiones, debido a que el factor de calidad depende de la tensión aplicada se realizan las medidas con la misma tensión de polarización y la misma tensión de excitación, en este caso 5 V y 2 Vpp respectivamente. La figura 4.38 muestra estos resultados. Se observa como el factor de calidad crece a medida que disminuye la presión. Para presiones inferiores a 500 mBar, el factor de calidad aumenta notablemente frente a cambios de presión. Se realizan medidas reduciendo la presión hasta 1 mBar y se observa que la dependencia es más fuerte a presiones más bajas. Estos últimos resultados no se representan en la gráfica ya que al variar las tensiones de polarización y excitación los factores de calidad obtenidos no son comparables.

En los resultados de la figura se observa que los valores obtenidos para el factor de calidad son considerablemente bajos. Los dispositivos han estado durante cierto tiempo en un laboratorio en condiciones ambiente, que han podido oxidar la superficie del polisilicio y permitir que se adhiera suciedad. Se podría aumentar el factor de calidad sometiendo al *cantilever* a un proceso de limpieza a alta temperatura [Ono-03].

---

<sup>6</sup> Estas medidas se han realizado en el MIC por Jordi Teva y Esko Forseen.



**Figura 4.38** Estudio de la dependencia del factor de calidad con la presión.

## 4.5 Conclusiones del capítulo

Se han fabricado sensores de masa compuestos por un sistema micro ó nano electromecánico. El sensor está formado por matrices de palancas de polisilicio, integradas monolíticamente con la circuitería CMOS de lectura. La implementación de varios *cantilevers* dentro de cada sensor aumenta la versatilidad del sistema, dado que un único dispositivo puede utilizarse para realizar medidas múltiples. Las diferentes configuraciones de las matrices además de permitir medidas múltiples, permiten realizar medidas diferenciales. Las medidas diferenciales mejoran la resolución del sistema.

Se han presentado dos tipos de técnicas litográficas para definirlos, destacando la ventaja de cada uno de ellas. Mediante litografía óptica se han diseñado sensores de dos dimensiones, el primero mide de 50  $\mu\text{m}$  de largo, 1,1  $\mu\text{m}$  de ancho y grosor de 600 nm fijados por el grosor de silicio, este *cantilever* tiene una frecuencia de resonancia de 519,5 kHz. Se ha obtenido el módulo de Young del polisilicio utilizado experimentalmente, así podemos calcular la resolución en masa del transductor que en este caso es de 71  $\text{ag/Hz}$ . El segundo sensor tiene una longitud de 400  $\mu\text{m}$  y una anchura de 600 nm, su frecuencia de resonancia intrínseca es de 447 kHz y la resolución en masa alcanzable de 36  $\text{ag/Hz}$ .

Mediante litografía por EBL es posible reducir la anchura de los *cantilevers*. Se han definido así palancas de 20  $\mu\text{m}$  de largo con anchuras de 400 y 200 nm, la frecuencia de resonancia de cada estructura es de 1,2 MHz y 596 MHz respectivamente, en los dos casos la resolución en masa de estas estructuras es de 4,5  $\text{ag/Hz}$ .

Se ha comprobado que la frecuencia de resonancia determinada experimentalmente concuerda con los valores esperados teóricamente, obtenidos a partir de las dimensiones del *cantilever* y las características del polisilicio. Con esto se concluye que se tendrán las resoluciones en masa anteriormente citadas.

Del estudio el comportamiento del sensor a distintas presiones se deduce que el sensor podría utilizarse como sensor de presión, de forma que puede utilizarse para equipos que necesiten trabajar en condiciones de baja presión.

# **Capítulo 5 Utilización de sustratos SOI para fabricar sensores de masa basados en palancas de silicio cristalino**

Este capítulo recoge los resultados correspondientes al tercer demostrador: fabricación de un sensor de masa basado en una palanca resonante de silicio mono-cristalino<sup>1</sup> integrado monolíticamente con la circuitería CMOS. Para obtener silicio cristalino como capa estructural, se utilizan sustratos SOI (*Silicon on Insulator*) donde se integrará la circuitería CMOS y el transductor. La estructura del capítulo es la siguiente: se presentan las características del sensor y las ventajas de este diseño; el estudio realizado con el fin de compatibilizar la tecnología CMOS con el uso de sustratos SOI para aplicaciones MEMS; el diseño y proceso de fabricación, los resultados de caracterización del sistema tanto de los transductores, como las medidas de masa, por último se recogen las conclusiones del capítulo.

## **5.1 Características del sensor: utilización de silicio cristalino como capa estructural**

El objetivo de este demostrador es fabricar un sensor de masa, cuyo elemento transductor sea una palanca de silicio cristalino, integrado monolíticamente con la circuitería CMOS. La utilización de silicio cristalino permitirá reducir las dimensiones del transductor y de este modo aumentar la sensibilidad del sensor.

---

<sup>1</sup> Se indica que es silicio mono cristalino en contraposición del polisilicio o silicio policristalino utilizado en el primer demostrador, a partir de este punto se habla de silicio cristalino o simplemente silicio, entiéndase que es mono cristalino.

Se pretende desarrollar la tecnología necesaria para fabricar sensores de alta resolución espacial y en masa. La estructura del polisilicio, debido a su configuración granular, dificulta la reducción de las dimensiones, por esta razón se opta por la utilización de silicio cristalino como capa estructural. Además se mejoran las propiedades mecánicas respecto al polisilicio, en el caso del primer demostrador el módulo de Young es  $E = 127 \text{ GPa}$ , en cambio el módulo de Young del silicio cristalino tiene un valor ligeramente superior,  $E = 190 \text{ GPa}$  [Petersen-82]. Utilizar silicio cristalino con mayor grosor facilita la oscilación lateral y se mejoran las características del sistema como sensor de masa.

El modelo de sensor es similar a las matrices de *cantilevers* de polisilicio presentadas. Se implementará un sistema de excitación electrostática y detección capacitiva; para evitar que capacidades parásitas afecten a la lectura es imprescindible integrar monolíticamente con el transductor de silicio la circuitería CMOS de lectura [Verd-05]. Mediante el uso de técnicas nanolitográficas para fabricar el transductor se consigue aumentar la resolución del sensor.

Uno de los hitos importantes de esta aproximación es la compatibilización del transductor de silicio cristalino con la circuitería CMOS de lectura del sensor. En los últimos años ha habido diversas contribuciones relativas a la integración monolítica de MEMS con CMOS [Baltes-05], existen algunos trabajos que utilizan silicio cristalino como capa estructural. Con este demostrador proponemos otra alternativa.

La integración monolítica de los microsistemas de silicio con la tecnología CMOS es complicada, por esa razón los microsistemas basados en sistemas híbridos dominan el mercado [Nexus-02]. O se buscan otras aproximaciones, como en el caso del demostrador presentado en el capítulo anterior donde se utiliza polisilicio como capa estructural.

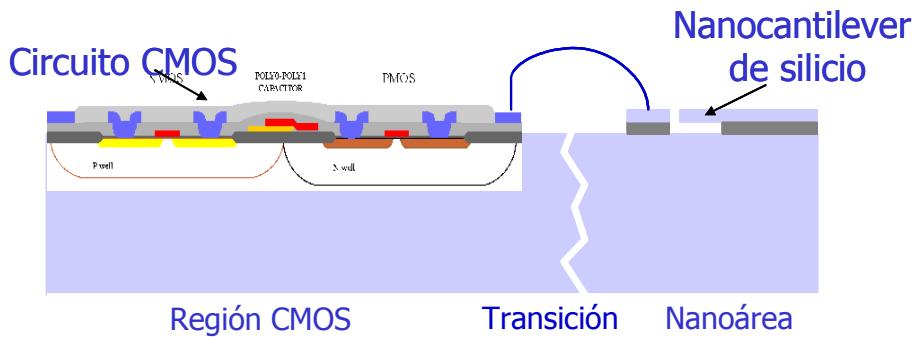
Las condiciones de crecimiento del silicio cristalino [Sze-85] dificultan su integración. Debido a que la formación del cristal se realiza a temperaturas superiores a los  $1000^\circ \text{C}$  es un proceso incompatible con la mayoría de etapas CMOS. El crecimiento debería realizarse previo al proceso CMOS, así es preciso buscar otro tipo de soluciones; como la utilización de sustratos SOI o recurrir a sistemas de integración multi-chip o mediante unión de obleas con procedimientos como flip-chip.

Una opción es utilizar sustratos de silicio cristalino (obleas estándar *bulk*) y definir las estructuras. Uno de los ejemplos destacables y más extendidos son los sensores de presión o sensores térmicos, donde se fabrican membranas de silicio cristalino integradas monolíticamente con la circuitería CMOS. Generalmente se define en una primera etapa el CMOS y posteriormente con un grabado húmedo por la cara posterior de la oblea, se definen membranas de silicio [Ishihara-87, Müller-96, Ozgur-03]. Mediante la unión de dos sustratos (*wafer-bonding*), se puede definir la estructura de silicio en una oblea y la membrana de silicio en la otra [Parameswaran-95]. Este sistema de integración puede utilizarse también para definir otro tipo de estructuras [Borwick-04]. El principal problema de esta tecnología es que no se puede aplicar cuando se quieren definir estructuras de grosores de una o varias micras, mediante ataques profundos, pues no se dispone de técnicas suficientemente precisas para definir esos grosores. Además dado que se quieren definir transductores de dimensiones nanométricas, no es trivial la compatibilización del proceso de nanofabricación con la definición de membranas.

Otra opción para utilizar silicio cristalino como capa estructural es utilizar obleas de silicio sobre aislante, SOI (*silicon on Insulator*). Por ejemplo Udrea y colaboradores fabrican sensores de gas sobre sustratos SOI, lo que les permite aislar térmicamente una parte de la circuitería mediante la creación de membranas de silicio SOI y óxido enterrado [Udrea-02, Covington-02]. Brosnihan y colaboradores utilizan la capa de silicio SOI de 50  $\mu\text{m}$  de grueso como capa estructural para crear un sensor inercial y la aísla del resto del sustrato SOI que contiene la circuitería de lectura del sensor [Brosnihan-97]. Aislar eléctricamente la zona del transductor del resto de la circuitería no es trivial. Además la tendencia actual de la circuitería CMOS sobre SOI es utilizar capas de silicio SOI con grosor inferior a una micra [Henley-02], el paso de la tecnología CMOS sobre sustratos de silicio a sustratos SOI viene motivada porque la capa de óxido de silicio bajo el silicio SOI aísla el sustrato y disminuye las corrientes de fuga, para que esto ocurra es necesario que la capa de silicio SOI tenga un grosor del orden de una micra o inferior. Para usarlas como capa estructural conviene que el grosor sea del orden de una micra o superior, con lo que su utilización para integración monolítica de MEMS estaría en el límite.

En este trabajo proponemos una alternativa: utilizar sustratos SOI definiendo regiones con estructura SOI, para utilizar el silicio SOI como capa estructural, y otras de silicio

sustrato donde ubicar la circuitería CMOS. Además así se consigue que el grosor del silicio estructural sea independiente de la tecnología CMOS empleada. En particular, utilizamos sopleas SOI con grosores en las capas de 1,3  $\mu\text{m}$  de silicio cristalino y 1  $\mu\text{m}$  de óxido de silicio. Estos grosores permiten, en el caso del sensor propuesto, que las palancas resuenen lateralmente y el grosor del óxido utilizado como capa sacrificial evitará que la palanca colapse fácilmente hacia el sustrato.



**Figura 5.1** Esquema del sensor, la capa de Silicio SOI se utiliza como capa estructural, la circuitería CMOS se implementará sobre el silicio substrato. Es necesario definir la transición entre las dos zonas y la conexión eléctrica.

La figura 5.1 muestra un esquema en sección de los sustratos que se quieren implementar, donde se distinguen las dos regiones del sustrato: zona SOI y zona *bulk*, conectadas eléctricamente. La tecnología CMOS utilizada será CMOS CNM25 y los sustratos son sopleas BESOI de ShinEtsu con  $1,3 \pm 0,5 \mu\text{m}$  de Silicio SOI y  $1,0 \pm 0,05 \mu\text{m}$  de óxido de silicio. La definición de las dos regiones conectadas eléctricamente con un proceso compatible CMOS, no es trivial. Ha sido necesario realizar un exhaustivo estudio de la compatibilización que se presenta en el siguiente apartado.

## 5.2 Compatibilización de los sustratos SOI con la tecnología CMOS

Antes de definir como se va a realizar el proceso de adaptación de sustratos hay que tener en cuenta una serie de características<sup>2</sup>. En primer lugar es imprescindible no alterar ninguna de las características del proceso CMOS de modo que se mantengan las reglas de diseño establecidas y se conserven las propiedades eléctricas.

<sup>2</sup> Todo el estudio previo que se realizó para la compatibilización tecnológica se detalla en [Villarroya-02]

El hecho de que la presencia de las regiones con estructura SOI no puedan afectar al procesado CMOS obliga a que en el centro del chip no haya mesetas SOI, ya que el equipo de insolación paso a paso (*stepper*) utilizado<sup>3</sup> enfoca automáticamente en el centro del chip. Como siempre toma esa referencia y para no influir en la altura del foco para ninguna etapa del proceso CMOS, esta área se deja libre de estructuras. Este hecho influye en el diseño del chip, como veremos más adelante.

También es importante definir la conexión eléctrica entre las dos regiones y comprobar que no se alteran las características eléctricas de la circuitería CMOS. Así en un primer proceso se definirán mesetas con estructura SOI para la fabricación del transductor y zonas sustrato para la implementación de la circuitería, en segundo lugar se define como es la conexión eléctrica entre regiones y por último se comprueba como se comporta la circuitería CMOS en la región de silicio sustrato.

### 5.2.1 Definición de áreas SOI: necesidad de transiciones suaves

Para poder utilizar el silicio cristalino de la oblea SOI como capa estructural y colocar la circuitería de excitación y lectura sobre el silicio sustrato, hay que asegurar la conexión eléctrica entre las dos zonas. Este hecho obliga a definir una transición suave desde la zona sustrato a la superficie y permitir el establecimiento de contactos y pistas de metal que unan las dos regiones. La necesidad de transiciones suaves viene motivada porque los escalones abruptos podrían influir en muchos procesos (deposición desuniforme de resina, formación de *spacers*<sup>4</sup> que conducen a efectos no deseados, etc.) y sobre todo porque el aluminio, metal utilizado para la conexión eléctrica sería discontinuo en torno a escalones abruptos. Después de diversas pruebas [Villarroya-03A], se ha definido un proceso para obtener las transiciones suaves.

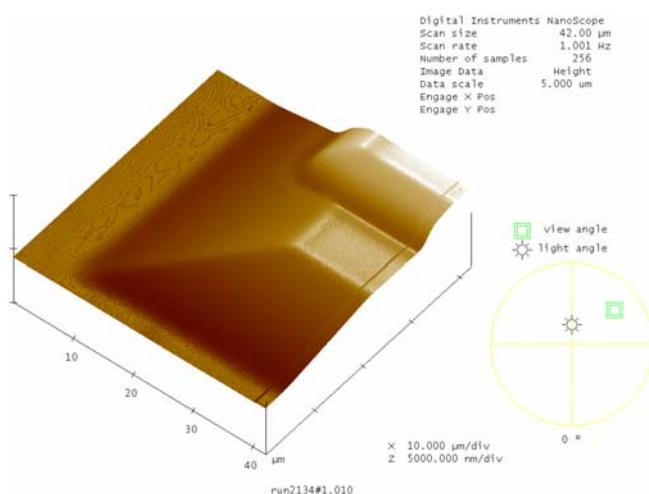
Para obtener una transición suave en el óxido se realiza una oxidación local en dos etapas y se aprovecha la forma del pico de pájaro como transición suave. Para eliminar el óxido se combinan velocidades de grabado, así depositando una capa de óxido PSG (*Phosphorus*

---

<sup>3</sup> Equipo estándar del proceso CMOS CNM25: Nikon NSR-150.SG7E

<sup>4</sup> Acumulaciones de material en la zona inferior junto a un escalón abrupto.

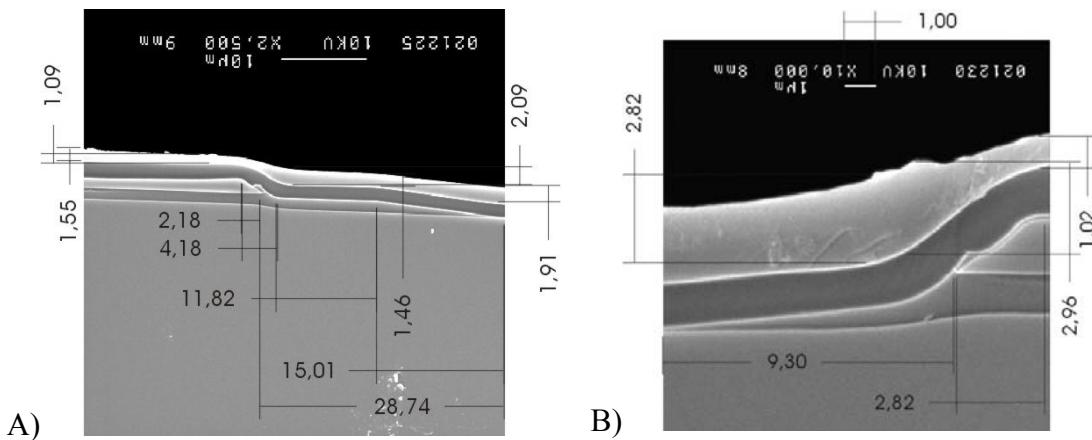
*Silicon Glass*) se consigue que el grabado en sentido paralelo a la superficie sea unas siete veces más rápido que en profundidad, de forma que se obtiene una pendiente suave. Ha sido además necesario fijar cual es la distancia mínima entre las dos máscaras que definen las transiciones, por ello las primeras mesetas se definen con distancias distintas entre máscaras en cada lado. La figura 5.2 muestra una imagen AFM de una de estas esquinas, la separación entre máscaras era de 6  $\mu\text{m}$  y de 50  $\mu\text{m}$ . La distancia de 6  $\mu\text{m}$  es insuficiente debido a que la transición de silicio queda por debajo de la de óxido y esto puede provocar acumulación indeseada de materiales en este punto y discontinuidad. La transición de 50  $\mu\text{m}$  es quizá excesiva. Se prueban además distancias de 15  $\mu\text{m}$  y 30  $\mu\text{m}$  entre transiciones.



**Figura 5.2** Imagen AFM en 3D donde observa la transición de silicio y la transición de óxido, en cada lado hay una distancia distinta entre transiciones.

La figura 5.3 muestra dos imágenes SEM en sección de las transición entre las dos regiones (zona sustrato y zona con estructura SOI). Las dos estructuras corresponden a dos distancias entre las máscaras que definen las dos transiciones distintas, A) 30  $\mu\text{m}$  y B) 15  $\mu\text{m}$ . Para aumentar el contraste de la imagen se ha depositado una capa de óxido de silicio sobre la transición. La ventaja del óxido de silicio es que reproduce el perfil con mucha exactitud. Se deposita un óxido PSG, de modo que atacando unas micras obtenemos imágenes como las mostradas. Sobre la capa de óxido se deposita una capa de resina, para estudiar también su comportamiento; en la transición con separación de máscaras de 15  $\mu\text{m}$  se observa una considerable variación en el espesor, que podría afectar a la insolación posterior. En la transición de 30  $\mu\text{m}$  el grosor de la resina es muy uniforme, este hecho nos asegura que el grosor no afectará a la insolación. De estos resultados se concluye que la

distancia óptima entre máscaras para definir las transiciones es de 30  $\mu\text{m}$ . Además en estas imágenes se puede observar que hay restos de óxido, correspondientes al punto más alto de la cabeza de pájaro en el límite de la transición de silicio. Estos restos tendrán que ser eliminados posteriormente, para evitar que un anillo de silicio cortocircuite el área de fabricación.

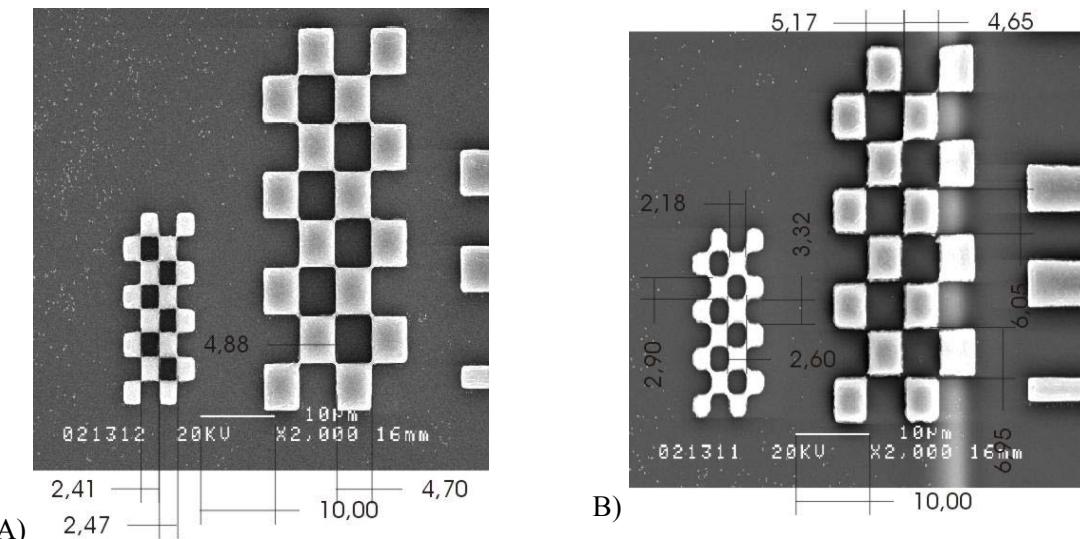


**Figura 5.3** Imágenes SEM de las transiciones definidas. Sobre dos transiciones donde las distancias entre las máscaras que definen las transición de óxido y silicio son distintas. A) 30  $\mu\text{m}$  y B) 15  $\mu\text{m}$ . Se observan restos de la cabeza de pájaro crecida para obtener el perfil suave de silicio sobre el óxido. Sobre la transición se ha depositado una capa de óxido de silicio (para aumentar el contraste de la imagen) y una capa de resina donde se observa bastante uniformidad en el grosor. Dimensiones en  $\mu\text{m}$ .

### 5.2.2 Conexión eléctrica sobre las transiciones

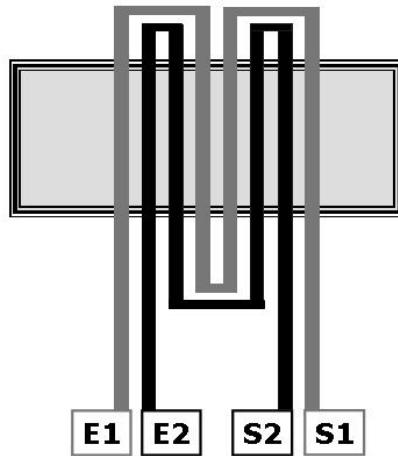
Una vez definidas las transiciones suaves entre las dos regiones es necesario asegurar la conexión eléctrica entre ambas, para ello ha sido preciso estudiar el comportamiento de los distintos niveles CMOS en las transiciones y sobre la meseta. Se han realizado varios procesos para determinar las características de las pistas de metal que contacten las dos regiones. Las primeras estructuras definidas para obtener las dimensiones mínimas son una serie de dameros con distintas dimensiones que se definen sobre el sustrato y sobre la zona SOI, para ver las diferencias de foco e información sobre las dimensiones mínimas de las estructuras y la separación mínima. La figura 5.4 muestra dos imágenes SEM del mismo tipo de estructuras en la zona de sustrato, donde se coloca la circuitería CMOS y en la zona de silicio SOI. Las dimensiones de los cuadrados del damero son de 2,5  $\mu\text{m}$  de lado y 5  $\mu\text{m}$  de lado. Se observa que sobre el sustrato las estructuras están bien definidas y se ve el

efecto de diferencia de foco en la zona superior SOI. En la zona del área de fabricación los dameros de 2,5  $\mu\text{m}$  están desenfocados, en cambio los de 5  $\mu\text{m}$  de lado se ven correctamente, de aquí se deduce que 5  $\mu\text{m}$  es la dimensión óptima para definir motivos de metal en el área de fabricación.



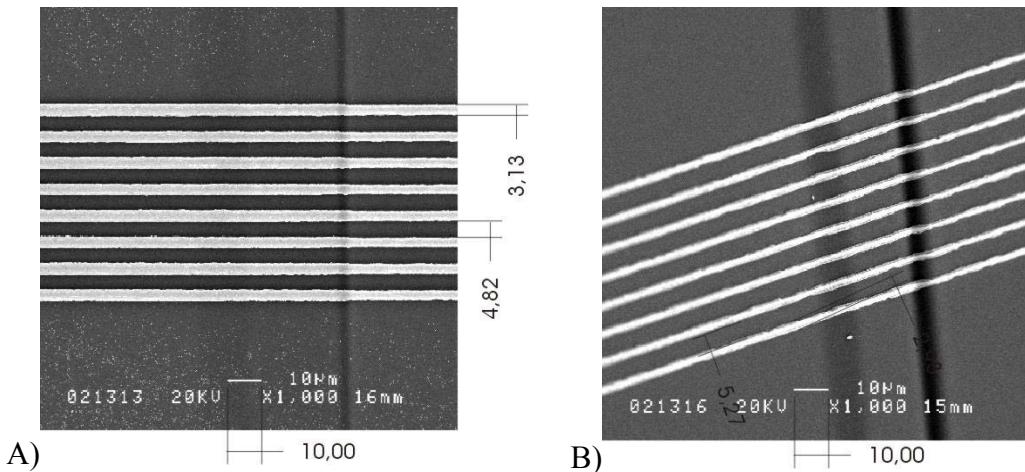
**Figura 5.4** Imágenes SEM de las estructuras de damero para definir las dimensiones mínimas: A) sobre el sustrato de silicio, B) sobre la zona con estructura SOI, 2  $\mu\text{m}$  por encima del punto de enfoque automático del stepper.

Se han definido pistas de metal en formas de serpentines, como muestra el esquema de la figura 5.5, con diferentes anchuras y separaciones. Estas estructuras permiten medir fácilmente si la anchura es suficiente, si hay conexión entre los dos extremos del mismo serpentín (por ejemplo, en la figura entre E1 y S1 o entre E2 y S2), y si la distancia de separación es suficiente, si es insuficiente habrá conexión entre los dos serpentines (entre E1 y S2 o E2, por ejemplo).



**Figura 5.5** Esquema de la estructura de serpentines en aluminio sobre una meseta, utilizada para determinar las dimensiones mínimas de las pistas de metal para conectar las dos regiones.

Así se han establecido las reglas de diseño necesarias para que los contactos fuesen posibles. La figura 5.6 muestra dos imágenes SEM donde se observan las pistas de metal sobre la transición suave de silicio y óxido. Ópticamente se comprueba la conexión. Al realizar un test eléctrico en toda la oblea se observa que no siempre existe conexión eléctrica, por esta razón la anchura mínima de pista se define en  $6 \mu\text{m}$  donde se observa en el 100% de los casos conexión eléctrica. Para asegurar el contacto, sobre las transiciones y las mesetas ha sido necesario aumentar un 120% la anchura mínima de las pistas de metal de la tecnología CMOS CNM25. El resto de niveles también ven modificadas las dimensiones mínimas respecto a las reglas de diseño estándar CMOS CNM25 de forma similar. Se decidió establecer sólo los contactos en la zona superior y no incluir ningún otro componente eléctrico, cuya caracterización y diseño sería más complicado.



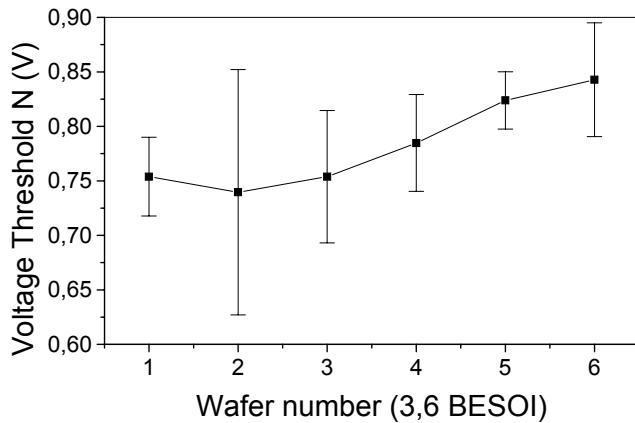
**Figura 5.6** Imagen SEM de las pistas de metal sobre la transición, correspondientes a las estructuras de serpentines (las dimensiones en  $\mu\text{m}$  son orientativas). En A) se observan pistas de  $3\ \mu\text{m}$  con separación de  $3\ \mu\text{m}$ . En B) pistas de  $3\ \mu\text{m}$  separadas  $6\ \mu\text{m}$ .

En resumen, para rearizar el diseño completo de sensores utilizando sustratos SOI con regiones de silicio y regiones con estructura SOI, además de tener en cuenta las reglas de diseño CMOS estándar, se tienen que considerar las reglas de diseño relativas a la distancia mínima entre transiciones, así como los ajustes de las reglas estándar en torno a las áreas de fabricación de estructuras SOI [Villarroya-03B].

### 5.2.3 Características de la circuitería CMOS sobre una oblea SOI preprocesada

Una vez comprobado que se pueden realizar transiciones suaves para definir regiones con estructuras SOI y regiones de silicio sustrato y que la conexión eléctrica entre ambas es posible, es necesario ver que pasa con la circuitería CMOS en la zona sustrato de la oblea.

Se han realizado pruebas de caracterización de transistores sobre el silicio sustrato de las obleas SOI sometidas a un grabado del silicio y un grabado de óxido y se procesan junto con obleas estándar de silicio. Un ejemplo de esta caracterización se muestra en la figura 5.7, con el análisis de la tensión umbral de los transistores n en varias obleas, las obleas SOI se encuentran en las mismas condiciones que las obleas de silicio. Del análisis completo se puede concluir que el sustrato usado no afecta a la tecnología CMOS.



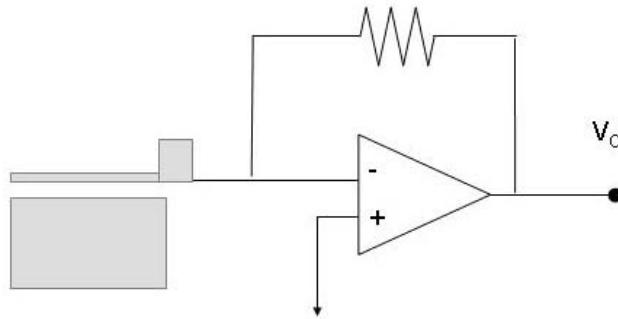
**Figura 5.7** Tensión umbral de los transistores n de varias obleas CMOS, las obleas SOI son la 3 y 6, los límites óptimos de la tecnología están entre 0,7 V y 0,9 V.

## 5.3 Diseño del sensor

La estructura de estos sensores es análoga a la definida en el primer demostrador, los transductores están formados por un *cantilever* y uno o dos electrodos de polarización y el circuito de lectura conectado al *cantilever* o *driver* según el diseño. Debido a que las características de los circuitos de lectura y excitación influyen en el diseño, se detallan primero las características de la circuitería y posteriormente las de los transductores; por último se detalla cómo se han definido las áreas de fabricación y contactado con la circuitería.

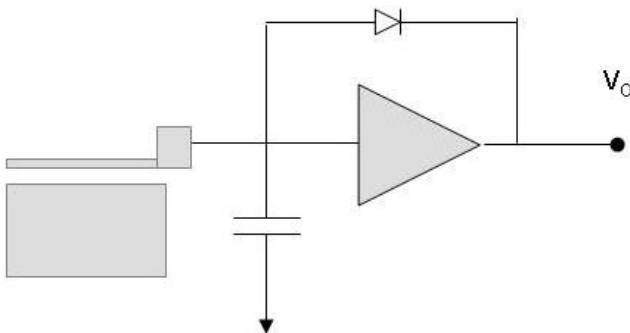
### 5.3.1 Características de la circuitería de lectura

Se integran hasta cuatro tipos distintos de circuitos de lectura [Verd-03], sólo se detallarán los caracterizados con los transductores. El primero de ellos es un circuito de conversión resistiva formado por un amplificador de transconductancia idéntico al detallado en el apartado 4.2.3 (figura 5.8).



**Figura 5.8** Esquema del circuito de amplificación de conversión resistiva conectado al transductor.

El segundo circuito utiliza el método de conversión capacitiva y está formado por amplificador de tensión que se polariza mediante un diodo<sup>5</sup>. El amplificador de tensión está formado por un amplificador CMOS configurado como un seguidor de fuente (drenador común) con etapa de salida y un seguidor de tensión (figura 5.9).



**Figura 5.9** Esquema del circuito formado por un amplificador de tensión con diodo conectado al transductor.

En la tabla 5.1 resume las características más importantes del circuito, que desde el punto de vista del sensor son la ganancia y el ancho de banda.

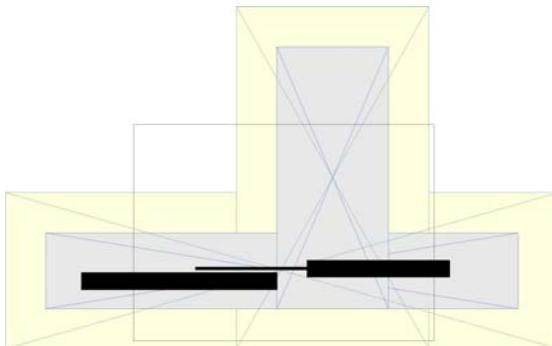
	Ganancia	Ancho de Banda
Conversión Resistiva	$1,35M\Omega$	1 MHz
Conversión Capacitiva	4,48	1,7 MHz

**Tabla 5.1** Resumen de las características de los circuitos.

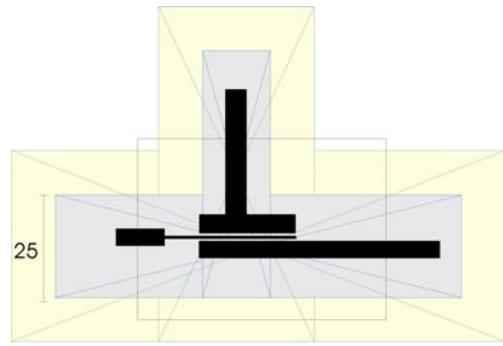
<sup>5</sup> El diseño del circuito de detección lo ha realizado Jaume Verd.

### 5.3.2 Diseño de los sistemas transductores

Debido a que no se tiene acceso a la polarización del sustrato y que no se le podrá aplicar tensión de polarización al *cantilever* porque tendería a colapsar contra el sustrato, todos los dispositivos implementados tienen lectura a través del *cantilever*. Así la palanca es la que está conectada con la entrada del circuito de lectura. La resonancia de la palanca se consigue mediante excitación electrostática, para ello es necesario un electrodo situado paralelo a la palanca y próximo a él. Este electrodo se define conjuntamente con la palanca. En los sistemas de detección capacitivos el transductor está compuesto por un *cantilever* y un *driver* (figura 5.10). En los sistemas de detección resistiva el transductor está formado por un *cantilever* y dos *drivers* (figura 5.11).



**Figura 5.10** Esquema transductor para circuito de detección capacitiva. En negro estructura mecánica sobre el área de fabricación.



**Figura 5.11** Esquema transductor para circuito de detección resistiva (dimensión en  $\mu\text{m}$ ). En negro se muestra la estructura mecánica.

La ventaja de utilizar dos *drivers* es que se puede polarizar desde uno de ellos o desde otro, de forma experimental permite aplicar la tensión continua en una de las entradas y la alterna en la otra, de forma que el montaje es más sencillo. Además polarizando simultáneamente desde los *drivers* se puede tener un mayor nivel de tensión.

La polarización y excitación se realiza por el mismo *driver* en el caso de tener un único *driver*. En el caso de tener dos *drivers* se simplifica el montaje experimental si se aplica la tensión de polarización por uno de ellos y la de excitación por otro.

Además de los dos diseños mostrados, se implementa un tercer diseño que integra una capacidad junto con el *cantilever* y un cuarto diseño de una matriz de dos *cantilevers* y tres *drivers* que permite realizar medidas diferenciales.

Se implementan estructuras de diversas dimensiones: mediante litografía óptica se diseñarán estructuras de anchuras superiores a 700 nm, mediante EBL o litografía por AFM se puede reducir el tamaño de estas estructuras. La tabla 5.2 recoge las dimensiones implementadas mediante litografía óptica. A partir de las ecuaciones 2-3, 2-8 y 2-11 se calcula la constante elástica, la frecuencia de resonancia y la resolución en masa esperada (para  $E=190$  GPa). Las dimensiones se definen de modo que la frecuencia de resonancia esté dentro del ancho de banda del circuito, es decir tiene que ser inferior a 1,2 MHz.

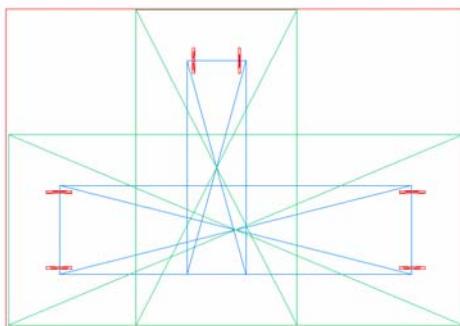
<b>W (μm)</b>	<b>L (μm)</b>	<b>f<sub>0</sub> (kHz)</b>	<b>k (mN/m)</b>	<b>dm/df (ag/Hz)</b>
0,7	30	1135,41	603,43	86,20
0,7	40	638,67	254,57	204,32
1	35	1191,68	1107,87	33,16
1	35	1191,68	1107,87	136,88
1	43	789,51	597,43	253,82
1,4	45	1009,25	1430,34	290,91
1,4	50	817,49	1042,72	96,69

**Tabla 5.2** Dimensiones de los *cantilevers* implementados, indicando frecuencia de resonancia, constante elásticas y resolución en masa alcanzable.

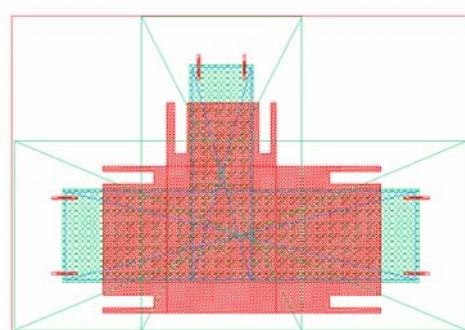
### 5.3.3 Características de las áreas de fabricación de los transductores

Los transductores se definen sobre las mesetas de silicio SOI. Como son en general precisos tres contactos, como mostraban las imágenes anteriores (para los dos *drivers* y el *cantilever*) las mesetas tendrán estructura de T. La figura 5.12 presenta las máscaras correspondientes a los niveles previos al CMOS. Se presentan las marcas definidas al definir los motivos de alineamiento y los límites de las máscaras que definen las transiciones suaves de silicio (máscara interior) y óxido de silicio (máscara exterior).

Estas áreas tendrán que contener los contactos entre el circuito y el silicio cristalino estructural. Así mismo se deberá asegurar el acceso al área tras el proceso CMOS, es decir, habrá que definir aperturas en las distintas capas. Como en el caso del primer demostrador, es necesario estudiar cómo se define el área de fabricación para todos los niveles CMOS. Las siguientes figuras (5.13 a 5.15) muestran las máscaras de los niveles CMOS.

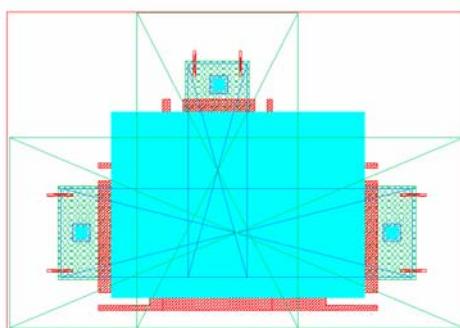


**Figura 5.12** Máscaras correspondientes a los niveles previos al CMOS, máscara interior para definir la transición suave de silicio, máscara exterior para definir la transición de óxido.

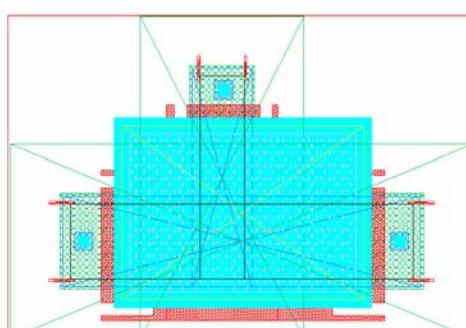


**Figura 5.13** El silicio SOI en la zona de fabricación se define como área activa además durante el proceso CMOS la superficie se protege con una capa de polisilicio, para que no se dañe (nivel superior en la figura).

La figura 5.13 muestra como en la primera etapa, se define área activa la zona superior de la nanoarea, a continuación se deposita una capa de polisilicio (poly1) que actuará de protección del área de fabricación en el resto de etapas CMOS.

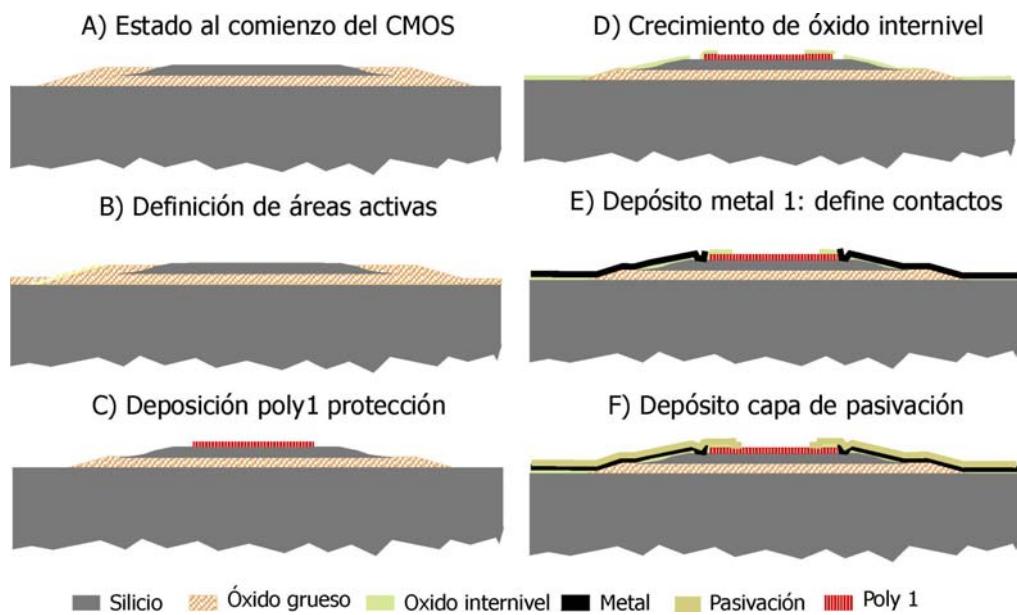


**Figura 5.14** Se definen la apertura de contactos en los extremos del área de fabricación y además se define una apertura que permite acceder al silicio y define los contactos con el sustrato con las pistas de aluminio.



**Figura 5.15** Por último se define la apertura de la pasivación (ventana interior a la apertura de contactos, la ventana intermedia corresponde a abertura entre metales, en el caso de usar dos metales del nivel CMOS). Las líneas negras indican el límite de la zona plana de silicio.

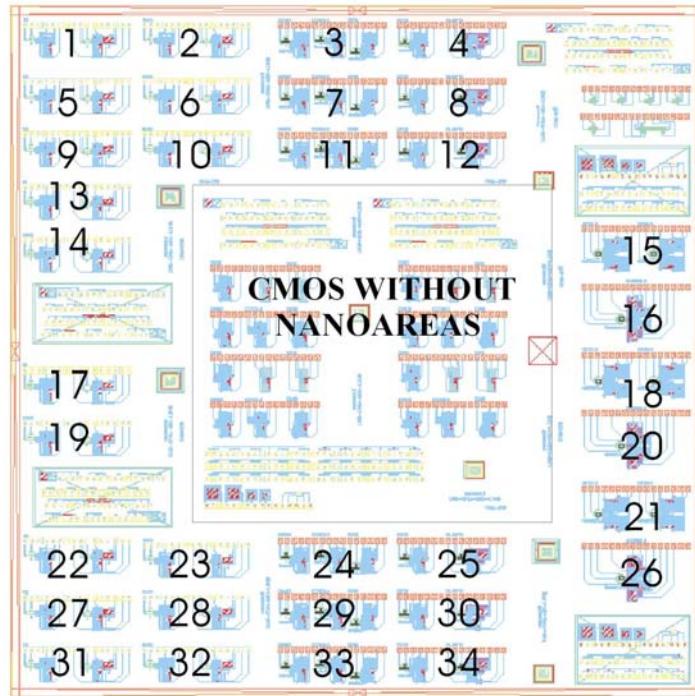
El siguiente paso es la abertura de contactos: se define abierto en el centro del área de fabricación y en los extremos para permitir el contacto eléctrico. A continuación se deposita el aluminio, que contacta los tres extremos del área, figura 5.14. Por último se definen las aberturas de segundo metal (si la circuitería lo necesita) y en la pasivación (figura 5.153). La figura 5.16 muestra el esquema en sección de todo el proceso.



**Figura 5.16** Esquema en sección del área de fabricación de transductores durante el proceso CMOS.

### 5.3.4 Diseño del chip

Una vez definidas todas las características del sistema se presenta el diseño final del chip implementado. La figura 5.17 muestra el diseño de las máscaras correspondientes al chip de 15 mm por 15 mm. Los módulos numerados corresponden a sistemas con circuitos y transductores, en cada uno de los módulos numerados hay uno, dos o tres sensores. Destacar que el centro del chip queda libre de áreas con estructura SOI, así el foco de los niveles CMOS no se ve influenciado por las áreas de fabricación. En la columna de la derecha se han implementado matrices de dos *cantilevers* y tres *drivers* conectados a dos circuitos que permiten medidas diferenciales.



**Figura 5.17** Diseño del chip, los circuitos numerados corresponden a esquemas con sensores; en el centro del chip no se definen áreas de fabricación.

## 5.4 Proceso de fabricación

El proceso de fabricación del sensor consta de cuatro etapas: la primera es la preparación de los sustratos con las regiones SOI y las regiones CMOS, la segunda es el proceso CMOS estándar, la tercera es el post-proceso requerido tras el CMOS para preparar el sustrato para la fabricación de los transductores; la cuarta y última es la fabricación propiamente dicha de los *cantilevers* y *drivers*. Todas ellas se detallan a continuación

### 5.4.1 Preparación de sustratos

La primera etapa del proceso de fabricación es la preparación de los sustratos SOI de partida, habrá que definir áreas para la fabricación de los transductores con estructura SOI y áreas para la circuitería. Se utilizan obleas SOI de la empresa ShinEtsu, cuyas especificaciones son:

- Obleas epitaxiadas
- Orientación del silicio substrato: <100>
- Orientación del silicio SOI: <100>
- Diámetro (100,00 ± 0,50) mm
- Grosor del silicio substrato (525 ± 25)  $\mu\text{m}$
- Grosor del  $\text{SiO}_2$  (1000 ± 50) nm
- Grosor del silicio SOI (1,30 ± 0,50)  $\mu\text{m}$
- Condiciones de dopaje:  $(0,1 \times 10^{15} - 10 \times 10^{15}) \text{ at/cm}^3$
- Silicio substrato dopado tipo P
- Silicio SOI dopado tipo P
- Resistividad (1,0-30,0)  $\Omega \text{ cm}$

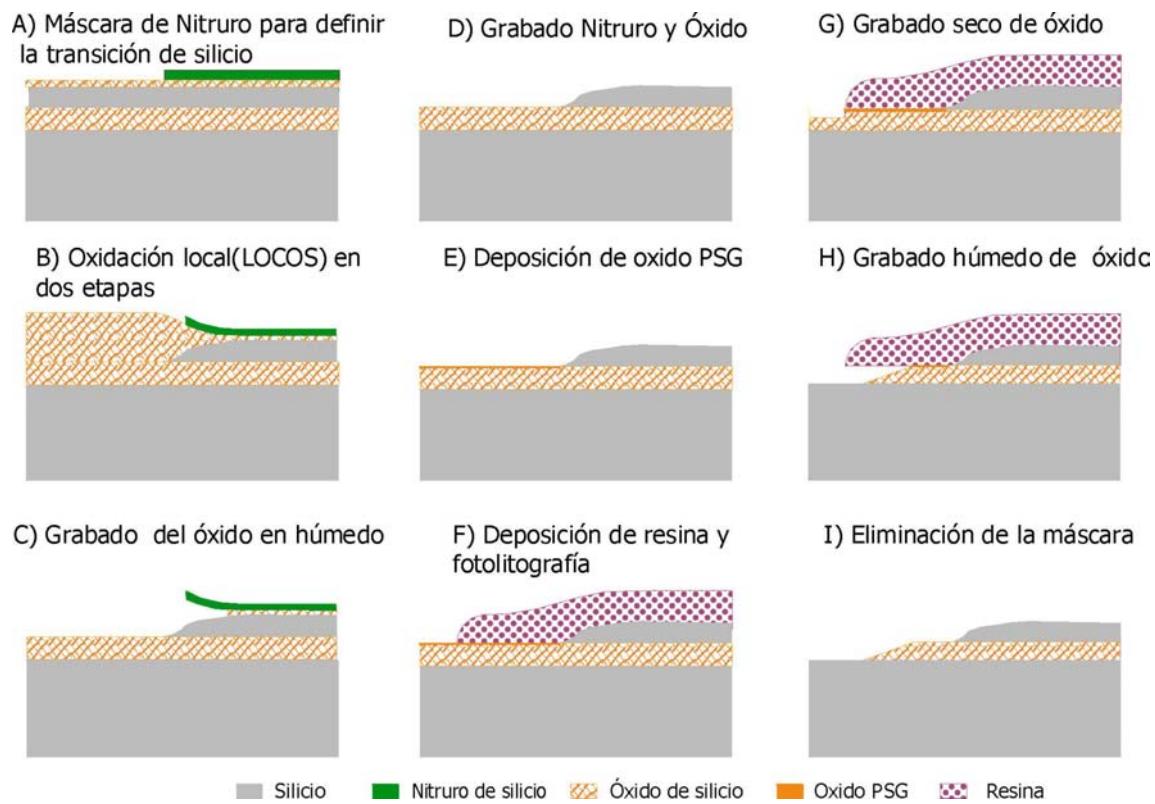
La dispersión del grosor de silicio de las obleas utilizadas (0,55  $\mu\text{m}$ ) así como el grosor máximo del silicio SOI (1,56  $\mu\text{m}$ ) influye en los parámetros de los procesos para obtener las transiciones suaves. A continuación se detallan las características de los procesos para obtener las transiciones suaves.

La primera etapa del proceso es crear motivos de alineamiento para que el *stepper* los reconozca y así pueda alinear las máscaras para crear las transiciones suaves de óxido y silicio y luego los niveles CMOS, así se crean marcas de alineamiento en el silicio SOI de 2000 Å de profundidad, de forma que el *stepper* los reconozca.

La segunda etapa es la obtención de la transición suave de óxido que se realiza mediante una oxidación local. La figura 5.18 muestra en sección el proceso de fabricación de las transiciones suaves a partir de este punto. Para ello hay que crecer un óxido que actúe de camino de apertura de la oxidación (*pad-oxide*), se crecen así 1000 Å a 950°C. A continuación se deposita una máscara de nitruro de silicio ( $\text{Si}_3\text{N}_4$ ) de 1800 Å, A). El grosor del óxido de silicio y de la máscara de nitruro influyen en la forma del perfil [Figueras-88]. Para el grosor que se quiere oxidar, esta proporción se ha considerado óptima.

La oxidación local se realiza en dos fases, no se oxidan 1,56  $\mu\text{m}$  de silicio en una única etapa porque el efecto del pico de pájaro sería demasiado abrupto. Para eliminar 1,56  $\mu\text{m}$  de silicio hay que crecer 3,76  $\mu\text{m}$  de óxido [Trapo-85]. En la primera oxidación se crece

1,88  $\mu\text{m}$  de óxido a 1100° C (tiempo de la oxidación 507 min) y así se elimina la mitad del silicio. A continuación se graban las 1,88  $\mu\text{m}$  del óxido crecido. La segunda oxidación tiene las mismas características de forma que se oxida el resto del silicio hasta llegar al óxido enterrado, B). Tras ella se decapan 1500  $\text{\AA}$  del óxido térmico crecido C) y el nitruro utilizado como máscara, se graba el equivalente a 500  $\text{\AA}$  de  $\text{Si}_3\text{N}_4$ , D).



**Figura 5.18** Sección del proceso para obtener las transiciones suaves en el silicio SOI y en el óxido enterrado.

Para el grabado de óxido de silicio, se depositan 800  $\text{\AA}$  de óxido PSG (como se trata de un óxido depositado se ataca más rápidamente), E). Sobre éste se depositan 3000  $\text{\AA}$  de  $\text{Si}_3\text{N}_4$ , se usa como máscara junto con una máscara de 2  $\mu\text{m}$  de resina para el grabado de óxido, F). Se realiza un grabado seco de 1  $\mu\text{m}$  de óxido, G) y a continuación un grabado húmedo que ataca 1,5  $\mu\text{m}$ , H). Por último se decapa la resina, I).

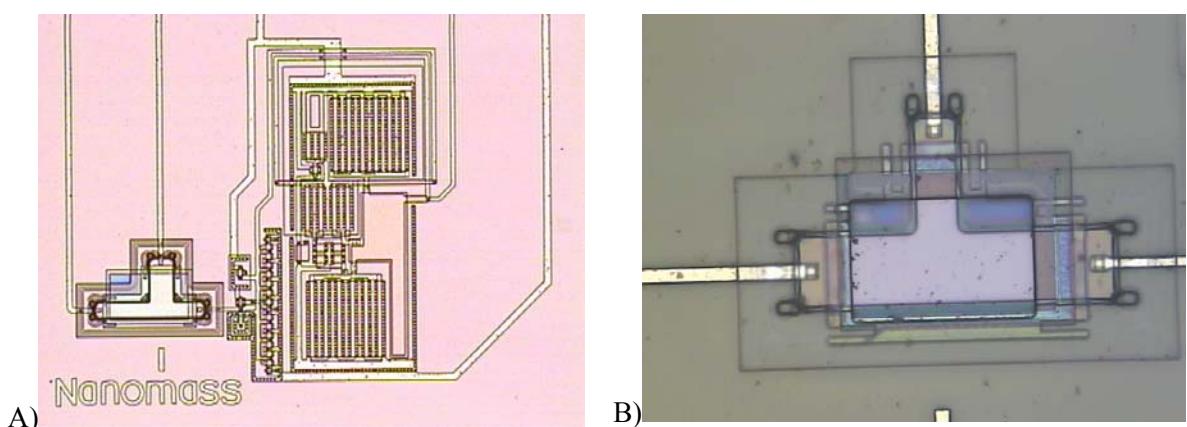
### 5.4.2 Proceso CMOS

El proceso CMOS es completamente estándar, las únicas consideraciones que se deben tener es que el primer nivel debe alinear respecto a los motivos de alineamiento previamente definidos.

En el diseño de la circuitería CMOS hay que tener en cuenta una serie de consideraciones, la primera es que es preciso dejar libre la zona del centro, de forma que el punto de foco del *stepper* coincida con el sustrato de silicio y así el CMOS no se vea alterado. Además hay que aplicar las reglas de diseño nuevas para limitar la distancia de la circuitería CMOS a la transición, definir la anchura de las pistas sobre la transición y la apertura de contactos.

### 5.4.3 Post proceso: preparación para la fabricación del transductor

Tras el proceso CMOS es necesario hacer un ataque RIE para eliminar el polisilicio de protección. Además se ha observado, que el óxido remanente de la cabeza de pájaro (figura 5.3) cortocircuita los tres terminales del área de fabricación. Por esta razón, antes de la fabricación es necesario eliminar el óxido, para ello se protege el resto de la oblea con resina y se graba en húmedo el óxido. La figura 5.19 muestra A) una imagen óptica del área de fabricación tras el grabado RIE para eliminar la capa de silicio de protección y B) en detalle un área de fabricación tras el grabado del óxido.



**Figura 5.19** Imágenes ópticas de un sensor A) tras el proceso CMOS y el grabado del polisilicio de protección mediante RIE, B) tras eliminar el óxido para evitar el anillo de silicio.

## 5.5 Fabricación de los transductores mecánicos

Se han utilizado tres técnicas distintas para implementar transductores: fotolitografía, litografía por haz de electrones y litografía por AFM combinada con láser. A continuación se detallan los procesos utilizados en los tres casos.

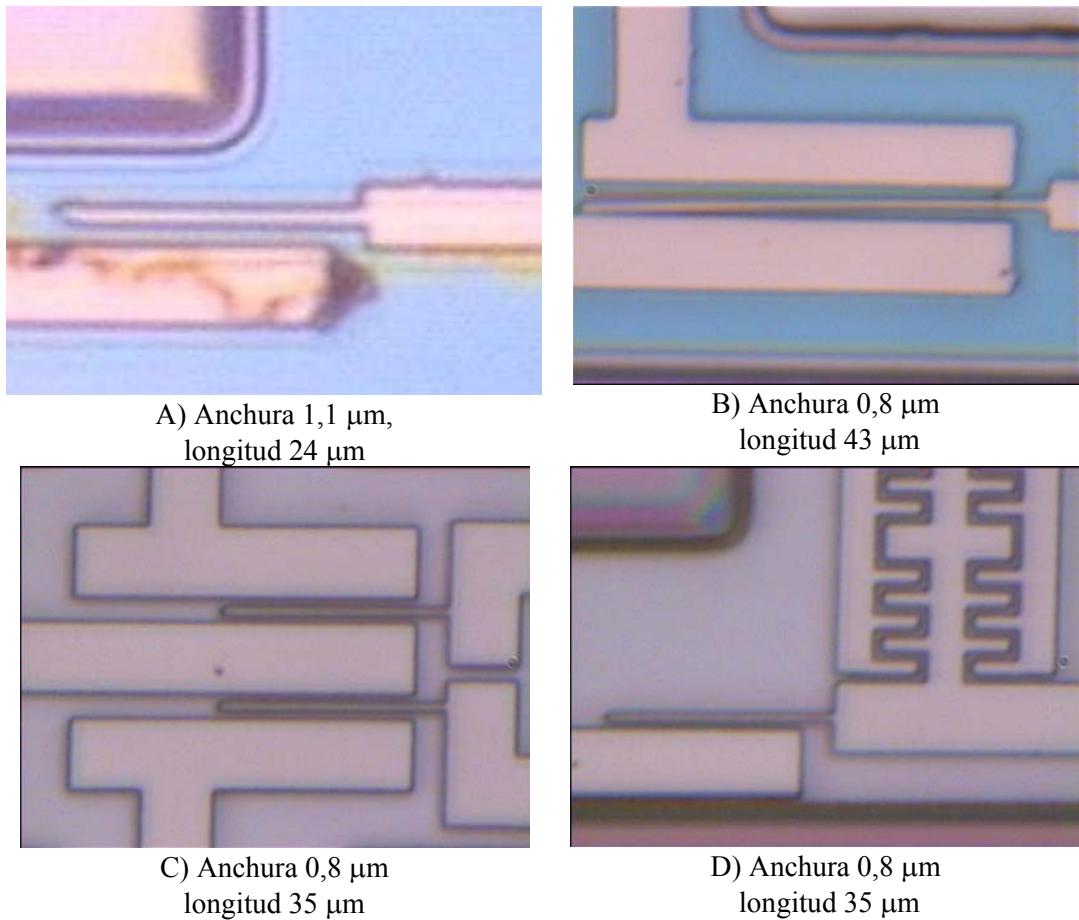
### 5.5.1 Definición de estructuras mediante fotolitografía

Como primera aproximación y con el objetivo de demostrar que la integración de sistemas mecánicos sobre sustratos SOI es posible se han fabricado estructuras mediante fotolitografía. El procedimiento de fabricación de las estructuras es el mismo que el seguido con el demostrador 1.

Se ha realizado la litografía con el mismo equipo de insolación, un *stepper* Nikon NRS-150.SG7E. Dado que se quieren definir motivos sobre el área de fabricación, 2,3  $\mu\text{m}$  por encima del sustrato de silicio, y que el *stepper* enfoca automáticamente en el centro del chip donde no hay mesetas con estructura SOI, es necesario realizar un ajuste manual del punto de enfoque. Una vez definida la máscara en resina, el patrón se transfiere al silicio mediante un grabado seco. Para obtener ataques verticales de silicio se ha utilizado otro equipo de RIE, el Alcatel 601-E, con un proceso adaptado para definir estructuras de silicio con dimensiones submicrométricas. Se realiza un proceso en etapas, para tener un control mayor y evitar sobreataques laterales.

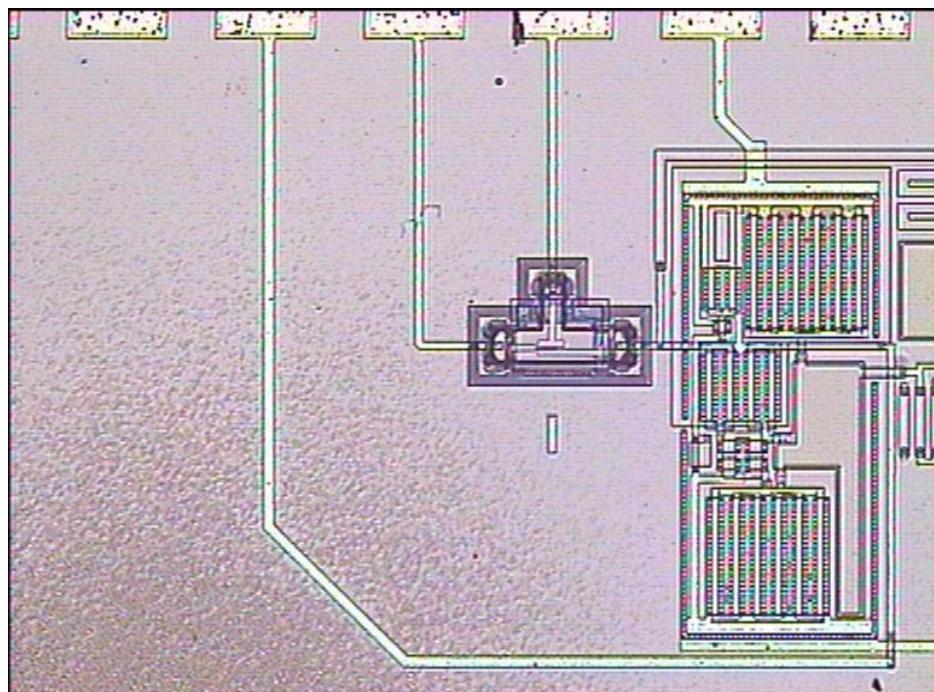
Se han definido diversas estructuras transductoras. Las dimensiones finales de los *cantilevers* implementados son de 0,8  $\mu\text{m}$  a 1,1  $\mu\text{m}$  de ancho correspondientes a una definición en máscara de 1  $\mu\text{m}$  y 1,4  $\mu\text{m}$  respectivamente (los *cantilevers* de anchura en máscara 0,7  $\mu\text{m}$  debido a los sobreataques mayoritariamente están rotos) y con longitudes desde 25  $\mu\text{m}$  hasta 50  $\mu\text{m}$ . Las distancias de separación entre el *cantilever* y *driver* son de 1,2  $\mu\text{m}$  y 1,4  $\mu\text{m}$ . La figura 5.20 muestra diversas imágenes ópticas de los transductores implementados. La imagen A) corresponde a un sistema transductor formado por un *cantilever* y un *driver*, la figura B) es un sistema de un *cantilever* y dos *drivers*, la figura C

muestra una matriz de dos *cantilevers*, con tres *drivers* y la imagen D) un sistema de un *cantilever* con una capacidad integrada en forma de peine y un *driver*.

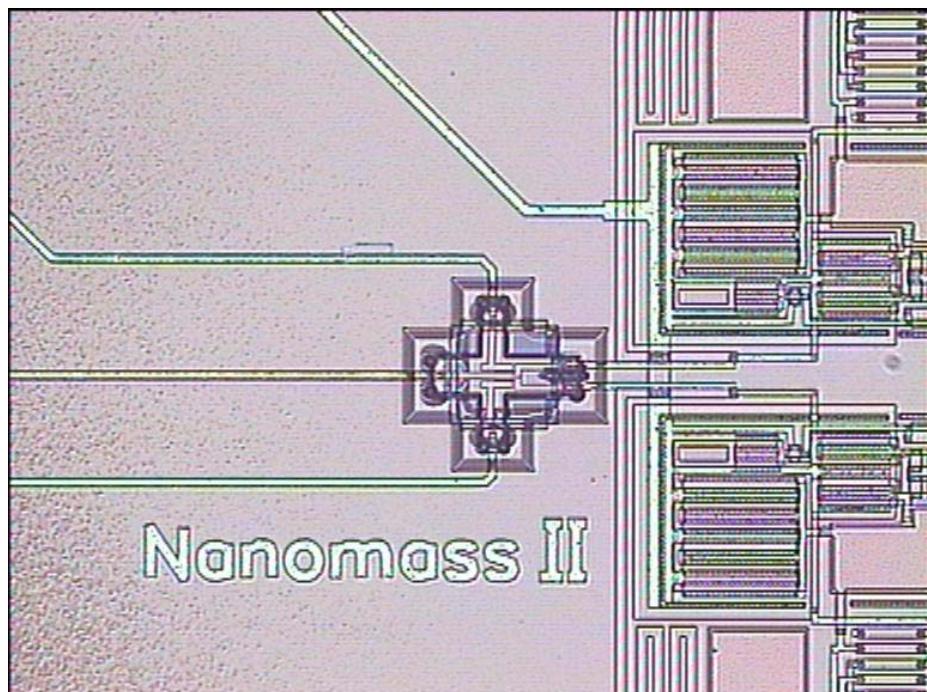


**Figura 5.20** Imágenes ópticas de los *cantilevers* definidos mediante fotolitografía.

Las figura 5.21 y 5.22 muestran imágenes de sensores junto con la circuitería. Correspondientes a un sistema de un *cantilever* y dos *drivers* con un circuito de lectura (5.21) y a una matriz de dos *cantilevers* conectados a dos circuitos de lectura (5.22) de forma que permite medidas diferenciales.



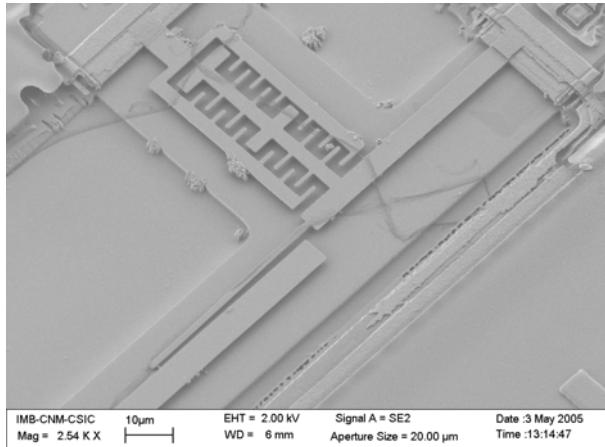
**Figura 5.21** Imágenes ópticas finales de con un *cantilever* y un circuito de lectura



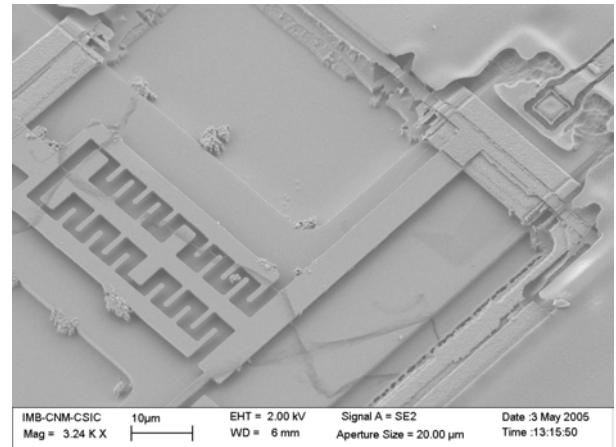
**Figura 5.22** Imagen óptica de un sensor formado por una matriz de dos cantilevers conectados a dos circuitos de lectura independientes que permiten realizar medidas diferenciales.

En la fabricación de sensores SOI se ha observado que el grabado RIE para eliminar el polisilicio de protección es bastante desuniforme a lo largo de toda la oblea. Este hecho ha disminuido notablemente el rendimiento de la producción. Por ejemplo, se ha observado en los extremos de la oblea que apenas se ha eliminado polisilicio. De forma que algunos

transductores se han fabricado sobre esta capa de protección. Las figuras 5.23 y 5.24 muestran imágenes SEM de este hecho. Dado que no tienen conexión eléctrica se han podido caracterizar utilizando el SEM, pues no se podrá usar como sensor.

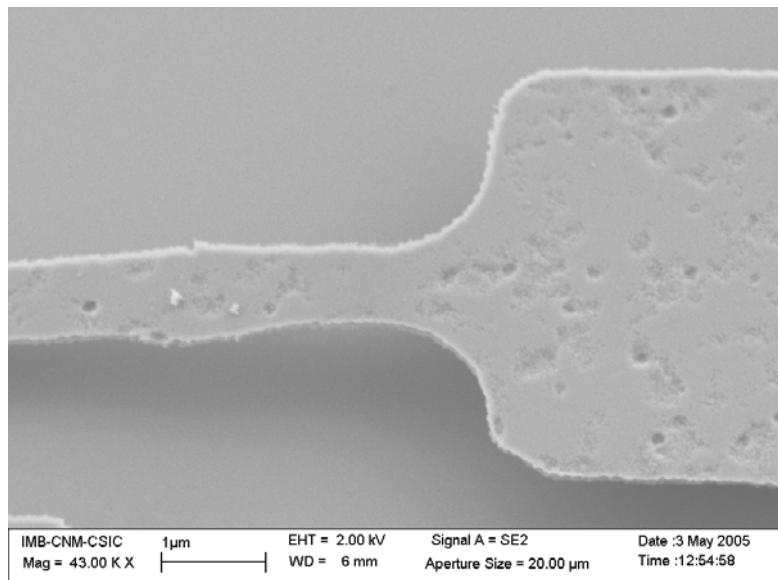


**Figura 5.23** Estructura compuesta por un *cantilever* con una capacidad en forma de peine. Se observa el *cantilever* liberado en polisilicio.



**Figura 5.24** Misma estructura que en la figura anterior, donde se ve el contacto con el circuito eléctrico. Se observa que el contacto está a un nivel inferior que la estructura.

Si analizamos más en detalle estos resultados, podemos ver claramente la distinta rugosidad del silicio cristalino y del polisilicio (figura 5.25).

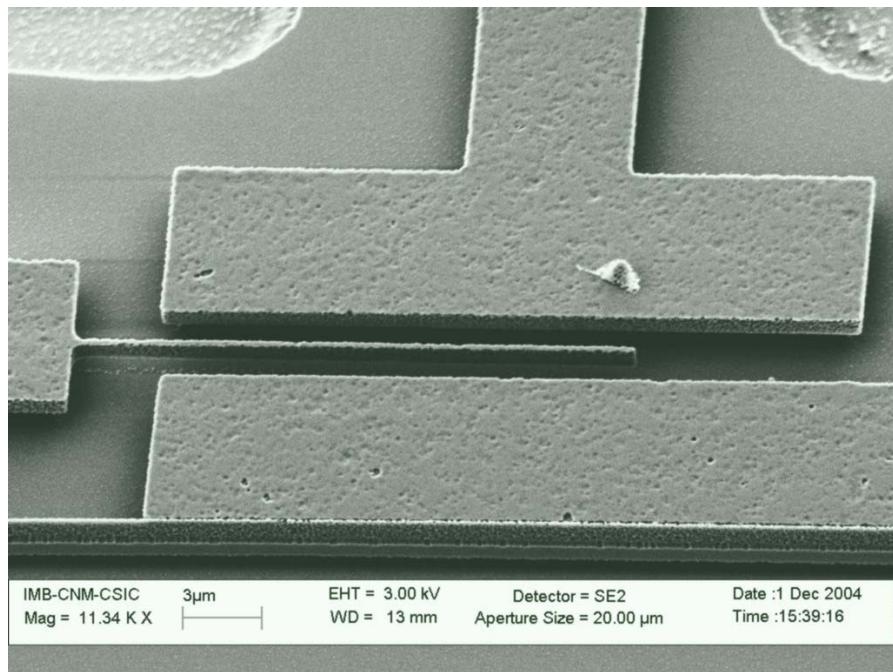


**Figura 5.25** Imagen SEM del anclaje de un *cantilever* definido en la capa de polisilicio de protección, la capa inferior es el silicio SOI estructural. Se observa la diferencia de rugosidad entre una y otra capa.

### 5.5.2 *Cantilever* definidos mediante Litografía por Haz de Electrones

Se han realizado también estructuras mediante litografía por haz de electrones<sup>6</sup>, esta técnica con mayor resolución que la fotolitografía permite aumentar la sensibilidad del sensor.

La fabricación del transductor se realiza mediante litografía por haz de electrones, sobre PMMA (resina sensible al haz de electrones) mediante revelado se define la estructura y tras un proceso de lift-off se define la máscara en aluminio. Mediante RIE se transfiere el patrón a la capa de silicio estructural y con un grabado húmedo del óxido enterrado se libera la estructura, tal y como muestra la figura 5.26



**Figura 5.26** Imagen SEM de un *cantilever* definido mediante litografía por haz de electrones tiene 20  $\mu\text{m}$  de largo y 500 nm de ancho.

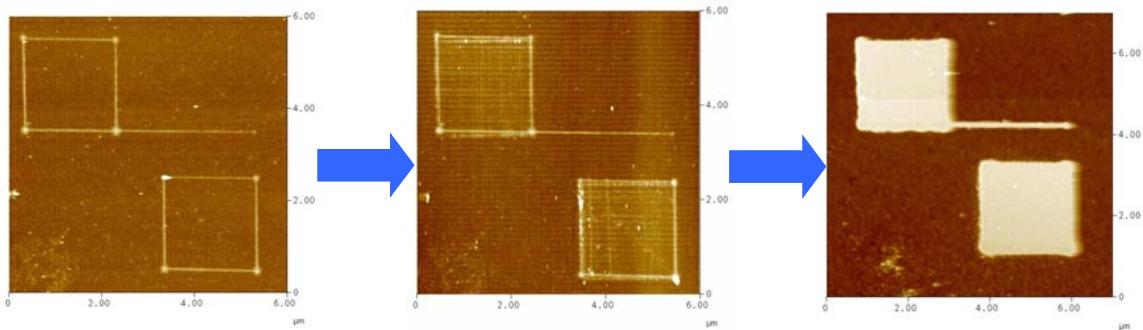
### 5.5.3 *Cantilevers* definidos mediante litografía por AFM combinada con Láser

Mediante litografía con AFM sobre aluminio se han definido estructuras de un *cantilever* y dos *drivers*. Debido a que el área que se puede litografiar mediante AFM<sup>7</sup> es muy pequeña,

<sup>6</sup> La litografía por EBL la ha realizado Sara G. Nilsson en la Universidad de Lund.

se han definido los contactos entre el *cantilever/driver* y los extremos del área de fabricación mediante litografía por láser<sup>8</sup> [Abadal-99].

Se ha definido la estructura compuesta por un *cantilever* y dos *drivers* mediante litografía por AFM sobre una capa de aluminio, mediante oxidación local como muestra la figura 5.27, en tres etapas distintas de la oxidación.

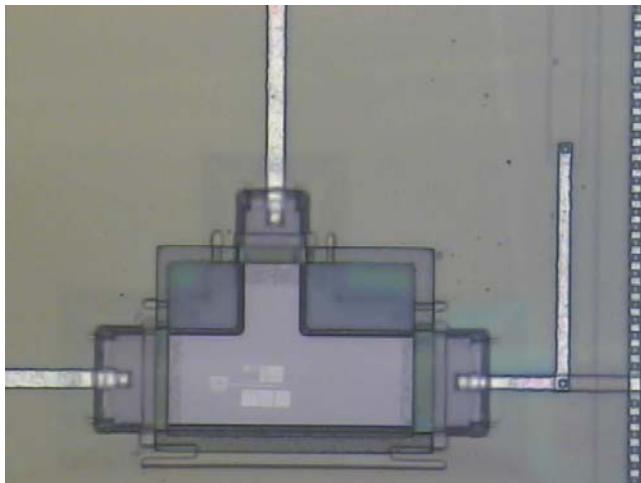


**Figura 5.27** Imágenes con AFM durante el proceso de oxidación local con la misma punta del microscopio.

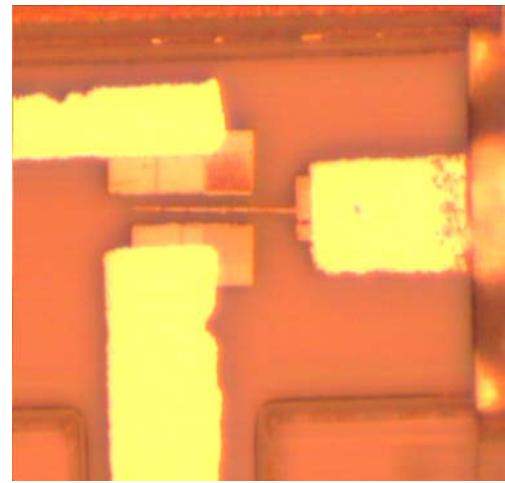
El resultado final lo recoge la figura 5.28. El siguiente paso es definir los contactos entre las estructuras y los contactos eléctricos con el circuito. Mediante litografía por láser, depositando una capa de resina sensible al láser, se definen las estructuras y tras un nuevo proceso de *lift-off* se define la máscara en aluminio. A continuación se trasfiere el patrón al silicio mediante RIE (figura 5.29 se definen *cantilevers* de 20  $\mu\text{m}$  de largo y 200 nm de ancho. Se liberan con un ataque húmedo del óxido enterrado utilizando una máscara de resina de protección.

<sup>7</sup> La litografía por AFM la ha realizado Cristina Martín, en el IMB-CNM

<sup>8</sup> La litografía por láser la ha realizado Esko Forsen, en el MIC.



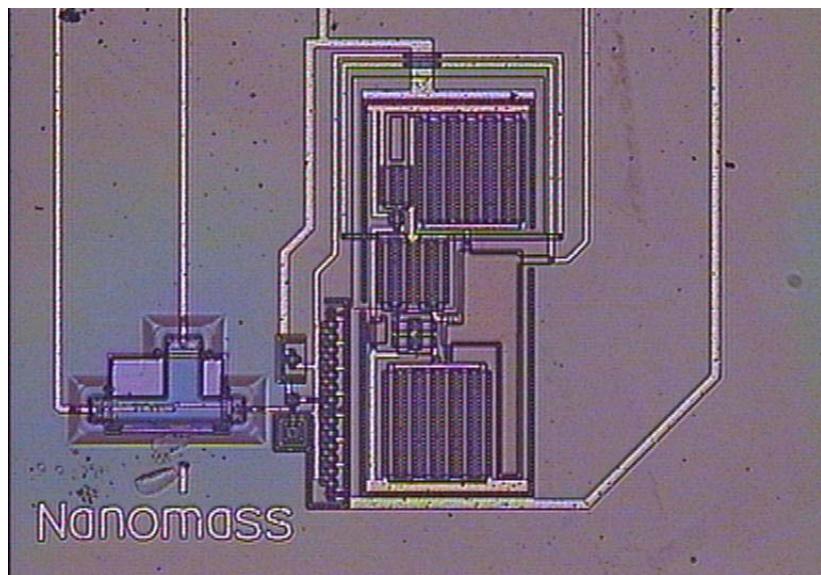
**Figura 5.28** Imagen óptica del patrón en Aluminio. La estructura definida por litografía con AFM sobre pmma y mediante *lift-off* se define la máscara de aluminio.



**Figura 5.29** Imagen óptica de la estructura definida por AFM con los contactos definidos mediante láser, tras transferirla al silicio mediante RIE.

## 5.6 Caracterización del sensor

En la primera caracterización del dispositivo, se han estudiado los sensores donde el transductor se ha definido mediante litografía óptica. Se presentan los resultados correspondientes a la caracterización de un *cantilever* de 24  $\mu\text{m}$  de largo, 1,1  $\mu\text{m}$  de ancho y 1  $\mu\text{m}$  de grueso (debido a las oxidaciones el grosor nominal de 1,3  $\mu\text{m}$  del silicio SOI se ha reducido a 1  $\mu\text{m}$ ). La figura 5.30 muestra una imagen del sensor, donde se observa el área con el transductor, la circuitería y las pistas que van a los pads de medida. El circuito de lectura utilizado es el circuito de conversión capacitiva presentado en el apartado 5.3.1. La caracterización del sensor tiene dos puntos, el primero la detección de la resonancia de la palanca y la comprobación de que el sistema amplificador funciona y el segundo las medidas de masa.

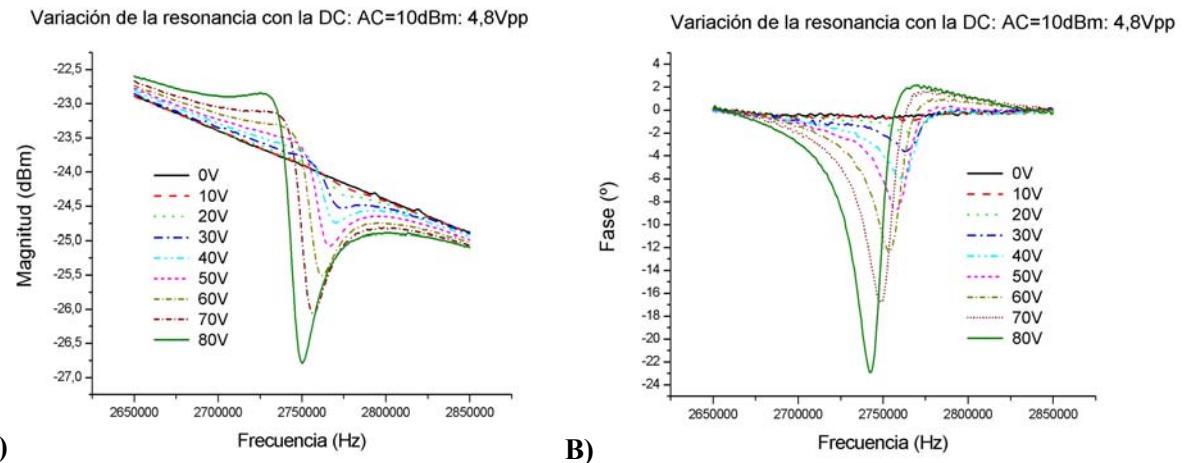


**Figura 5.30** Imagen óptica del sensor medido, se observa el área de fabricación con la estructura y el circuito.

Las medidas se han realizado en condiciones ambientales, en una mesa de puntas, dotada de un microscopio. Además se han utilizado diversas fuentes de alimentación y un analizador de redes para detectar la salida, siguiendo el mismo esquema que el utilizado en la caracterización del primer demostrador.

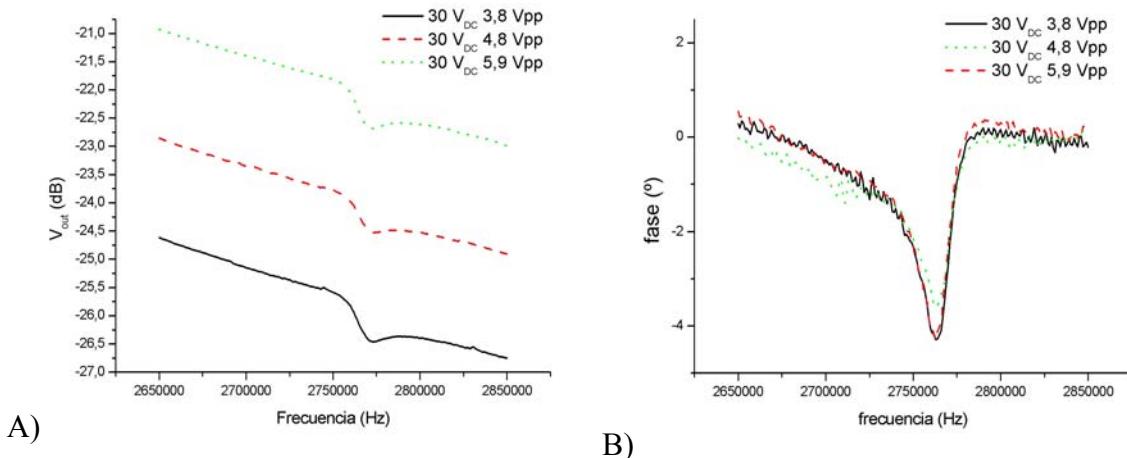
### 5.6.1 Caracterización eléctrica

Se realiza la caracterización eléctrica del sensor para ello se realizan diversas medidas con distintas tensiones de polarización y con distintas tensiones de excitación. La figura 5.31 muestra las curvas obtenidas para las distintas tensiones de polarización (de 10 V a 80 V) correspondientes a la magnitud y fase de la tensión de salida. De la máxima pendiente de las curvas de fase se puede determinar la frecuencia de resonancia. En las gráficas se observa que frecuencia de resonancia disminuye al aumentar la tensión de polarización.



**Figura 5.31** Medida de la frecuencia de resonancia en magnitud A) y fase B) para distintas tensiones de polarización y para una tensión de excitación de 4,8 Vpp.

Se realiza un análisis de la variación de la respuesta del sistema en función de la tensión de excitación aplicada, la figura 5.32 muestra los resultados obtenidos para diversas tensiones de excitación y con una tensión de polarización de 30 V.



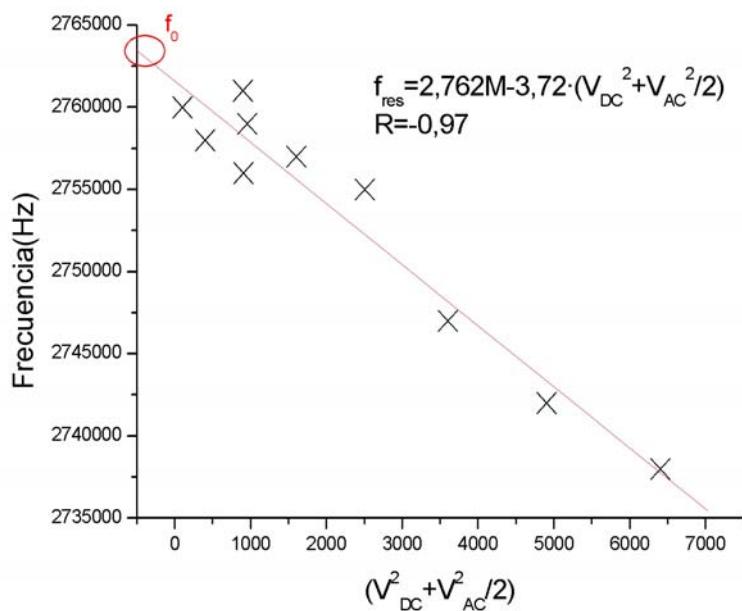
**Figura 5.32** Medida de la frecuencia de resonancia A) Magnitud, B) Fase para distintas tensiones de excitación y tensión de polarización 30 V.

A partir del punto de máxima pendiente de la fase se ha detectado la frecuencia de resonancia, los resultados se recogen en la tabla 5.3 se observa como disminuye la frecuencia de resonancia con la tensión aplicada, tal y como era de esperar [Nathanson-67].

Tensión aplicada	$V_{dc}^2 + V_{ac}^2/2$	Frecuencia (Hz)
10V +4,8 Vpp	102,88	2,760M
20V +4,8 Vpp	402,88	2,758M
30V +3,8 Vpp	957,90	2,759M
30V +4,8 Vpp	902,88	2,761M
30V +5,9 Vpp	903,92	2,756M
40V +4,8 Vpp	1602,88	2,757M
50V +4,8 Vpp	2502,88	2,755M
60V +4,8 Vpp	3602,88	2,747M
70V +4,8 Vpp	4902,88	2,742M
80V +4,8 Vpp	6402,88	2,738M

**Tabla 5.3** Resultados de la frecuencia de resonancia para distintas tensiones de polarización

Si representamos gráficamente la dependencia de la tensión efectiva aplicada al cuadrado con la frecuencia de resonancia podemos obtener la frecuencia de resonancia intrínseca del *cantilever* como muestra la figura 5.33 es de 2,762 MHz.

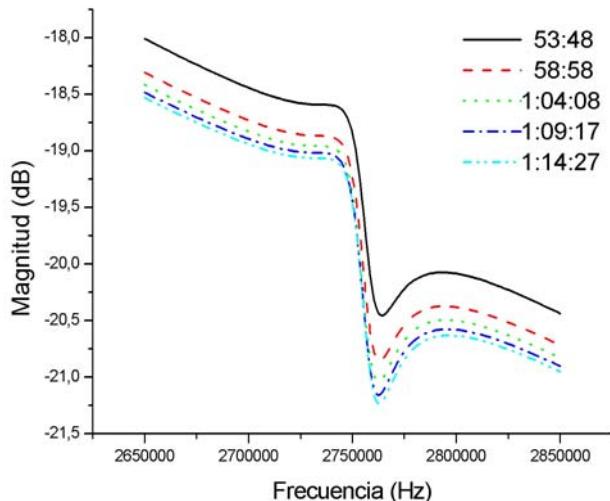


**Figura 5.33** Dependencia de la frecuencia de resonancia con la tensión efectiva aplicada.

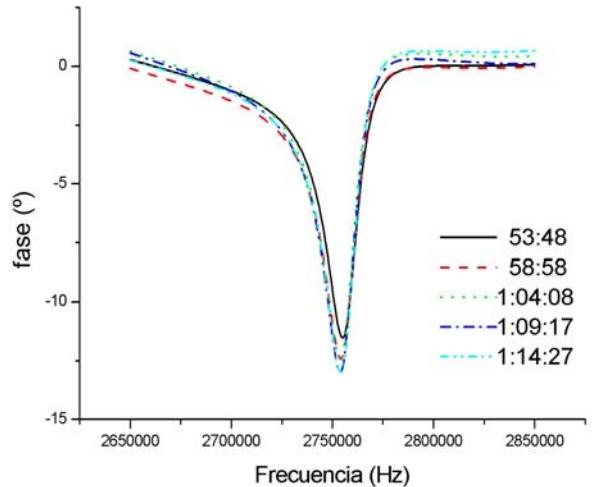
La frecuencia de resonancia intrínseca la podemos calcular a partir de las dimensiones del *cantilever*, en este caso la longitud es de 24  $\mu\text{m}$  la anchura de 1,1  $\mu\text{m}$  y el grosor del silicio es de 1  $\mu\text{m}$ , considerando el módulo de Young del silicio  $E=190$  GPa la frecuencia de resonancia teórica es de 2,786 MHz. El error relativo de las medidas experimentales y teóricas es menor al 1%.

### 5.6.2 Estabilidad del sistema

Para medir la estabilidad del sistema se han realizado curvas de resonancia de manera continua en un periodo de tiempo de veinte minutos y de cuatro horas. Las figuras 5.34 y 5.35 muestran los resultados de las medidas durante 20 minutos tomadas cinco minutos aproximadamente, en magnitud y fase. En este tiempo, según las curvas, el sistema se mantiene estable. La estabilidad del sistema está limitada por las condiciones de estas medidas (se ha realizado un barrido de 200 kHz, tomando 200 puntos).

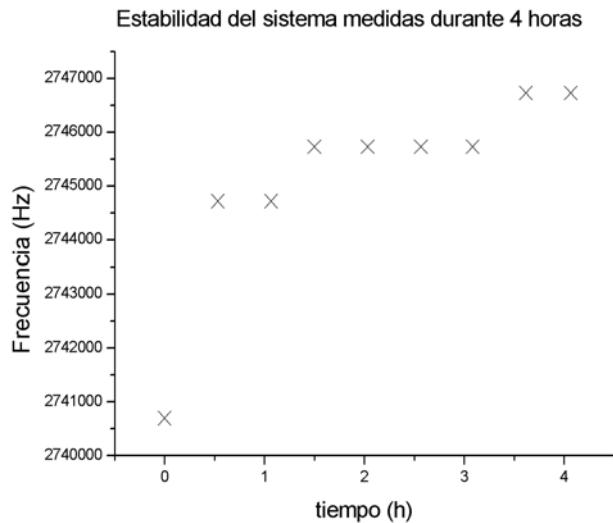


**Figura 5.34** Medida de la resonancia durante 20 minutos-Magnitud.



**Figura 5.35** Medida de la resonancia durante 4 horas-Fase.

Se realiza un segundo estudio de la estabilidad del sistema durante 4 horas. La figura 5.36 recoge los resultados de la evolución de la frecuencia de resonancia. Si, como en el caso anterior, consideramos que el primer punto no es estable debido al tiempo de respuesta de la conexión del sistema, en el resto de puntos hay una deriva de aproximadamente 8 Hz/s. Esta deriva está influenciada por las condiciones de medida, por la propia deriva de las fuentes utilizadas y puede estar causada además por cambios en la temperatura ambiente.



**Figura 5.36** Evolución de la frecuencia de resonancia durante 4 horas para estudiar la estabilidad del sistema.

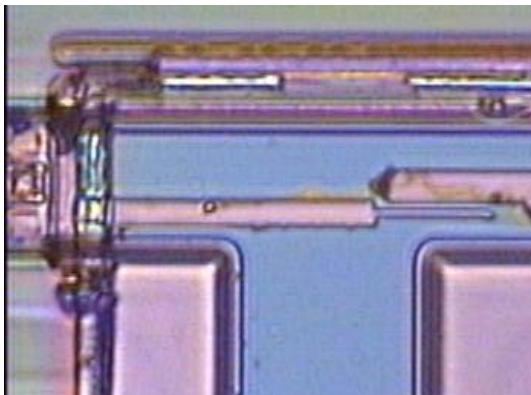
De este estudio se deduce que el sistema es suficientemente estable para la realización de medidas de masa, cuando estas se realizan durante tiempos inferiores a una hora.

### 5.6.3 Medidas de masa

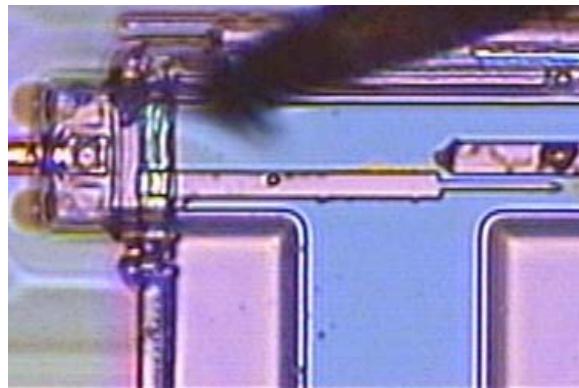
Una vez caracterizado el funcionamiento del dispositivo es preciso caracterizar el sistema como sensor. Para ello se tiene que depositar masa en el extremo libre del *cantilever*. Se ha depositado una gota de glicerina en el extremo libre del *cantilever*, de forma que se puede detectar la masa de la misma y estudiando su evaporación ver la variación de la masa y la respuesta del sistema. La gota de glicerina se deposita sobre el *cantilever* con una punta de STM colocada en un microposicionador. Se realizan varias medidas y en este apartado se recogen los resultados de dos experimentos distintos.

#### Primer experimento:

La figura 5.37 muestra una imagen del transductor antes de depositar la gota de glicerina. En la figura 5.38 se observa la punta de STM tras depositar la gota, visible en el extremo del *cantilever*.

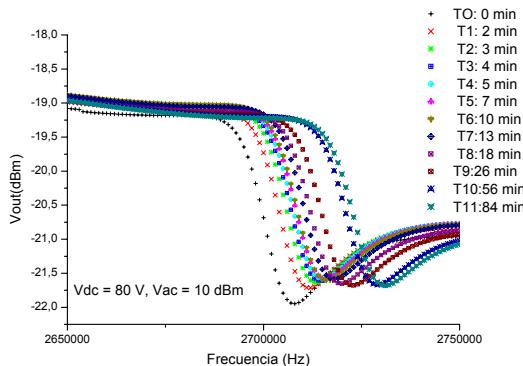


**Figura 5.37** Imagen óptica del transductor formado por el *cantilever* de 24  $\mu\text{m}$  de largo y 1,1  $\mu\text{m}$  de ancho antes de la deposición de glicerina.

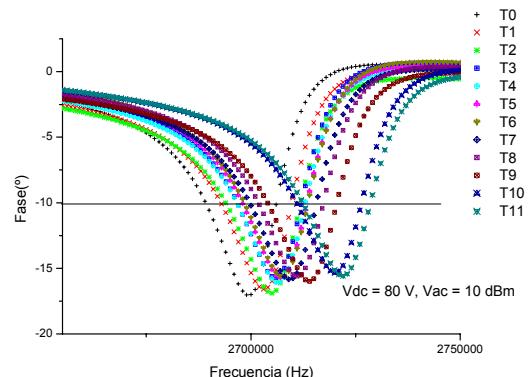


**Figura 5.38** Imagen óptica del sensor tras la deposición de glicerina en el extremo del *cantilever*. En la parte superior se observa la punta de STM utilizada para la deposición.

Se realizan medidas aplicando una tensión alterna de 10 dB (4,8 Vpp) y una tensión continua de 80 Vdc, en el mismo *cantilever* que se ha caracterizado. Tras el depósito de la gota de glicerina se va caracterizando la resonancia durante la evaporación. Las gráficas 5.39 y 5.40 muestran en magnitud y fase la respuesta en frecuencia en los distintos intervalos de tiempo, la primera medida corresponde al momento en que se deposita la gota de glicerina. La frecuencia de resonancia (tabla 5.4) se obtiene del punto de máxima pendiente de la fase.



**Figura 5.39** Medidas durante la evaporación de glicerina-Magnitud



**Figura 5.40** Medidas durante la evaporación de glicerina-Fase

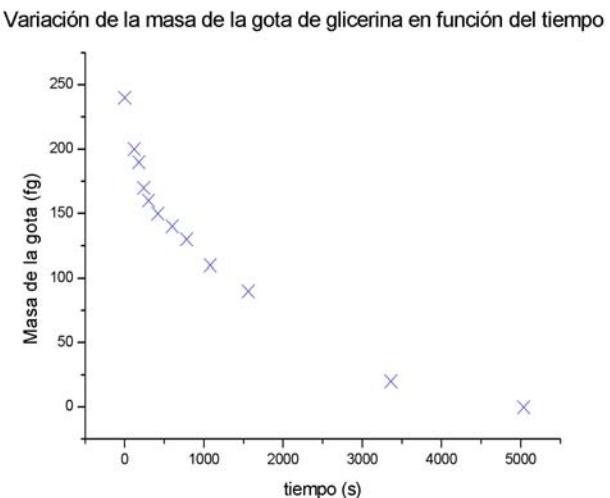
A partir de las dimensiones del *cantilever* se ha calculado la sensibilidad en masa del mismo:  $dm/df = 10 \text{ ag/Hz}$ , este dato nos permite calcular la masa de la gota de glicerina depositada suponiendo que, cuando la glicerina se ha evaporado totalmente el *cantilever*, recupera su frecuencia de resonancia inicial. La siguiente tabla da los valores de la masa de

la gota para los distintos tiempos medidos en función de la frecuencia de resonancia obtenida.

Tiempo (s)	Frecuencia de resonancia (kHz)	Masa de la gota en cada instante (fg)
0	2689	240
120	2693	200
180	2694	190
240	2696	170
300	2697	160
420	2698	150
600	2699	140
780	2700	130
1080	2702	110
1560	2704	90
3360	2711	20
5040	2713	0

**Tabla 5.4** Frecuencia de resonancia medida durante la evaporación de la glicerina, en 0 segundos se deposita la masa. A partir de aquí se calcula la masa depositada.

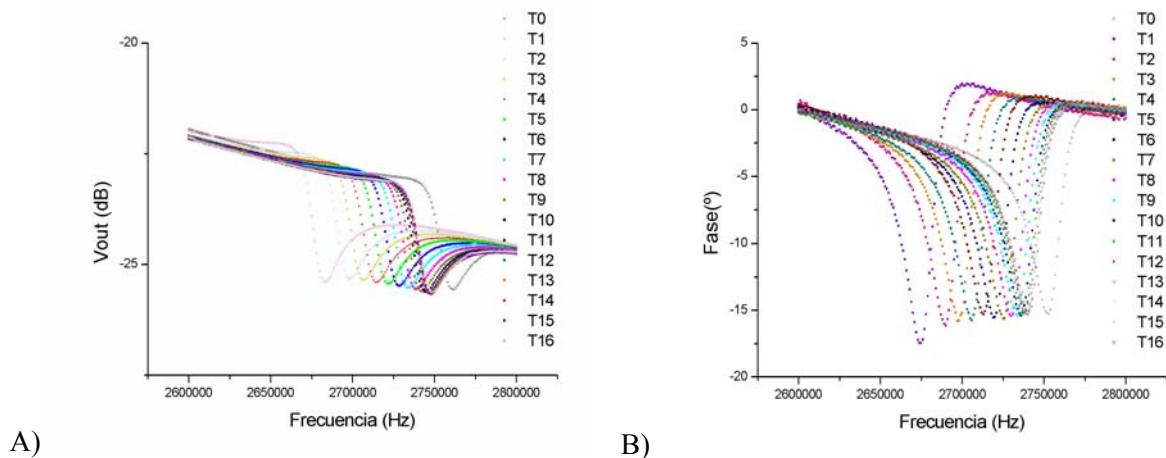
Los resultados de esta tabla se recogen en la grafica 5.41 en donde se ve la evaporación de una gota microscópica de glicerina. Hay que destacar que se ha detectado una variación de 20 fg. La tasa de evaporación es de 70 ag/s (calculada a partir del tiempo total de evaporación de la gota).



**Figura 5.41** De la variación de la frecuencia de resonancia se ha calculado la masa de la gota de la glicerina. Esta gráfica muestra la evaporación de la misma.

### Segundo experimento:

El segundo experimento se realiza observando por la cámara del microscopio la evaporación de la gota y grabándolo en video. El vídeo está disponible en el CD adjunto. Se realiza una medida previa en  $T_0$  antes de depositar la gota, en  $T_1$  se deposita la gota, de forma que se tiene referencia exacta del cambio de frecuencia debido a la glicerina. Se van tomando medidas en intervalos inferiores a un minuto. La figura 5.42 muestra los resultados obtenidos.



**Figura 5.42** Variación de la frecuencia de resonancia con el tiempo, mientras se evapora la gota de glicerina,  $T_0$  antes de depositar la gota. A) Magnitud y B) Fase

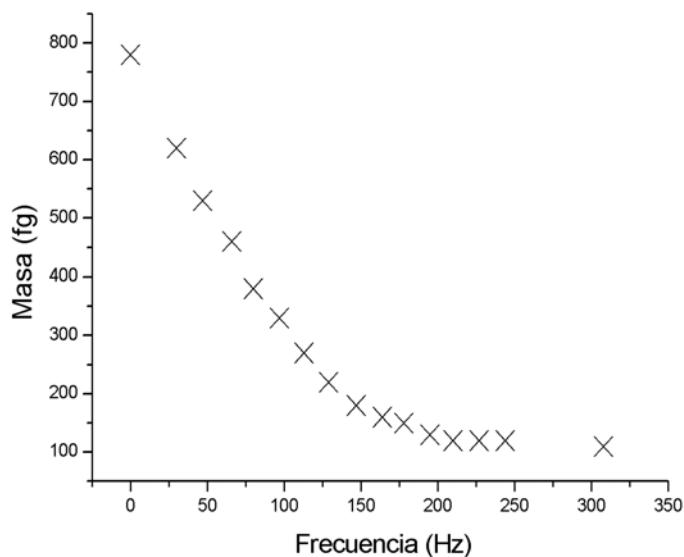
A partir de la máxima pendiente de la fase podemos obtener la frecuencia de resonancia. La masa de la gota la podemos obtener con la sensibilidad del sistema  $dm/df = 10 \text{ fg/Hz}$ . La tabla 5.5 muestra la variación de la frecuencia de resonancia en función del tiempo en  $T_1$  se deposita la gota, así que  $T_0$  es la frecuencia de resonancia del *cantilever*. Como se muestra en la tabla, hemos observado que la masa de esta gota es de 780 fg y la mínima variación de masa detectada es de 10 fg. La tasa de evaporación en este caso es de 2 fg/s. Se trata de una tasa bastante alta, pero la evaporación está inducida por la luz del microscopio, como se utiliza un objetivo de 100 aumentos, proporciona mucha energía que propicia la evaporación.

	Tiempo (s)	Frecuencia (Hz)	Masa (fg)		Tiempo (s)	Frecuencia (Hz)	Masa (fg)
$t_0$		2,737M		$t_9$	147	2,719M	180
$t_1$	0	2,659M	780	$t_{10}$	164	2,721M	160

	Tiempo (s)	Frecuencia (Hz)	Masa (fg)		Tiempo (s)	Frecuencia (Hz)	Masa (fg)
t2	30	2,675M	620	t11	178	2,722M	150
t3	47	2,684M	530	t12	195	2,724M	130
t4	66	2,691M	460	t13	210	2,725M	120
t5	80	2,699M	380	t14	227	2,725M	120
t6	97	2,704M	330	t15	244	2,725M	120
t7	113	2,71M	270	t16	308	2,726M	110
t8	129	2,715M	220				

**Tabla 5.5** Masa de la gota obtenida a través de la variación de la frecuencia de resonancia, en función del tiempo.

La curva de evaporación se recoge en la figura 5.43.

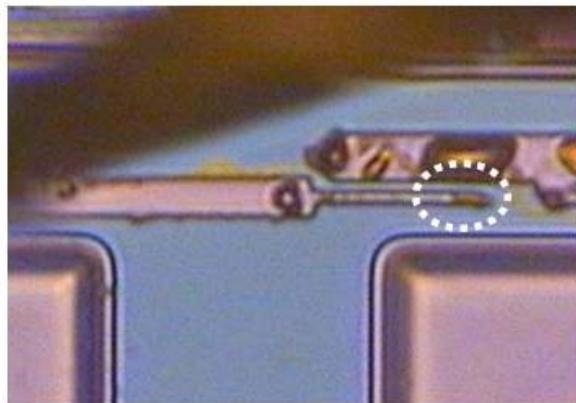


**Figura 5.43** Variación de la frecuencia de resonancia durante la evaporación de la glicerina.

No existen medidas directas para poder comparar este resultado, ya que hasta el momento, no se ha estudiado detalladamente la dinámica de evaporación de la glicerina. Se puede comparar la forma de la curva con la tendencia de evaporación de otras sustancias, por ejemplo, las curvas siguen la misma tendencia que la de evaporación de gotas de agua [Lam-02].

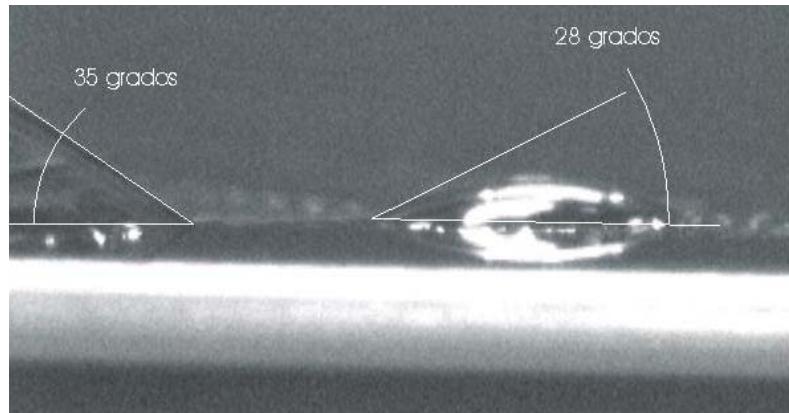
Por otro lado sabemos que la tasa de evaporación de glicerina es menor que  $1\text{al}/\mu\text{m}^2/\text{s}$  [Meister-04]. La medida obtenida de la tasa de evaporación es de  $70\text{ ag/s}$ . El área máxima de la gota depositada es de  $2,26\text{ }\mu\text{m}^2$ . Considerando la tasa de evaporación máxima de las medidas anteriores,  $0,16\text{ al/ }\mu\text{m}^2/\text{s}$ , es un orden de magnitud por debajo del límite referenciado. De forma que los resultados obtenidos concuerdan con lo reportado.

Para completar los resultados obtenidos vamos a tratar de estimar la masa de la gota a partir de las dimensiones de la misma en el caso del primer experimento y de la densidad de la glicerina ( $\rho = 1,26 \cdot 10^6\text{g/m}^3$ ). Aproximamos la gota a un semielipse. De la imagen del microscopio de la gota del primer experimento podemos obtener las dimensiones de la superficie en contacto con el *cantilever* (figura 5.44). Para calcular el volumen de la gota, supondremos que se trata de medio elipsoide de eje  $x=0,55\text{ }\mu\text{m}$ , de ej  $y = 2,2\text{ }\mu\text{m}$  y faltaría determinar el eje  $z$ .



**Figura 5.44** Imagen con las dimensiones de la gota de glicerina, la anchura es la misma que la del *cantilever*  $1,1\mu\text{m}$  , la longitud son  $4,4\mu\text{m}$ .

Para calcular la altura de la gota se ha realizado una imagen de una gota macroscópica y se trata de medir el ángulo de la misma de forma que extrapolando este ángulo podemos definir la altura (figura 5.45).



**Figura 5.45** Imagen óptica de dos gotas de glicerina. El ángulo de la gota permite estimar la altura de la misma.

Así para la gota del experimento primero, suponiendo que el límite que lo da el semieje paralelo al *cantilever*, la altura de la gota es de 0,6-0,8  $\mu\text{m}$ . Lo que supone un volumen  $V = 0,21-0,28 \mu\text{m}^3$ . Estimamos la gota de la masa que será de 260-350 fg. Acorde con la medida de masa obtenida.

En el segundo experimento la tasa de evaporación es superior, este experimento se realizó con la luz del microscopio incidiendo directamente sobre la estructura, de forma que había un aporte extra de energía que facilitó la evaporación. Por esta razón las tasas de evaporación de uno y otro experimento no son comparables.

## 5.7 Conclusiones del capítulo

Se ha presentado una nueva tecnología para fabricar MEMS y NEMS utilizando silicio cristalino como capa estructural, integrando monolíticamente la circuitería CMOS con la estructura mecánica y siendo el grosor de la capa estructural independiente de la tecnología. Para ello se ha definido sobre un sustrato SOI, regiones con estructura SOI para crear el transductor mecánico y regiones de silicio sustrato sobre las que implementar la circuitería. Se ha comprobado la viabilidad de esta nueva tecnología.

Mediante litografía óptica se ha podido fabricar un microsistema completo que se ha caracterizado. Se ha fabricado un sensor de masa resonante integrado monolíticamente con la tecnología CMOS de lectura, utilizando silicio cristalino como capa estructural. Se ha

demostrado su funcionamiento como sensor con una resolución en masa de 10 ag/Hz y se ha conseguido medir variaciones absolutas de masa de 10 fg en condiciones ambiente de presión y temperatura.

La utilización de técnicas nanolitográficas para fabricar estructuras, demostrando su compatibilidad con los sustratos utilizados, es la clave para fabricar sensores nanoelectromecánicos con silicio cristalino como capa estructural.

Al haberse demostrado la compatibilidad del proceso de la tecnología con técnicas de nanofabricación, se espera poder alcanzar resoluciones en masa de 6 ag/Hz en el caso de los *cantilevers* definidos por EBL y los *cantilevers* definidos mediante litografía AFM combinada con láser.