



**Universitat Autònoma de Barcelona
Escola d'Enginyeries
Departament d'Enginyeria Electrònica**

**Estudio de la reversibilidad de la ruptura
dieléctrica en dispositivos MOS con
dieléctrico de puerta high-k ultra delgado.**

Memoria presentada por
Albert Crespo Yepes
Para optar al grado de
Doctor en Ingeniería Electrónica

Dirigida por:
Dra. Rosana Rodríguez
Y
Dr. Javier Martín

Bellaterra, Noviembre de 2012



**Universitat Autònoma de Barcelona
Escola d'Enginyeries
Departament d'Enginyeria Electrònica**

**Estudio de la reversibilidad de la ruptura dieléctrica
en dispositivos MOS con dieléctrico de puerta high-k
ultra delgado.**

Memoria presentada por
Albert Crespo Yepes
Para optar al grado de
Doctor en Ingeniería Electrónica

Dirigida por:
Dra. Rosana Rodríguez
Y
Dr. Javier Martín

Bellaterra, Noviembre de 2012

Rosana Rodríguez, profesora titular de tecnología electrónica, y Javier Martín, profesor lector de tecnología electrónica, de la Universitat Autònoma de Barcelona,

Certifican

que el trabajo **Estudio de la reversibilidad de la ruptura dieléctrica en dispositivos MOS con dieléctrico de puerta high-k ultra delgado** que presenta Albert Crespo Yepes para optar al grado de Doctor en Ingeniería Electrónica, se ha realizado bajo su dirección.

Bellaterra, Noviembre de 2012

Dra. Rosana Rodríguez Martínez

Dr. Javier Martín Martínez

Agradecimientos.

En primer lugar quiero dar las gracias a Rosana Rodríguez y a Javier Martín por haberme dirigido esta tesis. Su dedicación y paciencia han sido una inestimable ayuda durante estos cuatro años. Sin ellos, todo este trabajo no hubiera sido posible.

Quiero agradecer a todos los miembros del grupo de Fiabilidad de Dispositivos y Circuitos Electrónicos su ayuda y orientación, sin la cual todo habría sido más difícil. También agradecer a todos los miembros del Departament d'Enginyeria Electrònica, entre los cuales cuento muchos buenos amigos, su ayuda y compañerismo. Somos una pequeña gran familia, gracias.

También agradecer a mis amigos, y a todos aquellos que siempre han estado cerca, sus ánimos, alegría e ilusión. Han sido siempre una fuente de energía para seguir adelante, en los buenos y en los malos momentos.

Finalmente, quiero agradecer especialmente el apoyo recibido por mis padres, mis abuelos, y mi familia en general. Pero sobre todo por mis padres, por animarme y empujarme en todo momento.

A todos vosotros... Gracias!!

Albert

ÍNDICE

PUBLICACIONES RELACIONADAS CON ESTA TESIS

PRESENTACIÓN	1
1. INTRODUCCIÓN.....	5
1.1. Dispositivos MOS.....	6
1.1.1. Capacidad MOS.....	6
1.1.2. Transistor MOSFET.....	8
1.1.3. Escalado del Transistor.....	10
1.1.3.1. Escalado horizontal: efectos de canal corto.....	11
1.1.3.2. Escalado vertical: corriente de pérdidas por efecto túnel.....	12
1.1.4. Dieléctricos de alta permitividad dieléctrica: materiales high-k.....	14
1.2. Ruptura Dieléctrica (BD).....	16
1.2.1. Degradación del óxido: Corriente SILC.....	16
1.2.2. Modelo Percolativo.....	18
1.2.3. Modos de ruptura.....	20
1.2.4. Análisis de la ruptura dieléctrica en los ICs en condiciones de operación.....	21
1.2.5. Reversibilidad de la ruptura dieléctrica.....	22
1.3. Efecto Resistive Switching (RS).....	25
1.3.1. Mecanismo de Switching.....	25
1.3.2. Caracterización del efecto Resistive Switching.....	27
1.3.3. Características y prestaciones de las memorias no volátiles.....	28
1.4. Procedimiento experimental.....	31
1.4.1. Técnicas de caracterización.....	31
1.4.2. Técnicas de estrés.....	32
1.4.2.1. Estrés en Rampas de tensión (RVS).....	33
1.4.2.2. Estrés en Tensión Constante (CVS).....	34
1.4.2.4. Estrés en Rampa Escalonada (S-RVS).....	34
1.4.2.5. Estreses con Límite de Corriente (CL).....	35
1.4.3. Equipos de medida.....	36
1.4.4. Software utilizado para el soporte a la investigación.....	37
2. REVERSIBILIDAD DE LA RUPTURA DIELECTRICA EN CAPACIDADES MOS... 39	
2.1. Descripción de las muestras.....	39
2.2. Procedimiento de medida para observar la reversibilidad de la ruptura.....	40
2.3. Dependencia de la Reversibilidad de la ruptura con el límite de corriente.....	42
2.4. Influencia de la polaridad del estrés.....	44
2.5. Comparación de la reversibilidad de la ruptura y el fenómeno Resistive Switching.....	47

3. REVERSIBILIDAD DE LA RUPTURA DIELECTRICA EN TRANSISTORES MOSFET.	49
3.1. Descripción de las muestras y procedimiento de medida.	49
3.2. Caracterización de la reversibilidad de la ruptura dieléctrica en transistores MOSFET.	50
3.2.1. Descripción de la reversibilidad de la ruptura en transistores MOSFET.	50
3.2.2. Análisis de las Tensiones de ruptura (V_{BD}) y de recuperación (V_R).	53
Evolución de V_{BD} e V_R con el número de ciclos.	54
Distribución estadística de V_{BD} y V_R .	55
Dependencia de V_{BD} y V_R con la polaridad del estrés de recuperación.	57
3.2.3. Análisis de las corrientes de post-ruptura (I_{BD}) y post-recuperación (I_R).	58
Evolución de I_{BD} e I_R con el número de ciclos.	58
Distribución estadística de I_{BD} e I_R .	59
Efecto del límite de corriente sobre I_{BD} e I_R .	61
3.2.4. Estudio de la dependencia de la reversibilidad con el área del dispositivo.	64
3.2.5. Estudio de la localización de la ruptura a lo largo del canal.	65
Cambio de localización de la ruptura.	66
3.2.6. Estudio de la Carga inyectada hasta la recuperación (Q_R).	68
Dependencia de Q_R con la polaridad del estrés de recuperación:	68
Dependencia de Q_R con el límite de corriente del transitorio de ruptura:	70
Distribución de Weibull del parámetro Q_R .	70
Dependencia de I_{BD} e I_R con la temperatura.	72
Efecto de la temperatura sobre Q_R .	73
3.3. Impacto en el funcionamiento y la fiabilidad de transistores MOSFET.	74
3.3.1. Evolución de las características del transistor.	76
3.3.2. Dependencia de las características del transistor con la temperatura.	77
3.3.3. Dependencia de las características del transistor con la polaridad de los estreses.	80
3.4. Impacto de la reversibilidad de la ruptura en el funcionamiento de circuitos.	84
3.4.1. Modelado del estado BD y del estado R.	84
3.4.2. Modelado del estado BD y el estado R en un transistor.	85
3.4.3. Verificación del modelo a nivel de circuito.	86
4. APLICACIONES DE LA REVERSIBILIDAD DE LA RUPTURA: EL MEMFET.....	89
4.1. Resistive Switching para la implementación de memorias.	89
4.1.1. Almacenamiento de la información: Corriente I_G .	90
4.1.2. Tensión entre los extremos del camino conductor V_{path} .	91
4.1.3. Ventana de tensiones de escritura/lectura: V_{write}/V_{read} .	92
4.1.4. Proceso de escritura: Energía de recuperación.	93
4.1.5. Ratio entre estado ON y estado OFF: α .	95
4.2. El memFET.	96
4.2.1. Almacenamiento de la información: Corriente I_D .	96
4.2.3. Procedimiento de lectura del memFET.	98
4.3. Otras aplicaciones del memFET de 4 terminales.	103
4.3.1. Dispositivo de memoria multibit.	103
4.3.2. Switch/interruptor reconfigurable.	104
CONCLUSIONES.	109
6. REFERENCIAS.	113

Publicaciones relacionadas con esta tesis

Patente:

1. C. G. Almudever, A. Rubio, A. Crespo-Yepes, J. Martín-Martínez, M. Nafría, and R. Rodríguez, "Method for operating a transistor, electronic device and reconfigurable processing architecture", European patent application, Patent No. 10016028.2–2210, year 2011.

Artículos en revistas:

1. A. Crespo-Yepes, J. Martín-Martínez, R. Rodríguez, M. Nafría, and X. Aymerich, "Reversible dielectric breakdown in ultrathin Hf base high-k stacks under current-limited stresses", *Microelectronics Reliability*, vol. 49, issue 9-11, pp. 1024-1028, 2009.
2. A. Crespo-Yepes, J. Martín-Martínez, A. Rothschild, R. Rodríguez, M. Nafría, and X. Aymerich, "Recovery of the MOSFET and Circuit Functionality after the Dielectric Breakdown of ultrathin high-k gate stacks", *IEEE Electron Device Letters*, vol. 31, issue 6, pp. 543-545, 2010.
3. A. Crespo-Yepes, J. Martín-Martínez, A. Rothschild, R. Rodríguez, M. Nafría, and X. Aymerich, "Injected Charge to Recovery as a Parameter to Characterize the Breakdown Reversibility of ultrathin HfSiON gate dielectrics", *IEEE Transaction on Device and Materials Reliability*, vol. 11, issue 1, pp. 126-130, 2011.
4. A. Crespo-Yepes, J. Martín-Martínez, A. Rothschild, R. Rodríguez, M. Nafría, and X. Aymerich, "Resistive Switching-like Behavior of the Dielectric Breakdown in Ultra-thin Hf Based Gate Stacks in MOSFETs", *Solid-State Electronics*, vol. 65-66, pp. 157-162, 2011.
5. R. Rodríguez, J. Martín-Martínez, A. Crespo-Yepes, M. Porti, M. Nafría, and X. Aymerich, "Dielectric Breakdown in Ultra-thin Hf Based Gate Stacks: a Resistive Switching Phenomena", *Journal of the Electrochemical Society*, vol. 159, issue 5, pp. H529-H535, 2011.

Contribuciones a congresos:

1. A. Crespo-Yepes, J. Martín-Martínez, R. Rodríguez, M. Nafría, and X. Aymerich, "Reversible dielectric breakdown in ultrathin Hf base high-k stacks under current-limited stresses", (Oral) 20th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis Conference, vol. 49, issue 9-11, pp. 1024-1028, (ESREF 2009).
2. A. Crespo-Yepes, J. Martín-Martínez, A. Rothschild, R. Rodríguez, M. Nafría, and X. Aymerich, "Charge-to-Recovery as a Measure of Dielectric Breakdown Reversibility in Ultrathin HfSiON Gate Dielectric", (Poster) 2010 Workshop on Dielectrics and Microelectronics Conference, abstracts, (WoDiM 2010).

3. A. Crespo-Yepes, J. Martín-Martínez, R. Rodríguez, M. Nafría, and X. Aymerich, "Dielectric Breakdown Recovery in Ultrathin High-k Gate Stacks. Impact in MOSFETs and Circuit Performance", (Poster) 2011 Spanish Conference on Electron Devices, pp. 1-4, (CDE 2011).
4. A. Crespo-Yepes, J. Martín-Martínez, A. Rothschild, R. Rodríguez, M. Nafría, and X. Aymerich, "Resistive Switching-like Behavior of the Dielectric Breakdown in Ultra-thin Hf Based Gate Stacks in MOSFETs", 40th European Solid-State Device Research Conference, (ESSDERC 2010).
5. R. Rodríguez, J. Martín-Martínez, A. Crespo-Yepes, M. Porti, M. Nafría, and X. Aymerich, "Dielectric Breakdown in Ultra-thin Hf Based Gate Stacks: a Resistive Switching Phenomena", 220th Meeting of the Electrochemical-Society , vol. 41, issue 3, pp. 373-388, (ECS 2011).
6. C. G. Almudever, A. Rubio, J. Martín-Martínez, A. Crespo-Yepes, R. Rodríguez, and M. Nafría, "Shape-shifting digital hardware concept: Towards a new Adaptive Computing System", 2012 NASA/ESA Conference on Adaptive Hardware and Systems, pp. 167-173, (AHS 2012).
7. A. Crespo-Yepes, J. Martín-Martínez, R. Rodríguez, M. Nafría, and X. Aymerich, "Temperature dependence of the Resistive Switching-related gate currents in ultra-thin high-k based MOSFETs", (Oral) 2012 Workshop on Dielectrics and Microelectronics Conference, abstracts, (WoDiM 2012).
8. J. Martín-Martínez, C. G. Almudever, A. Crespo-Yepes, R. Rodríguez, M. Nafría, X. Aymerich and A. Rubio, "memFET: a new multi-purpose resistive switching device", (Oral) 2012 Workshop on Dielectrics and Microelectronics Conference, abstracts, (WoDiM 2012).

Presentación

Desde la fabricación del primer transistor MOSFET (Metal-Oxide-Semiconductor Field-Effect-Transistor) a principios de la década de los 60, la tecnología CMOS ha sufrido un fuertísimo desarrollo, lo que ha permitido seguir mejorando, año tras año, las prestaciones de los circuitos integrados (ICs) a base de incrementar la densidad de integración de los dispositivos. Eso ha sido posible gracias a la capacidad de escalado del transistor MOSFET, el cual ha ido sufriendo una progresiva reducción de sus dimensiones desde sus inicios. Este proceso de miniaturización se ha denominado escalado del transistor, y fue predicho ya en 1965 por Gordon E. Moore, quien afirmó que la densidad de integración de los ICs aumentaría un factor 2 cada 1.5 o 2 años durante las posteriores décadas. Y así ha sido. Incluso a día de hoy, el horizonte inmediato para la siguiente generación tecnológica sigue siendo la reducción de las dimensiones del transistor. Sin embargo, las dimensiones del transistor se han reducido tanto que se han encontrado limitaciones físicas que impiden continuar con el proceso de escalado del MOSFET, sin afectar gravemente a su rendimiento y fiabilidad. Esto ha hecho que se estén centrando muchos esfuerzos tanto en la introducción de nuevos materiales, como en nuevos diseños tales como los MOSFETs de doble puerta, los FinFETS, o incluso la invención de dispositivos con nuevas funcionalidades, llevando a la industria nanoelectrónica a un cambio de paradigma, en lo que ya se conoce como ‘Beyond CMOS’.

La reducción de las dimensiones del transistor MOSFET ha traído consigo numerosos problemas, que se han ido resolviendo, a lo largo de su historia, para poder continuar con el proceso de escalado, y así seguir incrementando la densidad de integración de los dispositivos para aumentar las prestaciones de los ICs. Actualmente, uno de los puntos más críticos en el diseño y fabricación de los transistores MOSFET reside en el dieléctrico de puerta, tradicionalmente formada por una capa de óxido de SiO_2 , el grosor de la cual se ha visto muy reducido. Esto ha conllevado graves problemas de fiabilidad y un aumento considerable del consumo. Uno de los problemas de fiabilidad de la capa dieléctrica más estudiados es la ruptura dieléctrica, que consiste en la pérdida de las propiedades aislantes del óxido que forma el dieléctrico de puerta de la estructura MOS. Este mecanismo de fallo ha sido considerado históricamente como un fallo irreparable del transistor que destruye su funcionamiento. Con la reducción de dimensiones muchos de los problemas de fiabilidad, como la ruptura dieléctrica, siguen siendo relevantes.

Por otro lado, el nivel de consumo causado por la corriente de fugas por efecto túnel a través del dieléctrico ha alcanzado cotas intolerables, debido a la fuerte reducción de su grosor. Para solucionar el problema del consumo, a mediados de esta última década se optó por reemplazar la tradicional capa de SiO₂ por materiales con una alta permitividad dieléctrica (high-k), como el óxido de Hafnio. Estos materiales permiten implementar estructuras capacitivas con las mismas prestaciones que con el SiO₂ pero con grosores mayores, lo que ha solucionado en gran medida los problemas de consumo. Sin embargo, con la introducción de estos materiales muchos de los problemas de fiabilidad persisten, y deben continuar siendo objeto de estudio. Así, el estudio de la ruptura dieléctrica en dispositivos MOSFET con dieléctrico ultra delgado basado en materiales high-k sigue siendo necesario, tanto para estudiar como se produce la ruptura y que efectos tiene en estos nuevos materiales, como para seguir aumentando el propio conocimiento del fenómeno de ruptura dieléctrica.

Para analizar la ruptura dieléctrica en transistores MOSFET con dieléctrico de puerta high-k, y obtener datos de fiabilidad útiles para estudiar el tiempo de vida de estos dispositivos, también deben tenerse en cuenta las condiciones en las que se produce la ruptura dieléctrica dentro de los ICs, y no estudiarlo simplemente como un fenómeno que se da en un dispositivo aislado. En este sentido algunos trabajos realizados años atrás con SiO₂, o algunos recientes con materiales high-k, muestran que bajo ciertas condiciones la ruptura dieléctrica puede ser un fenómeno reversible, pudiéndose recuperar parte del daño causado en el dieléctrico. Esta tesis se centra en el estudio de la reversibilidad de la ruptura dieléctrica en dispositivos MOS con dieléctrico de puerta ultra delgado basado en material high-k, en este caso HfSiON. Para ello se ha caracterizado el fenómeno de reversibilidad de la ruptura, se ha estudiado el impacto en la fiabilidad del dispositivo, y además, se ha analizado el impacto que puede tener sobre la funcionalidad de algunos circuitos mediante herramientas de simulación.

En el primer capítulo se describe el funcionamiento de la capacidad MOS y del transistor MOSFET, explicando brevemente la historia de estos dispositivos y el proceso de escalado al que se han visto sometidos a lo largo de estos últimos años. También se presenta el estado del arte de los transistores MOSFET, así como de los mecanismos de degradación que afectan al dieléctrico de puerta, entre ellos, la ruptura dieléctrica. Además, se explican las técnicas de estrés y caracterización utilizadas para la realización de este trabajo, así como el procedimiento de análisis de datos que se ha implementado mediante las diferentes herramientas de programación. Finalmente, se presenta el efecto Resistive Switching (RS) observado en estructuras MIM (Metal-Insulator-Metal) y MIS (Metal-Insulator-Semiconductor), el cual presenta similitudes con el fenómeno de reversibilidad de la ruptura dieléctrica, y que ha adquirido una gran relevancia en los últimos años por su aplicación en la implementación de memorias ReRAM.

En el capítulo dos, se presentan el fenómeno de reversibilidad de la ruptura observado en capacidades MOS, y se analizan algunos aspectos como la dependencia del fenómeno con el límite de corriente aplicado, o el efecto de la polaridad de la tensión de estrés, y las condiciones necesarias para observarlo. Además, se comparan los fenómenos de reversibilidad de la ruptura y de Resistive Switching, analizando las fuertes similitudes que se observan entre ambos fenómenos.

En el tercer capítulo se presenta la reversibilidad de la ruptura observada en transistores MOSFET con dieléctrico de puerta high-k ultra delgado. Para estudiar el fenómeno de reversibilidad de la ruptura, se analizan diferentes parámetros de interés como las tensiones de ruptura y reversibilidad, o la conductividad del dieléctrico. Además, se presenta la carga inyectada hasta la recuperación como parámetro para caracterizar el proceso de reversibilidad. En este capítulo también se analiza el impacto de la ruptura y la reversibilidad sobre el funcionamiento del dispositivo, mediante el estudio de las características del transistor y parámetros como la corriente

canal o la tensión umbral. Esto se ha realizado tanto para transistores MOSFET tipo N como tipo P, lo que ha permitido analizar los efectos sobre la funcionalidad del dispositivo en ambos casos y realizar un estudio comparado. Finalmente se ha evaluado el impacto de la ruptura y la reversibilidad sobre la funcionalidad de los circuitos a través del estudio de circuitos simples como puertas lógicas o el oscilador en anillo, mediante el uso de herramientas de simulación a nivel de circuito.

En el capítulo cuatro se presenta un nuevo concepto de dispositivo al que hemos denominado memFET, basado en el fenómeno RS. Para ello se explicarán sus diversas funcionalidades, haciendo hincapié en las ventajas que presenta respecto a las tradicionales estructuras MIM y MIS para el desarrollo de memorias no volátiles. También se presentarán los estudios realizados hasta el momento para su uso en la implementación de arquitecturas de computación reconfigurable.

1. Introducción.

Desde la fabricación del primer transistor de efecto de campo, MOSFET (Metal-Oxide-Semiconductor Field-Effect-Transistor), la industria electrónica ha sufrido un fuertísimo desarrollo, persiguiendo siempre mayores y mejores prestaciones a base de incrementar la densidad de integración de los dispositivos dentro de los circuitos integrados (ICs). Esto ha sido posible gracias al constante proceso de miniaturización de estos dispositivos, predicho ya en 1965 por Gordon E. Moore, quien anticipó que la densidad de integración crecería un factor 2 cada 2 o 3 años [1], en la que se ha denominado ‘Ley de Moore’. Sin embargo, la severa reducción a la que se han visto sometidas las dimensiones de los MOSFET debido al esfuerzo realizado en la última década para cumplir la Ley de Moore, ha conllevado una gran cantidad de problemas relacionados con la fiabilidad de estos dispositivos. Esto es debido a que al reducirse el grosor del dieléctrico de puerta, tradicionalmente SiO_2 , aparecen corrientes de fugas que hacen inviable su utilización como aislante [2]. Para solventar o mitigar parte de estos problemas, se han introducido nuevos materiales con una alta permitividad dieléctrica, llamados materiales high-k. Además, en los dispositivos tienen lugar mecanismos de fallo, cuyas características van cambiando según las dimensiones de los dispositivos se han ido escalando. Uno de los mecanismos de fallo más relevantes es la ruptura dieléctrica, que consiste en la pérdida de las propiedades aislantes del óxido de puerta, y que es necesario estudiar con detalle en los nuevos materiales high-k.

En este primer capítulo introductorio de la tesis se explican todos estos conceptos para contextualizar el estudio realizado sobre la reversibilidad de la ruptura dieléctrica en dispositivos MOS con dieléctrico high-k. En primer lugar se presentan la capacidad MOS y el transistor MOSFET, debido a que son los dispositivos utilizados en esta tesis. A continuación se explican las consecuencias o problemas que ha traído consigo el escalado en dimensiones, como pueden ser los efectos de canal corto causados por el escalado horizontal, o la corriente de fugas causada por la fuerte reducción del grosor del dieléctrico de puerta debido al escalado vertical. En este sentido se introducen las características más relevantes de los dieléctricos basados en materiales high-k, como solución actual a los problemas del escalado vertical del dieléctrico, y que son los utilizados en esta tesis. Por otro lado, se describirá el mecanismo de fallo de la ruptura dieléctrica y los antecedentes existentes con anterioridad sobre la reversibilidad de la ruptura. También se introduce el fenómeno de Resistive Switching (RS) generalmente utilizado en estructuras

capacitivas MIM (Metal-Insulator-Metal) y MIS (Metal-Insulator-Semiconductor) para la implementación de memorias ReRAM, debido a las similitudes entre el efecto RS y la reversibilidad de la ruptura dieléctrica. Finalmente, se explican los procedimientos experimentales utilizados para la realización de las medidas durante esta tesis, y los métodos de análisis de datos implementados para el estudio de los datos obtenidos en las medidas.

1.1. Dispositivos MOS.

En este apartado se resume el funcionamiento del transistor MOSFET, explicando previamente la capacidad MOS, que es la estructura en la que se basa. También se introducen los principales problemas derivados del escalado del transistor, como los efectos de canal corto, haciendo hincapié en los relacionados con la reducción del grosor del dieléctrico de puerta, como la corriente de fugas por efecto túnel. Finalmente se presentarán los materiales high-k, utilizados para solventar parte de los problemas derivados del escalado, y que juegan un papel muy importante en las cotas de miniaturización alcanzadas hoy día.

1.1.1. Capacidad MOS.

La capacidad MOS es una estructura de dos terminales compuesta por dos electrodos con una capa de material aislante entre ellos. Uno de los electrodos es llamado terminal de puerta (Gate, G), y puede ser de metal o polisilicio muy dopado. El otro electrodo constituye el terminal de sustrato (Bulk, B), y está formado de material semiconductor, generalmente silicio (Si), el cual se dopa con impurezas que cambian las propiedades eléctricas del semiconductor. Estas impurezas pueden tener carga neta negativa, como el arsénico o el fósforo, dando lugar a un sustrato tipo N. O bien pueden tener carga neta positiva, como el boro o el galio, dando lugar a un sustrato tipo P. La capa dieléctrica situada entre ambos electrodos ha estado formada tradicionalmente por SiO_2 , y posteriormente fue mejorada con la introducción de nitrógeno (SiON) para mejorar las propiedades aislantes. Actualmente, se ha generalizado el uso de materiales con alta permitividad dieléctrica, los llamados materiales high-k, dado que parecen ofrecer una solución a los problemas derivados del escalado en dimensiones del dieléctrico de puerta de la generación tecnológica actual. La figura 1-1 muestra la estructura de una capacidad MOS tipo P.

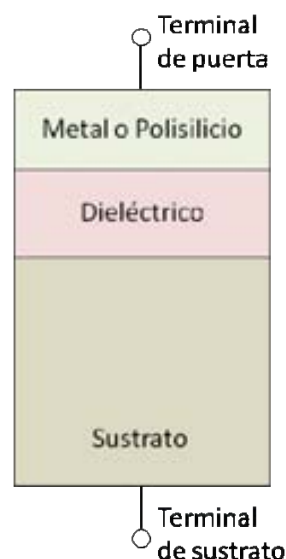


Figura 1-1: Estructura de la capacidad MOS tipo P, con los terminales de puerta (Gate, G) y sustrato (Bulk, B).

Cuando la estructura MOS está en reposo, es decir, que no se aplica ningún potencial, y por tanto, que no circula corriente, se dice que la estructura está en equilibrio [3]. Al aplicar una tensión entre los terminales de la capacidad, la estructura de bandas de la capacidad MOS se modifica, dando lugar a diferentes comportamientos eléctricos del semiconductor en la región cercana al óxido. La figura 1-2 muestra las concentraciones de carga en las interfaces metal-óxido y óxido-semiconductor para las diferentes situaciones que se pueden dar, resumiendo los tres regímenes de funcionamiento de la capacidad MOS. En este caso para una capacidad MOS con sustrato tipo P. Cuando se aplica una tensión negativa entre puerta sustrato, parte de este potencial cae en el óxido, creando un campo eléctrico en la estructura MOS capaz de atraer huecos del semiconductor hacia el dieléctrico. Si se considera el dieléctrico como un aislante perfecto, esto provoca una acumulación de portadores mayoritarios en la interfaz óxido-semiconductor (1-2a). Se dice que la capacidad MOS se encuentra en **régimen de acumulación** de portadores mayoritarios.

Sin embargo, cuando se aplica una tensión positiva sucede el efecto contrario. El campo eléctrico resultante hace que los electrones sean atraídos hacia la interfaz óxido-semiconductor, recombinándose con los huecos en la región del semiconductor cercana al óxido. Esto forma una zona de depleción en la interfaz óxido-semiconductor con carga neta nula (1-2b). Se dice que la capacidad MOS se encuentra en **régimen de depleción**.

Si la tensión entre puerta y sustrato es positiva y suficientemente elevada, la caída de potencial en el óxido se hace más grande, y por tanto el campo eléctrico en la estructura es mayor. Esto provoca que un mayor número de electrones sean atraídos hacia la interfaz óxido-semiconductor, que no encuentran huecos para recombinarse. Esta acumulación de electrones provoca una inversión de portadores en la región del semiconductor cerca del óxido (1-2c). En esta situación, se dice que la capacidad MOS se encuentra en **régimen de inversión** de portadores. Es decir, que a pesar de que el sustrato esté dopado con carga positiva, en este régimen de operación la carga libre total en la interfaz óxido-semiconductor es negativa. La tensión para la cual se alcanza esta situación se denomina tensión umbral (V_{th}).

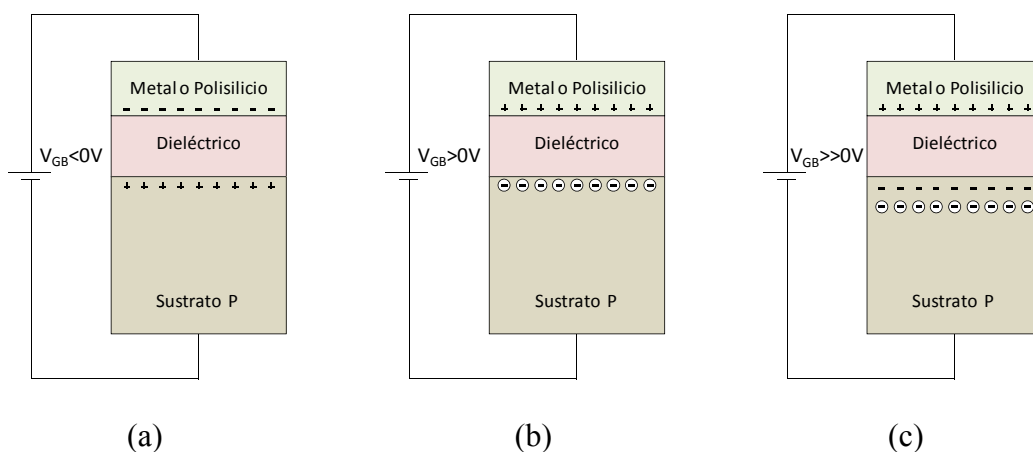


Figura 1-2: Concentraciones de carga en las interfaces del dieléctrica para las diferentes situaciones de trabajo de la capacidad MOS tipo P. (a) en régimen de acumulación de portadores mayoritarios, (b) en régimen de depleción de portadores, y (c) en régimen de inversión de portadores.

La teoría expuesta en este apartado para la capacidad MOS con sustrato tipo P, también es válida para capacidades MOS tipo N (con algunas consideraciones), pero cambiando los signos de las cargas y de las tensiones aplicadas a la estructura. El funcionamiento de la estructura capacitiva

MOS es la base del funcionamiento del transistor MOSFET, que se describe en la sección que viene a continuación.

1.1.2. Transistor MOSFET.

El transistor MOSFET (Metal Oxide Semiconductor Field-Effect Transistor) es uno de los dispositivos más utilizados en el ámbito de la electrónica por sus características de funcionamiento, consumo y capacidad de miniaturización [3, 4]. Este dispositivo está basado en la estructura capacitiva MOS presentada en el apartado anterior, a la cual se añaden dos regiones altamente dopadas con carga opuesta a la del sustrato en los extremos de la estructura MOS. Los terminales conectados a estas regiones se denominan drenador (Drain, D) y fuente (Source, S), que se suman a los otros dos terminales, puerta (Gate) y sustrato (Bulk). La región del sustrato situada justo debajo del óxido y que separa los terminales de drenador y fuente se denomina canal. El funcionamiento del transistor MOSFET se basa en el flujo de corriente entre los terminales drenador y fuente mediante la formación de una capa de carga opuesta a la del sustrato en la región del canal, controlada por la estructura MOS. La figura 1-3 muestra la sección de la estructura de un transistor MOSFET con sustrato tipo P, que se utilizará para explicar el funcionamiento de transistor.

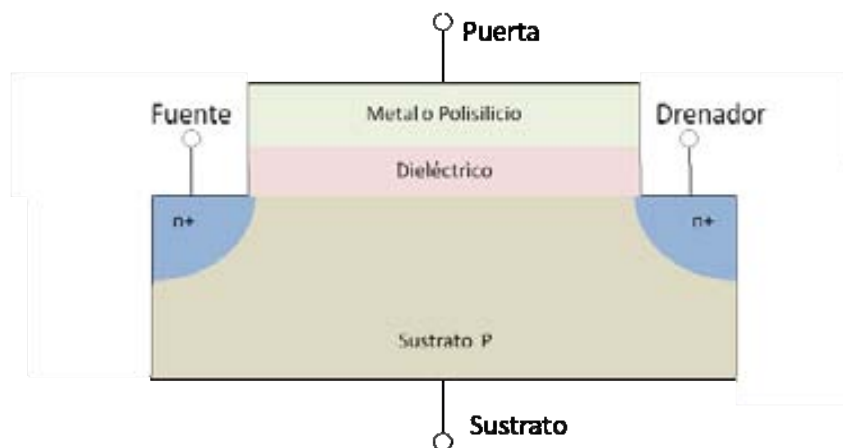


Figura 1-3: Esquema del diseño de un transistor MOSFET con sustrato tipo P.

- Cuando la tensión de puerta es pequeña el número de portadores en la región del canal será pequeña, y la corriente entre drenador y fuente (I_D) será muy baja. Se dice entonces que el transistor está en corte (Ecuación 1-1).

$$I_D = 0V$$

Ecuación 1-1

- En cambio, si la tensión de puerta es suficientemente elevada, se crea una capa de inversión de portadores en el canal. En el ejemplo de la figura 1-3 (transistor con sustrato tipo P), al aplicar una tensión positiva, las zonas de carga negativa del drenador y fuente quedan unidas eléctricamente por el canal a través de la capa de inversión de portadores minoritarios que en él se forma, permitiendo el flujo de corriente entre los dos terminales cuando se aplica una tensión entre

ellos (V_{DS}). En esta situación se dice que el canal del transistor está formado. Si, como en el caso de la figura 1-3, la capa de inversión que se forma en el canal está compuesta mayoritariamente por electrones (n, carga neta negativa), igual que las regiones de drenador y fuente, se dice que el transistor MOSFET es de tipo N (nMOSFET). Mientras que si la capa de inversión del canal, y las regiones de drenador y fuente están formadas mayoritariamente por huecos (p, carga neta positiva), el transistor es de tipo P (pMOSFET). La tensión de puerta para la que se crea la capa de inversión, y a partir de la cual empieza a ser posible un flujo de corriente entre drenador y fuente, se la denomina **tensión umbral** (V_{th}), y es uno de los parámetros característicos del transistor. En estas condiciones, la corriente I_D presenta una dependencia lineal con la tensión aplicada entre drenador y fuente (V_{DS}) (Ecuación 1-2). Se dice que el transistor opera en la **zona óhmica o lineal**.

$$I_D = \frac{\mu W C_{ox}}{L} \cdot \left((V_{GS} - V_{th}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right) \quad \text{si } V_{DS} < (V_{GS} - V_{th}) \quad \text{Ecuación 1-2}$$

- Si formado el canal ($V_{GS} \geq V_{th}$) la tensión entre fuente y drenador sigue aumentando, llega un punto ($V_{DS} \geq V_{GS} - V_{th}$) en que la tensión entre drenador y puerta se reduce, provocando el estrangulamiento del canal (pinch-off) en la zona próxima al drenador (Figura 1-4c). En esta situación, la corriente de drenador se satura, dejando de aumentar por mucho que se aumente la tensión aplicada en la puerta. Se dice que el transistor trabaja en la **zona de saturación**, y la expresión para la corriente de canal viene dada por la ecuación 1-3.

$$I_D = \frac{\mu W C_{ox}}{2L} \cdot (V_{GS} - V_{th})^2 \quad \text{si } V_{DS} \geq (V_{GS} - V_{th}) \quad \text{Ecuación 1-3}$$

La figura 1-4 ilustra las tres zonas de trabajo en las que puede operar el transistor MOSFET, y que dependen de las tensiones aplicadas entre drenador y fuente, V_{DS} , y entre puerta y sustrato (V_{GB}), tal y como expresan las condiciones anteriores.

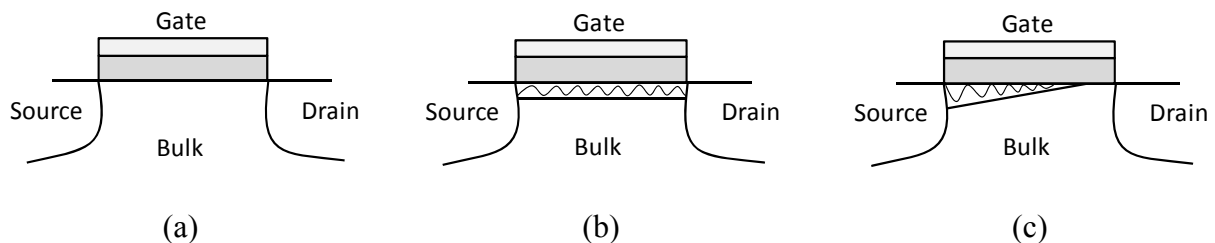


Figura 1-4: Sección transversal del transistor MOSFET (a) Cuando $V_{GS} < V_{th}$ no se forma canal, el transistor se encuentra en corte, (b) Cuando $V_{GS} \geq V_{th}$ se crea el canal de inversión de portadores entre drenador y fuente, el transistor opera en la zona lineal, y (c) Cuando $V_{DS} \geq V_{GS} - V_{th}$ se crea la zona de pinch-off, el transistor trabaja en la zona de saturación.

La figura 1-5 muestra la característica de la corriente de drenador, I_D , en función de la tensión aplicada entre drenador y fuente, V_{DS} , en un transistor MOSFET tipo P, para diferentes tensiones de puerta V_{GS} . Puede observarse que cuanto más tensión se aplica entre puerta y sustrato, mayor es

la corriente registrada en el drenador. Esto es debido a que se crea más capa de inversión, y por tanto un mayor número de portadores minoritarios son atraídos hacia el canal. Para tensiones V_{DS} bajas el canal se forma de manera homogénea entre drenador y fuente, siendo la corriente obtenida linealmente dependiente de la tensión aplicada al drenador (zona óhmica). Si V_{DS} aumenta llega un punto en que se alcanza la condición de saturación, el canal se estrecha cerca del drenador, y la corriente I_D se vuelve independiente de la tensión V_{DS} , llegando a saturarse (zona saturación).

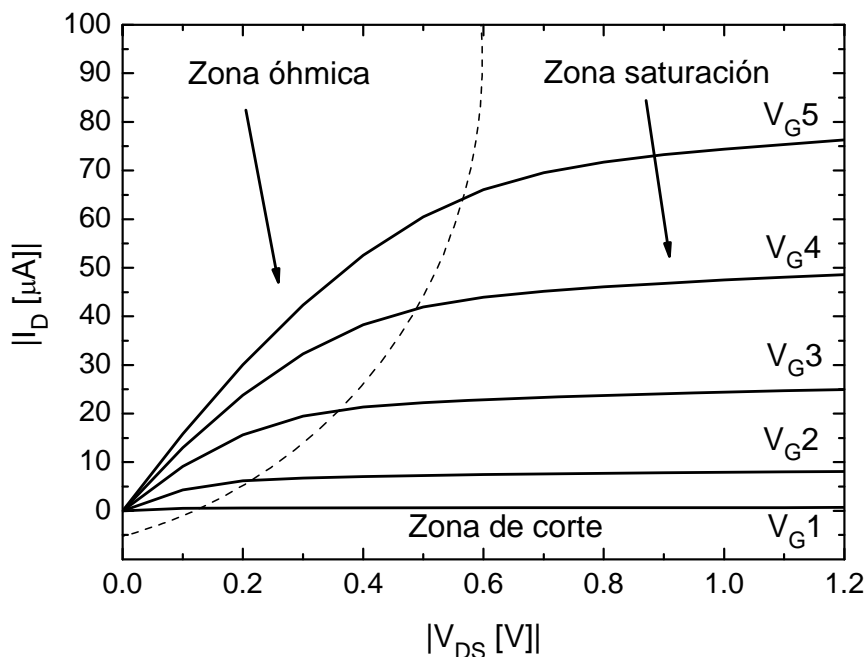


Figura 1-5: Característica I_D - V_{DS} de un transistor pMOSFET para diferentes V_{GS} , con dimensiones $W=1\mu\text{m}$ y $L=0.5\mu\text{m}$. La diferencia entre las regiones óhmica y saturación quedan definidas por la dependencia de I_D con V_{DS} .

Debido al fuerte desarrollo y escalado de estos dispositivos, a lo largo de su historia han ido apareciendo nuevos problemas que afectan al funcionamiento del transistor. El siguiente apartado presenta brevemente los objetivos perseguidos con la miniaturización, y los problemas e inconvenientes que de ello se han derivado.

1.1.3. Escalado del Transistor.

Con el objetivo de alcanzar más y mejores prestaciones, la industria microelectrónica ha protagonizado un espectacular desarrollo gracias, entre otros factores, a la capacidad de escalado del transistor MOSFET. La reducción de las dimensiones ha permitido una mayor compactación de los transistores dentro de los chips, incrementando el número de dispositivos por área, y reduciendo los tiempos de propagación de las señales dentro del propio chip. Sin embargo, para el correcto escalado de estos dispositivos se requiere de una estrategia definida que permita establecer un criterio que anticipe y minimice los posibles problemas causados por el escalado, y así poder trazar una línea de desarrollo a largo plazo. Por ejemplo, a mediados de la década de los 70 se previeron los problemas causados por los llamados efectos de canal corto, que tienen su origen en la reducción de las dimensiones horizontales del dispositivo, y que limitaría en un futuro el escalado del transistor. Ya entonces se propuso como estrategia para solucionar este problema el escalado a campo constante [5]. Esta estrategia consiste en mantener el campo eléctrico constante en la estructura, es decir, reduciendo las dimensiones verticales y horizontales, y las tensiones de

alimentación un factor $k > 1$, mientras que el dopaje se aumenta, también un factor k . De esta manera, el campo eléctrico en la estructura no se ve afectado al reducir las dimensiones, minimizando los efectos de canal corto. Sin embargo, la poca escalabilidad de la tensión umbral, que depende de parámetros relacionados con los materiales de la tecnología de fabricación, ha provocado que el campo eléctrico en el transistor haya ido aumentando progresivamente de forma inevitable. Este hecho obligó a mediados de los 80 a redefinir las reglas del escalado para la tecnología CMOS, dando lugar a la estrategia de escalado generalizado [6]. Esta estrategia de escalado propone que al escalar las dimensiones verticales y horizontales del transistor un factor k , se permite que la intensidad de campo eléctrico aumente en un factor $\alpha > 1$. Así, la distribución de potencial en la estructura se ve menos afectada, manteniendo el control sobre los efectos de canal corto, que luego veremos. Estrictamente, si se escalan las dimensiones del dispositivo el mismo factor que se aumenta la intensidad de campo eléctrico en la estructura ($k = \alpha$, escalado a tensión constante), los efectos de canal corto no aumentan al reducir las dimensiones del transistor. Sin embargo, si se realiza el escalado cumpliendo esta condición, $k = \alpha$, se produce un aumento excesivo del campo eléctrico en la estructura, por lo que en la práctica se ha seguido una estrategia intermedia entre el escalado a campo constante y el escalado a tensión constante, es decir, $1 < \alpha < k$.

Algunos problemas derivados de la reducción de las dimensiones afectan no solo al funcionamiento de los dispositivos, sino también al consumo o a la fiabilidad de estos. Estos problemas se han tenido que afrontar y tratar de resolver para continuar con el escalado de las dimensiones del transistor. Algunos de estos problemas se presentan en los apartados que vienen a continuación.

1.1.3.1. Escalado horizontal: efectos de canal corto.

Una de las consecuencias más importantes que ha traído consigo el escalado horizontal de los dispositivos es el llamado efecto de canal corto, que consiste en la modulación de la longitud del canal cuando la longitud física de éste es inferior o del orden de los 150nm. Este efecto da lugar a que la característica I_D - V_{DS} del transistor presente una pendiente positiva en la zona de saturación (figura 1-6). Este estrangulamiento del canal se produce debido a que la tensión V_{DS} aumenta, provocando que el punto de pinch-off se desplace hacia la fuente, reduciendo la distancia entre el punto de pinch-off y la fuente, también denominada longitud efectiva del canal (L_{eff}). En dichas condiciones, la expresión 1-3 se debe modificar teniendo en cuenta el efecto de la modulación del canal tal y como muestra la expresión 1-4.

$$I_D = \frac{\mu W C_{ox}}{2L} \cdot (V_{GS} - V_{th})^2 \cdot (1 + \lambda V_{DS}) \quad \text{Ecuación 1-4}$$

Donde λ es la conductancia de salida del transistor cuando éste se encuentra en saturación.

Como se observa en la ecuación 1-4, la nueva expresión para la corriente I_D en saturación incluye un nuevo término, que vuelve a hacerla dependiente de la tensión V_{DS} aplicada en el drenador, por lo que no llega a saturarse. La figura 1-6 muestra la característica I_D - V_{DS} para un transistor de canal corto con dimensiones $W=1\mu\text{m}$ y $L=110\text{nm}$, en la que se evidencia el efecto de la modulación del canal.

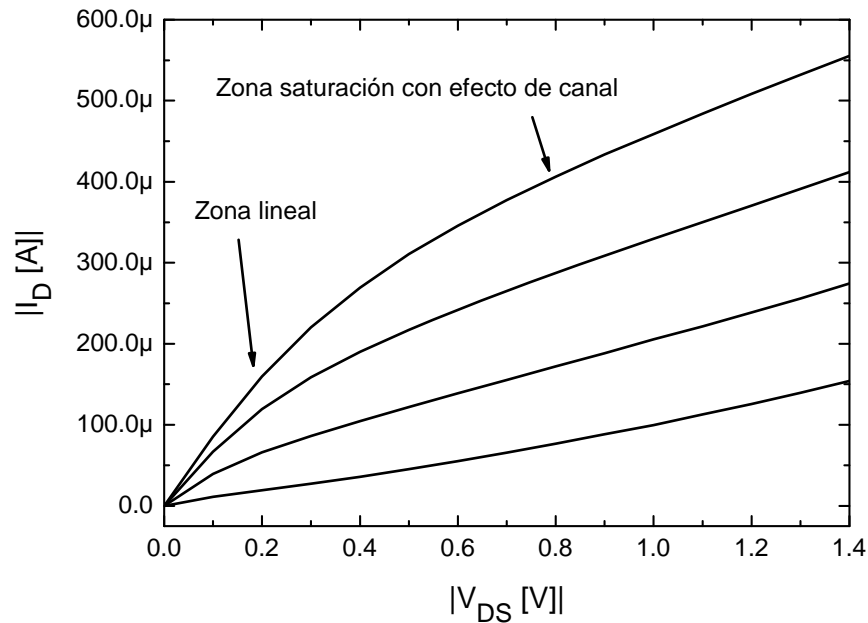


Figura 1-6: Característica I_D - V_{DS} de un transistor de canal corto ($W=1\mu\text{m}$ y $L=110\text{nm}$) en el que se observa modulación de canal. La corriente I_D nunca llega a saturarse debido a la reducción de la longitud efectiva del canal al aumentar V_{DS} , que desplaza el punto de pinch-off hacia la fuente.

Para transistores de canal largo, la distribución de potencial a lo largo del canal es prácticamente constante e independiente de V_D . Sin embargo, en transistores de canal corto el potencial a lo largo del canal disminuye a medida que aumenta la tensión de drenador. Este fenómeno provoca la disminución de la tensión umbral, V_{th} , con la tensión de drenador, y es otro de los principales problemas de los transistores con canal corto, el cual se denomina Drain Induced Barrier Lowering (DIBL) [7].

1.1.3.2. Escalado vertical: corriente de pérdidas por efecto túnel.

Uno de los puntos críticos del escalado vertical del transistor es la reducción del grosor del dieléctrico, que tradicionalmente ha sido SiO_2 . Esto ha provocado un aumento significativo de la corriente de pérdidas a través del óxido, haciendo que el dieléctrico deje de comportarse como un aislante, lo que ha causado un aumento considerable del consumo de los dispositivos MOSFET, a la vez que reduce su fiabilidad.

Así, para espesores grandes de dieléctrico, la barrera de potencial del óxido es tan ancha que los electrones no pueden cruzarla, y por tanto la corriente de puerta I_G puede considerarse nula (Figura 1-7a). Sin embargo, con la reducción del espesor del óxido de puerta a unos pocos nanómetros, la barrera de potencial se vuelve tan estrecha que el campo eléctrico vertical al que está sometida la estructura MOS da suficiente energía a los portadores como para atravesar la barrera de potencial por efecto túnel, dando como resultado un flujo de corriente entre puerta y sustrato. En función del tipo de conducción túnel, encontramos diferentes mecanismos de conducción en el óxido. Si los electrones atraviesan una barrera de potencial triangular (Figura 1-7b), pasando de la banda de conducción del metal a la del óxido de puerta, se denomina conducción túnel Fowler-Nordheim [8]. Por otro lado, si la conducción por efecto túnel se produce atravesando una barrera trapezoidal, los electrones de la banda de conducción del metal pasan directamente a la banda de conducción del semiconductor que forma el sustrato. En este caso, la conducción túnel se produce por Túnel Directo [9].

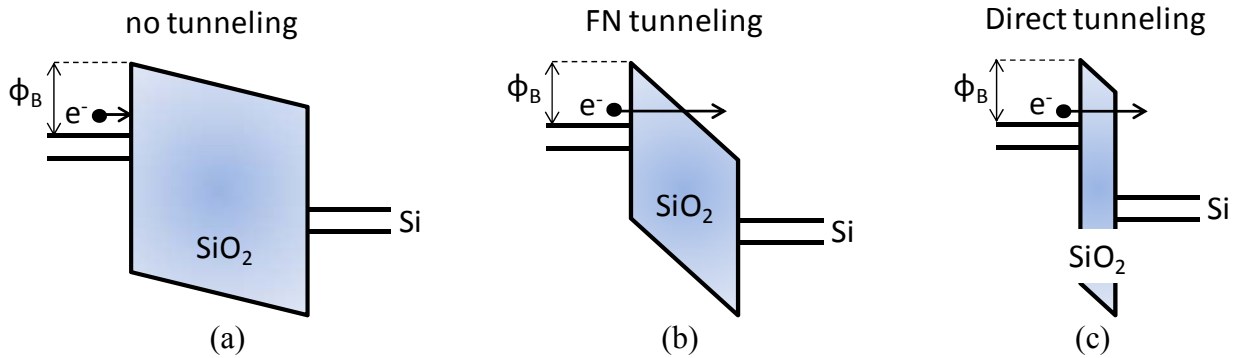


Figura 1-7: Diagramas de bandas del tipo de conducción por efecto túnel a través del óxido de puerta. (a) Para óxidos gruesos en los que la conducción túnel puede considerarse nula, (b) Conducción Fowler-Nordheim que se produce a través de una barrera de potencial triangular [8], y (c) Conducción por Túnel Directo a través de una barrera de potencial trapezoidal [9].

Cada mecanismo de conducción predomina en unas determinadas condiciones, que dependen del espesor del óxido y del campo eléctrico aplicado a la estructura MOS. Para campos eléctricos bajos y espesores pequeños predomina la conducción por Túnel Directo, mientras que para campos altos y espesores más grandes el mecanismo predominante es el túnel FN. La figura 1-8 muestra diferentes densidades de corriente en función de la tensión de puerta aplicada, medidas en diferentes muestras con distintos espesores de óxido de puerta [10]. Para óxidos basados en SiO₂, la región donde domina la conducción Túnel Directo se sitúa por debajo de los 4V con espesores de hasta 4nm, mientras que la conducción por túnel FN se observa para tensiones superiores a los 4V.

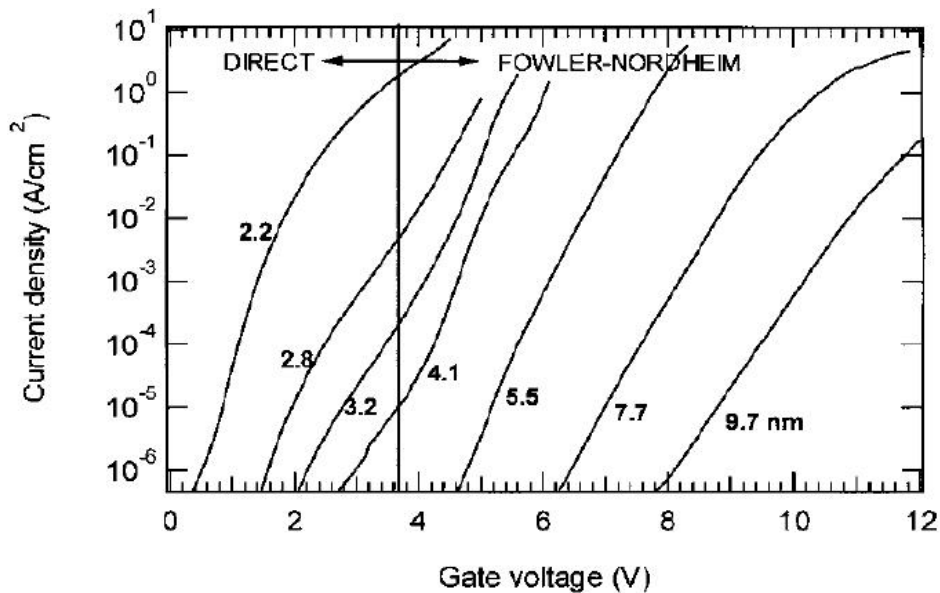


Figura 1-8: Densidad de corriente a través de óxidos (SiO₂) con diferentes espesores, en función de la tensión aplicada al terminal de puerta. Para espesores pequeños y tensiones bajas predomina la conducción por Túnel Directo, mientras que para espesores más grandes y tensiones altas predomina la conducción por túnel Fowler-Nordheim [10].

Debido al fuerte proceso de escalado de las dimensiones de los transistores, el dieléctrico SiO₂ tradicionalmente utilizado como óxido de puerta en la estructura MOS se ha visto muy reducido, llegando a grosores muy delgados. Esto ha causado un aumento considerable de la corriente de

fugas a través del óxido como se puede observar en la figura 1-8, lo que ha conllevado graves problemas en el funcionamiento, fiabilidad y consumo de los dispositivos. Para poder continuar con el escalado, la corriente de fugas a través del dieléctrico ha sido uno de los problemas a resolver, y para el que se han dedicado muchos esfuerzos. Para solventarlo se han propuesto diversas soluciones, desde introducir cambios en la geometría del transistor, como por ejemplo, los dispositivos multipuerta y los FinFETs [11], hasta nuevos métodos de fabricación, como los dispositivos SOI [12]. Sin embargo, una de soluciones más prometedoras (aunque no definitiva) es la introducción de nuevos materiales aislantes con una alta permitividad dieléctrica, los llamados materiales high-k. En el siguiente apartado se introducen brevemente las propiedades eléctricas de estos materiales y los conceptos básicos relacionados con los mismos.

1.1.4. Dieléctricos de alta permitividad dieléctrica: materiales high-k.

La introducción de materiales de alta permitividad dieléctrica (high-k) presenta una solución para las generaciones tecnológicas actuales a los problemas derivados del escalado del grosor del dieléctrico de puerta, aunque también ha traído algunos inconvenientes como posteriormente se comentarán. La principal ventaja de los materiales high-k es que permiten obtener la misma capacidad que con un dieléctrico basado en SiO₂, logrando crear el mismo efecto de campo para una misma tensión de puerta aplicada, pero con espesores mayores. Esto incrementa la barrera de potencial entre puerta y sustrato, reduciendo en gran medida la corriente de pérdidas a través del óxido, y consiguiendo un menor impacto del escalado sobre el consumo de potencia [13]. Una medida para comparar los dieléctricos high-k es el EOT (Equivalent Oxide Thickness), que se define como el grosor de SiO₂ necesario para obtener una capacidad equivalente a la del material high-k. Igualando las expresiones de la capacidad basada en SiO₂ y la basada en high-k obtenemos la ecuación 1-5, que relaciona la permitividad dieléctrica del SiO₂ y del high-k (k_{SiO_2} y k_{high-k} respectivamente), con el grosor de la capa de óxido de puerta del material high-k (t_{high-k}).

$$EOT = \frac{k_{SiO_2}}{k_{high-k}} t_{high-k} \quad \text{Ecuación 1-5}$$

Hace años que se investiga acerca de los materiales high-k más adecuados para su uso como aislante de puerta. Algunos de los mejores candidatos por los resultados experimentales obtenidos son el óxido de Hafnio (HfO₂), o el óxido de Circonio (ZrO₂) [14]. Hay que tener en cuenta que durante el proceso de fabricación, crece inevitablemente una capa de SiO₂ debido a la oxidación del Silicio. Para evitar esto, se hace crecer una capa de SiO₂ de forma controlada encima del sustrato, y depositando luego el high-k encima. Esta capa de óxido de silicio también debe tenerse en cuenta a la hora de medir las propiedades del dieléctrico mediante el EOT, ya que juntamente con la capa de material high-k forman el llamado *stack* dieléctrico. Por tanto, a la ecuación 1-5 debe añadirse un nuevo término que incluya el efecto de la capa de SiO₂ (Ecuación 1-6).

$$EOT = \frac{k_{SiO_2}}{k_{high-k}} t_{high-k} + t_{SiO_2} \quad \text{Ecuación 1-7}$$



Fig. 1-9: Sección de la estructura de un transistor MOSFET tipo N con dieléctrico de puerta formado por una capa de material high-k sobre una capa de óxido interfacial de SiO_2 . El grosor de stack dieléctrico resultante es mayor que para una misma capacidad implementada solo con SiO_2 .

Sin embargo, el uso de materiales high-k como dieléctrico de puerta también presenta ciertos inconvenientes. Uno de ellos es la inestabilidad de la tensión umbral del transistor, que se vuelve difícil de controlar debido a la mala interacción entre polisilicio y high-k [15], y por carga atrapada en la interfaz SiO_2 -high-k [16]. Pero sobretodo, el mayor inconveniente es la baja movilidad de los portadores en el canal [17]. Algunos de estos inconvenientes se minimizan utilizando puertas metálicas [18], o polisilicio muy dopado para que se comporte prácticamente como un metal. Además, la incorporación de Nitrógeno durante el crecimiento de las capas de material high-k ha ayudado a minimizar algunos de estos efectos, ya que aumenta la movilidad de los portadores minoritarios, e incrementa la constante dieléctrica del high-k reduciendo la corriente de pérdidas [19, 20, 21]. En sentido, se ha generalizado el uso del material high-k HfSiON , que será el utilizado en esta tesis.

Estudios recientes muestran que hay muchas cuestiones importantes a tratar sobre los mecanismos que degradan la fiabilidad de los materiales high-k cuando se utilizan como dieléctrico de puerta, y que consecuentemente empeoran la fiabilidad de los dispositivos [22]. Algunos mecanismos de degradación que tenían lugar en dieléctricos basados en SiO_2 , como la ruptura dieléctrica, también tienen lugar en dieléctricos basados en high-k. Además, otros que en el caso del SiO_2 no eran muy relevantes, como el PBTI, en dieléctricos high-k han mostrado tener un papel muy importante en la fiabilidad de los dispositivos. Es por ello, que es necesario realizar un estudio profundo de los diferentes mecanismos de fallo en los dieléctricos basados en materiales high-k. Para realizar estos estudios, la experiencia adquirida en el conocimiento de los mismos en SiO_2 resulta útil para analizarlos en dieléctricos high-k.

Entre los mecanismos de fallo más relevantes que afectan a los dieléctricos high-k se encuentran el Bias Temperature Instability (BTI), que consiste en el aumento de la tensión umbral del transistor, cuando se aplica una tensión en el terminal de puerta, y siendo sus efectos más evidentes a temperaturas elevadas [tesis Javi]. En función de la polaridad de la tensión aplicada en el terminal de puerta, se distingue entre NBTI (para tensiones de puerta negativas) y PBTI (para tensiones de puerta positivas) [23]. Otro de los mecanismos de fallo que afecta a los dispositivos con dieléctrico high-k, es la degradación por portadores calientes (Channel Hot Carriers, CHC). La degradación por CHC se produce como consecuencia de la corriente que circula por el canal del transistor. El campo eléctrico elevado en el canal hace subir de nivel energético a los portadores, acelerándolos. Los portadores acelerados (Hot-Carriers) generan pares electrón-hueco en las cercanías del drenador debido a colisiones a nivel atómico. Además, estos portadores pueden inyectarse en la interfaz del canal con el dieléctrico, degradándolo y causando un aumento

de la tensión umbral [24, 25]. Por otro lado, la corriente SILC (Stress-Induced Leakage Current) es otro de los mecanismos que se observa también en dispositivos con high-k, y consiste en la degradación del dieléctrico debido a una tensión aplicada a la puerta, causando el aumento de la corriente de pérdidas a través del óxido [26]. Otro mecanismo de fallo destacable es la ruptura dieléctrica (Dielectric Breakdown, BD), que consiste en la pérdida de las propiedades aislantes del dieléctrico [27]. En esta tesis nos centraremos en este último, analizando en concreto su reversibilidad. A continuación se explicará en que consiste la ruptura dieléctrica, la manera de caracterizarla, los modos de ruptura que se pueden observar, y las condiciones en que se produce en los ICs.

1.2. Ruptura Dieléctrica (BD).

La ruptura dieléctrica es uno de los mecanismos de fallo de los transistores MOSFET más extensamente estudiado, y que consiste en la pérdida de las propiedades aislantes del óxido de puerta como consecuencia de un proceso de degradación previo [28, 29, 30, 31, 32, 33]. En las últimas décadas, se han dedicado muchos esfuerzos en el estudio y la caracterización de este mecanismo de fallo. Todo este trabajo ha dado lugar a un amplio bagaje de conocimientos acerca del fenómeno de ruptura dieléctrica, tanto a nivel de dispositivo, como el impacto que tiene a nivel de circuito.

Para dar una visión general del fenómeno de la ruptura dieléctrica, en este apartado se realiza en primer lugar, una introducción de este fenómeno, explicando el proceso de degradación previo que lleva a la ruptura del óxido, y el modelo percolativo que lo describe y que es el más ampliamente aceptado. En segundo lugar, se presenta la caracterización del fenómeno de la ruptura dieléctrica, y los parámetros más significativos que la caracterizan. Finalmente, se explican las diferentes maneras o modos en los que puede manifestarse el fenómeno de ruptura, así como las condiciones de operación en las que se produce dentro de los ICs.

1.2.1. Degradación del óxido: Corriente SILC.

Como consecuencia de la reducción del grosor del dieléctrico de puerta, la corriente que lo atraviesa por efecto túnel al aplicar una tensión en el terminal de puerta ha pasado a ser no menospreciable. Para óxidos basados en SiO₂, se observó que cuando se aplica un campo eléctrico a un dieléctrico con poco grosor (3-10nm), la corriente túnel que lo atraviesa aumenta, degradando las propiedades aislantes del óxido [34]. A este fenómeno se le denomina Stress Induced Leakage Current (SILC), y pone de manifiesto que bajo el efecto de un campo eléctrico las propiedades aislantes del dieléctrico se degradan. La figura 1-10 muestra la densidad de corriente que atraviesa el óxido de una capacidad MOS en función de la tensión aplicada en los terminales para diferentes niveles de degradación inducidos [10]. Los símbolos blancos muestran la corriente túnel del dispositivo fresco, es decir, sin estresar, mientras que los símbolos negros corresponden a las características de la corriente túnel tras inducir diferentes grados de degradación en el dieléctrico. Como puede observarse en la figura 1-10, a campos bajos la corriente que atraviesa el óxido aumenta con el estrés aplicado. Sin embargo, para campos altos (>5,5V) la corriente SILC queda enmascarada por la corriente Fowler-Nordheim.

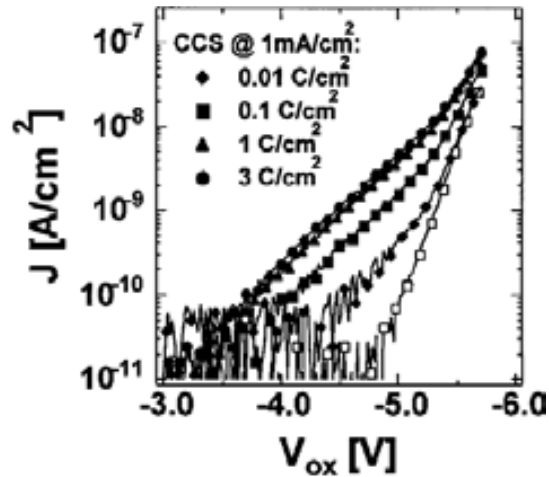


Figura 1-10: Densidad de corriente a través de un dieléctrico basado en SiO₂ en función de la tensión aplicada, para un dispositivo sin estresar (símbolos abiertos), y para diferentes niveles de degradación. Tras cada estrés, a campos bajos la corriente aumenta, mientras que a campos altos la corriente túnel Fowler-Nordheim enmascara la SILC [10].

La corriente SILC ha sido objeto de numerosos estudios dada la información que aporta sobre los mecanismos de degradación del dieléctrico, y como se ha dicho anteriormente por el elevado consumo que conlleva y las implicaciones directas que tiene sobre la fiabilidad de los dispositivos [26, 34, 35]. El aumento de la corriente debido a la SILC está asociado a la aparición de trampas o defectos en el interior y la interfaz del dieléctrico, debido al estrés eléctrico al que se somete el dispositivo [36]. La aparición de estas trampas asiste la conducción túnel, aumentando la conductividad del óxido a medida que se crean nuevas. Por tanto, la conducción por túnel asistido por trampas (TAT, Trap Assisted Tunnel [37, 38, 39]) es un fenómeno que se da de forma uniforme en todo el óxido, y en consecuencia depende del área del dieléctrico.

En la figura 1-11 se representan la conducción por efecto túnel (a) cuando el dieléctrico está libre de trampas (dispositivo fresco), donde la conducción se produce por el paso de electrones directamente de ánodo a cátodo por efecto túnel; y (b) cuando se somete al óxido a un estrés, entonces empiezan a generarse trampas dentro del volumen del dieléctrico. En este caso la conducción puede darse, o bien directamente de un terminal a otro por efecto túnel, o bien por efecto túnel asistido por las trampas [40]. Como la barrera de potencial entre los terminales de un óxido libre de cargas es mayor que la que hay entre un terminal y una carga, la probabilidad de que un electrón pase por efecto túnel a través de una carga será mayor, y consecuentemente la corriente total que atraviesa el óxido aumentará a medida que se vayan generando más trampas.

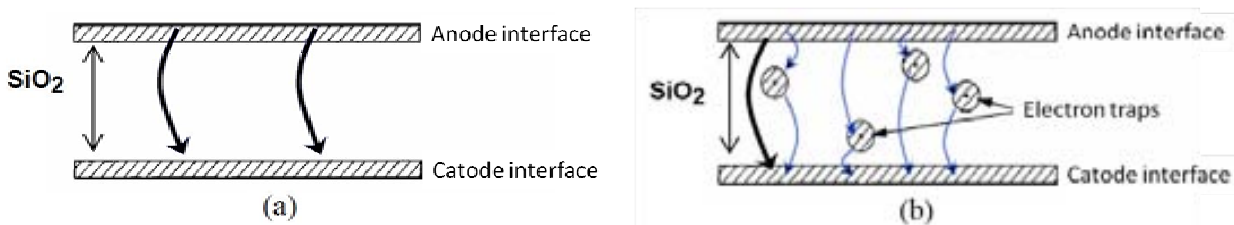


Figura 1-11: Representación del paso de corriente a través del óxido por efecto túnel (a) en un óxido sin trampas, y (b) en un óxido con trampas generadas en su interior mediante un estrés eléctrico [40].

Cuando el nivel de degradación del óxido alcanza una cota crítica, se produce la ruptura dieléctrica. Tras la ruptura, las propiedades aislantes del dieléctrico se pierden. Así, el mecanismo de conducción del óxido ya no se produce por efecto túnel asistido por trampas debido a un campo

eléctrico aplicado, sino que es el mecanismo de ruptura quien gobierna la conducción. En el siguiente apartado se explica el modelo percolativo que describe estadísticamente el mecanismo de ruptura dieléctrica y el proceso de degradación previo que sufre el dieléctrico al someterlo a un estrés eléctrico.

Con la introducción de los materiales high-k como dieléctrico de puerta, y para los grosores con que se implementan actualmente, la degradación por corriente SILC ha persistido como mecanismo de degradación de los dispositivos [41, 42]. Además, algunos trabajos muestran que el atrapamiento de carga o generación de trampas en la interfaz del high-k también tiene efectos sobre la corriente de canal, indicando que los problemas causados por la corriente SILC no se limitan a la degradación del dieléctrico o la ruptura dieléctrica [43].

1.2.2. Modelo Percolativo.

Tras la ruptura dieléctrica, la conducción a través del óxido es local y se produce por una zona del óxido mucho más pequeña que el área del dieléctrico, llamada camino conductor o *camino conductor* de ruptura [40]. Esto contrasta con la conducción por efecto túnel previa a la ruptura, que es un fenómeno que se da de forma uniforme en todo el área óxido. Por esta razón, se puede decir que los mecanismos de conducción de la ruptura dieléctrica y de la corriente SILC son de naturaleza diferente [10]. En este sentido, cuando se piensa en un modelo que describa la ruptura dieléctrica y el proceso de degradación que lleva a ella, es indispensable tener en cuenta este hecho característico de este mecanismo de fallo [27].

Se han desarrollado diferentes modelos que tratan de describir el fenómeno de la ruptura dieléctrica, de los cuales el más aceptado es el modelo percolativo [26]. Este modelo asume que cuando se aplica un estrés eléctrico al dieléctrico, se van generando trampas en el óxido de forma aleatoria, que asisten la conducción túnel (SILC). Cuanto más estrés se aplica, o más rato se mantiene la tensión aplicada, más trampas se generan, y más degradación se provoca en el óxido, lo que hace aumentar la corriente SILC. Sin embargo, cuando el nivel de trampas o defectos generados es muy grande, da lugar a la formación de un camino conductor de trampas que atraviesa el óxido que produce un incremento la conductividad en una región específica del óxido. Cuando esto sucede se dice que se ha producido la ruptura dieléctrica y que el dispositivo está roto. La figura 1-12 ejemplifica esta situación dentro del óxido donde la línea azul representa el camino conductor que se crea al generarse un número elevado de trampas. La acumulación de una alta densidad de trampas en una zona localizada asiste de forma masiva la conducción a través del óxido, provocando un incremento brusco de la corriente que atraviesa el óxido.

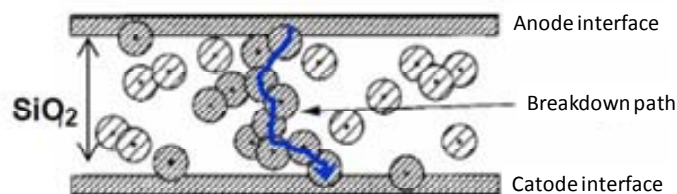


Figura 1-12: Representación del modelo percolativo. Bajo condiciones de estrés eléctrico, se van formando trampas en el óxido, que al entrar en contacto crean un camino conductor entre ellas. La ruptura es produce cuando se crea un camino conductor que conecta los extremos del dieléctrico [40].

El modelo percolativo es capaz de explicar la naturaleza local del fenómeno de ruptura dieléctrica (camino conductor), y que el proceso de degradación que lleva a la ruptura es un fenómeno que

depende del área del óxido (generación de trampas de forma aleatoria en el volumen del óxido). Por tanto es capaz de explicar dos mecanismos que tienen lugar en el óxido, que son de naturaleza diferente, y que uno es consecuencia del otro. Además es capaz de recoger dos observaciones experimentales muy importantes acerca de la ruptura dieléctrica. La primera es que según se reduce el espesor del óxido, la densidad de trampas necesarias para alcanzar la ruptura dieléctrica también se hace menor [44, 45]. La segunda es que la dispersión de los tiempos de ruptura, t_{BD} (time-to-breakdown), que es el tiempo transcurrido desde el comienzo del estrés hasta que se produce la ruptura, aumenta cuanto más delgado es el óxido [40, 46]. Estas dos observaciones deberán ser contempladas por el modelo, lo que significa que la generación de trampas del modelo deberá seguir la misma distribución estadística que los datos experimentales registrados. Los datos experimentales sobre t_{BD} siguen una distribución de Weibull, que es una distribución estadística de probabilidad, donde su función acumulada de fallos tiene la siguiente expresión.

$$F(t) = 1 - \exp\left[-\left(\frac{t}{\eta}\right)^\beta\right] \quad \text{Ecuación 1-8}$$

Donde t es el tiempo transcurrido hasta la ruptura, β es el parámetro de forma que coincide con la pendiente de la distribución de weibull, y η el factor de escala de la distribución.

La figura 1-13 muestra el Plot de Gumbel de las distribuciones estadísticas de los tiempos de ruptura para transistores nMOSFET, con área $4\mu\text{m}^2$ [47]. Cuando la distribución estadística es una recta al representarla en el Plot de Gumbel, se corresponde con una distribución de Weibull. Para el ejemplo de la figura 1-13 se observa que para una misma tensión de estrés, los tiempos de ruptura medidos siguen una distribución de Weibull. Además, las distribuciones obtenidas para cada tensión de estrés tienen la misma pendiente, para este ejemplo $\beta=0.8$, y la misma dispersión, aproximadamente dos décadas. Sin embargo el valor medio de la distribución es diferente, siendo mayor cuando disminuye la tensión de estrés. Esto indica que la tensión de estrés acelera los mecanismos que llevan a la ruptura dieléctrica, pero que son los mismos mecanismos los que se activan y llevan a la ruptura para cada tensión de estrés (igual pendiente).

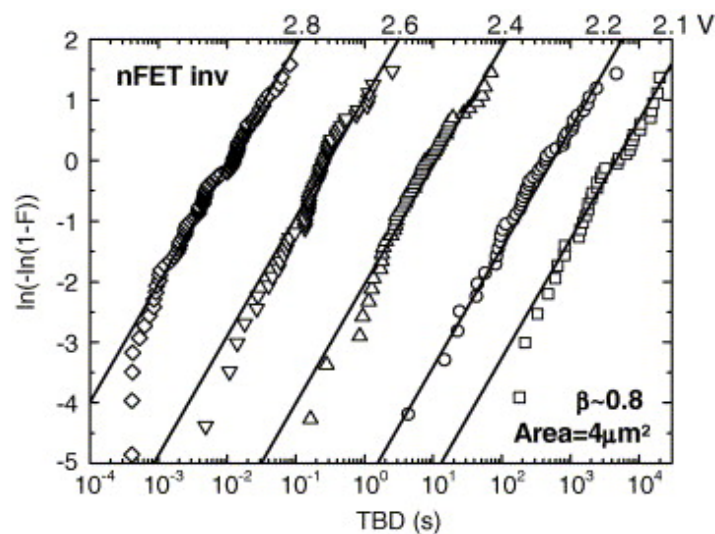


Figura 1-13: Distribución estadística de Weibull de los tiempos de ruptura t_{BD} (Time-to-Breakdown) obtenidos en transistores nMOSFET, para diferentes tensiones de estrés. La pendiente de la distribución es el mismo ($\beta=0.8$) indicando que los mecanismos físicos que llevan a la ruptura en todos los casos son los mismos. Sin embargo, al aumentar la tensión de estrés, el valor medio de las distribuciones decrece indicando que los mecanismos que dan lugar a la ruptura dieléctrica se aceleran [47].

El modelo percolativo describe muy bien el fenómeno de la ruptura dieléctrica y toda la estadística que la envuelve, desde que se inicia el proceso de degradación hasta que se produce la propia ruptura. Es por esto que el modelo percolativo es el más extendido, ya que recoge las observaciones experimentales acerca de este mecanismo de fallo. Sin embargo, para óxidos ultra delgados el grosor del óxido es comparable al tamaño de los defectos. Por tanto, la explicación geométrica de la ruptura como un camino de defectos interconectados se aleja de las observaciones experimentales para óxidos ultra delgados. Una nueva versión del modelo percolativo mucho más cercana a las observaciones físicas actuales de la ruptura dieléctrica se basa en la combinación del modelo de conducción túnel asistido por trampas con la descripción estadística de la posición de los defectos en el volumen del óxido. El modelo proporciona una descripción de la ruptura en función del nivel de corriente usado para detectar la ruptura (ΔI_{BD}). Este modelo [48], no solo reproduce los resultados más relevantes del modelo percolativo estándar, sino que recoge otras observaciones como cambios en la distribución estadística de la ruptura con el nivel de corriente ΔI_{BD} .

1.2.3. Modos de ruptura.

Para los óxidos basados en Silicio como SiO_2 o SiON , se observan tres modos de ruptura dentro de la propia fenomenología de la ruptura dieléctrica: Hard Breakdown (HBD), Soft Breakdown (SBD), y Progressive Breakdown (PBD). Los dos primeros modos de ruptura se detectan por un incremento brusco de la corriente que atraviesa el óxido. Sin embargo, estos dos modos se diferencian en los efectos causados sobre el dieléctrico. En el caso de la SBD el incremento de corriente observado puede ser de varios órdenes de magnitud, sin embargo siempre será una corriente menor que en el caso de la HBD (figura 1-16), los efectos de la cual siempre son más destructivos. Aun así, si se sigue degradando el óxido, tras una SBD se acaba alcanzando la HBD. Además, una diferencia significativa entre los dos modos se detecta en la característica I-V de post-ruptura, donde si la ruptura es del tipo SBD la dependencia de la corriente con la tensión sigue una ley exponencial o potencial [49]. Mientras que si la ruptura es del tipo HBD, la corriente tiene una dependencia lineal con la tensión dentro un rango elevado de tensiones [50]. En dieléctricos basados en óxido de silicio, para grosores superiores a 5nm se observa solamente el modo HBD, mientras que para óxidos más delgados que 5nm se pueden observar ambos modos, HBD y SBD. La figura 1-15 muestra las características I-V de varias muestras con dieléctrico SiO_2 , para diferentes niveles de degradación: con el dispositivo sin estresar (FN fresh), tras un estrés (SILC), tras una ruptura SBD, y tras una ruptura HBD.

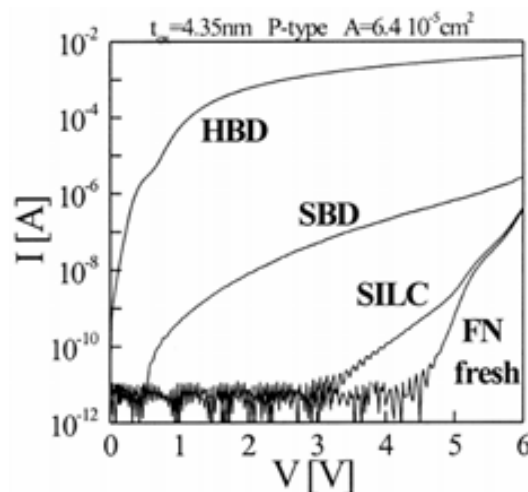


Figura 1-15: Característica I-V del dieléctrico de puerta tras inducir diferentes niveles de degradación del óxido: con el dispositivo fresco (corriente túnel FN), tras generar SILC, tras una SBD, y tras una HBD [49].

Por otro lado, el modo PBD solo se observa en óxidos con grosores inferiores a los 2.5nm, y se caracteriza por una pérdida progresiva de las propiedades aislantes del óxido. Dicho en otras palabras, en lugar del salto brusco con el que se detecta los otros dos modos de ruptura, el modo PBD se observa como un aumento progresivo y ruidoso de la corriente que atraviesa el óxido [51].

Con la introducción de los materiales high-k y los grosores actuales, se sigue observan el modo de ruptura SBD, aunque sigue siendo más probable la ocurrencia del modo HBD [52, 53]. Por otro lado, algunos grupos han mostrado que el modo de ruptura PBD sigue observándose en transistor con dieléctrico de puerta high-k ultra delgado con puerta de polisilicio [16, 54]. Sin embargo, parece ser que cuando la puerta es metálica el modo PBD es más difícil de observar, debido a que cuando se activan los mecanismos que llevan a la ruptura, rápidamente se da el modo HBD [55, 56]. En este sentido, sigue siendo necesario el estudio de la ruptura dieléctrica y de los modos en que esta puede producirse, para poder obtener información acerca de este mecanismo de fallo en transistores con dieléctrico de puerta high-k.

1.2.4. Análisis de la ruptura dieléctrica en los ICs en condiciones de operación.

En el estudio de la ruptura dieléctrica se debe tener en cuenta que dentro de los ICs los dispositivos están rodeados de más dispositivos y unidos eléctricamente a ellos, es decir, en un entorno que crea unas determinadas condiciones de operación. En este sentido es necesario tener en cuenta las condiciones que se dan dentro los circuitos que forman los ICs, para estudiar la ruptura dieléctrica en condiciones más parecidas a las de operación, ya que el dispositivo no operará como si fuera un elemento aislado. Esto proporciona una información mucho más veraz de los efectos que causa la ruptura sobre el funcionamiento del dispositivo, lo que debería traducirse en datos más fiables sobre la fiabilidad de estos dispositivos. En el caso concreto de la ruptura dieléctrica, un factor de gran influencia en el estudio de la fiabilidad de los dispositivos MOSFET es que la corriente que atraviesa el óxido cuando se produce la ruptura está limitada, debido a que los dispositivos están conectados entre si, lo que hace que para cada dispositivo exista una etapa anterior, y ésta debe poder suministrar la elevada corriente que atraviesa el óxido una vez producida la ruptura. Por lo general, las configuraciones de los ICs conllevan inherentemente consigo un límite de corriente que pueden suministrar. Es por este motivo que son muy interesantes los trabajos de algunos autores que analizan el impacto de la ruptura cuando esta se produce bajo condiciones de límite de corriente [57]. La configuración más simple que produce el efecto del límite de corriente provocado por otro dispositivo es la que se muestra en la figura 1-15, propuesta por los autores en [57], y que recibe el nombre de Transistor Limited Constant Voltage Stress (TLCVS). Esta configuración está formada por dos únicos transistores en el que uno limita el corriente que puede atravesar el óxido del segundo (Device Under Test, DUT), el cual es estresado hasta que se alcanza la ruptura.

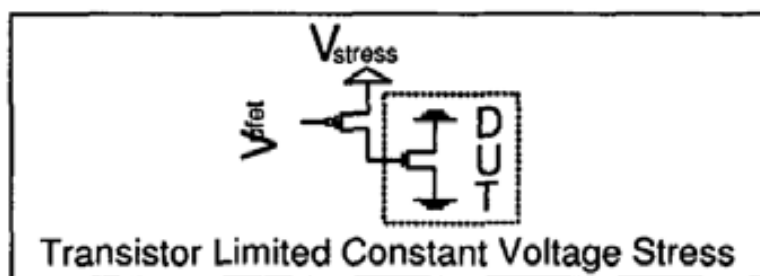


Figura 1-15: Configuración TLCVS (Transistor Limited Constant Voltage Stress) para analizar el impacto de la ruptura dieléctrica limitada en corriente [57].

Cuando se estudia la ruptura dieléctrica en dispositivos aislados, se observa que esta causa un fuerte incremento de la corriente de varios órdenes de magnitud hasta un nivel conductivo que habilita el paso de una corriente muy elevada a través del dieléctrico, de hasta decenas de mA. Tradicionalmente se pensaba que esto traía como consecuencia el mal funcionamiento del dispositivo, y la pérdida de la funcionalidad del circuito del que forma parte el dispositivo que sufre la ruptura. Sin embargo, estudios recientes han mostrado que hay circuitos que pueden seguir funcionando después de que uno o varios transistores sufran la ruptura dieléctrica [33]. Esto significa que algunos circuitos pueden tener una mayor tolerancia a sufrir la ruptura en uno de sus dispositivos, hecho que debe tenerse muy en cuenta a la hora de estudiar la fiabilidad de los circuitos [29]. Por esto, es muy importante analizar el entorno en el que trabaja un dispositivo MOS dentro de un circuito integrado, y el papel que juega dentro de las diversas configuraciones que lo forman, para comprobar si su mal funcionamiento es determinante o no para la funcionalidad del circuito [58, 59].

Además, al estudiar la ruptura sin límite de corriente, se asume que la ruptura se produce como un mecanismo libre de condiciones más allá de las características del propio dispositivo. Si bien es verdad que el estudio de la ruptura sin límite de corriente sigue aportando muchísima información útil sobre este fenómeno y que es igualmente provechosa para un mayor conocimiento de los mecanismos que la provocan, también lo es que la aplicación de un límite de corriente proporciona datos más adecuados para estudiar el impacto de la ruptura en la fiabilidad de los dispositivos MOSFET. Es por estas razones que en esta tesis nos hemos centrado en estudiar la ruptura dieléctrica cuando ésta se produce bajo condiciones de límite de corriente.

Por otro lado, se ha observado que cuando la ruptura se produce con limitación de corriente, ésta ser un fenómeno reversible, y la conductividad del dieléctrico pasa a ser significativamente más baja que la correspondiente a la ruptura. Esta tesis se centra en el análisis de este efecto, en concreto en estructuras MOS con dieléctrico high-k ultra delgado. A continuación se presentan los trabajos previos presentados por otros autores sobre reversibilidad de la ruptura dieléctrica en dispositivos MOS.

1.2.5. Reversibilidad de la ruptura dieléctrica.

Los trabajos previos realizados sobre la reversibilidad de la ruptura en estructuras MOS se remonta a la década de los 90 [60]. En estos trabajos, realizados en capacidades MOS con dieléctricos SiO₂ de grosor 5.5nm, se observó que tras producirse la ruptura dieléctrica bajo condiciones de límite de corriente, la conductividad del óxido presenta fluctuaciones entre dos estados, un estado conductivo alto y otro bajo, atribuidos al atrapamiento y desatrapamiento de carga en el óxido.

En la figura 1-16 se muestra una característica I-V que induce la muestra a la ruptura dieléctrica, y en la que se aplica un límite de corriente (punto 1 en figura 1-16). Si se realiza una segunda característica I-V desde el punto 1 hasta 0V se observa como la corriente decae y vuelve al nivel previo a la ruptura (punto 2). Esto da lugar a una histéresis entre ambos estados conductivos al aplicar una rampa de tensión de subida hasta la ruptura y otra de bajada. Si se realiza un segundo evento de ruptura, esta vez sin límite de corriente, y se extrae la característica I-V de post ruptura se obtiene la curva b, en la que el nivel de corriente registrado es más elevado y donde no se observa ningún tipo de histéresis.

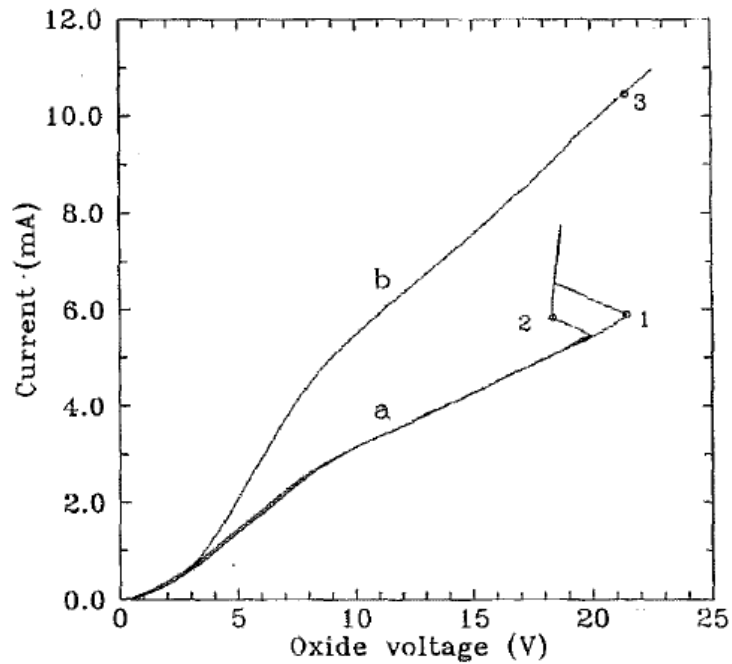


Figura 1-16: Característica I-V de post ruptura correspondiente (curva a) a una ruptura limitada en corriente, y (curva b) a una ruptura sin límite de corriente. Si el incremento de corriente en el momento de la ruptura está externamente limitado se puede observar un ciclo de histéresis, y por tanto una reversibilidad del evento de ruptura. Sin embargo, si no se limita la ruptura, el incremento de corriente es tan elevado que no se observa el ciclo de histéresis [60].

En estos trabajos se considera que la ruptura se produce en tres etapas: 1) en la que se generan trampas debido a un estrés eléctrico; 2) cuando se llega a un nivel de degradación crítico en una región muy localizada del óxido se produce la ruptura dieléctrica; y 3) si la corriente que fluye a través del óxido por el camino conductor creado no está limitada, la densidad de corriente es tan elevada que los efectos térmicos que se suceden provocan cambios del todo irreversibles en la conducción y formación del camino conductor. La reversibilidad de la ruptura dieléctrica, opuestamente a la ruptura, se observa como una disminución de la corriente que atraviesa el óxido, lo que significa que las propiedades aislantes del dieléctrico se recuperan, volviendo a un estado conductivo del óxido más bajo que tras la ruptura.

Recientemente, algunos estudios en transistores MOSFET basados en materiales high-k han constatado que la ruptura dieléctrica puede ser un fenómeno reversible bajo condiciones de límite de corriente [61]. En estos trabajos, los autores muestran como tras provocar la ruptura dieléctrica en el transistor, existen dos estados conductivos en el dieléctrico. Un estado conductivo caracterizado por una elevada corriente a través del dieléctrico asociada a la formación de un camino conductor en él. Y otro, caracterizado por una corriente a través del óxido mucho menor, que los autores explican, mediante el modelo percolativo, como la eliminación o *pasivación* de los defectos, y que se observa aplicando la secuencia correcta de estreses. Además, en ellos también se muestra como tras observar la reducción de la corriente a través del dieléctrico, la funcionalidad de los transistores puede ser recuperada.

La figura 1-17a muestra la característica I_D - V_D para diferentes V_G , obtenidas en un transistor nMOSFET (NiSi/HfSiON) sin estresar (insert en figura 1-17a), y del mismo transistor tras sufrir la ruptura dieléctrica (cuadrados negros). Tras la ruptura, la corriente I_D es muy elevada, y presenta un comportamiento lineal con V_{DS} . Esto indica que, efectivamente, se ha alcanzado la ruptura dieléctrica, y que es la elevada conductividad del camino conductor la que provoca la elevada corriente I_D . Sin embargo, al aplicar una tensión V_{DS} suficientemente elevada, la corriente I_D decae

súbitamente. Esto indica que la conductividad del camino conductor ha disminuido drásticamente, como consecuencia de las tensiones aplicadas en los terminales, y por tanto, que se ha producido la reversibilidad de la ruptura. Al extraer las características del transistor de nuevo (cuadrados rojos en figura 1-17b), se observa que la característica I_D - V_D se ha recuperado, alcanzando valores ligeramente superiores a los del dispositivo fresco (círculos blancos en figura 1-17b). Esto muestra como tras observar la reducción de la conductividad del camino conductor, la funcionalidad del transistor también se recupera.

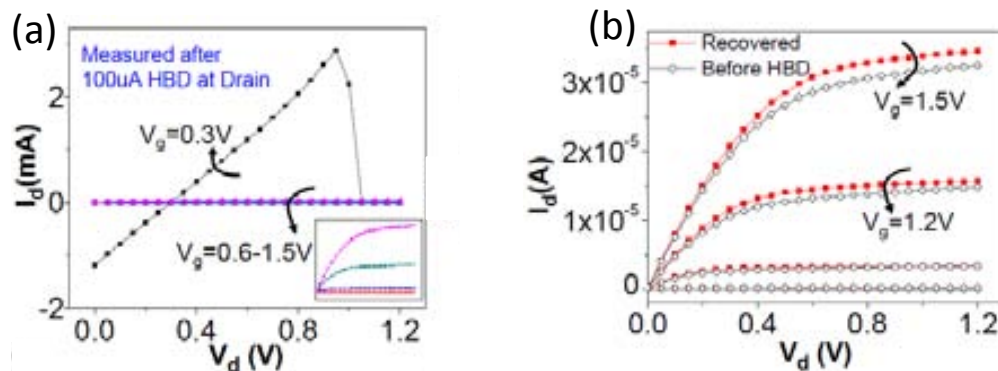


Figura 1-17: Características I_D - V_D para diferentes V_G obtenidas en un transistor nMOSFET (NiSi/HfSiON) para un transistor fresco (insert en figura 1-17a y círculos blancos en figura 1-17b), con ruptura dieléctrica localizada cerca del drenador (cuadrados negros en figura 1-17a), y tras observar la reversibilidad de la ruptura (cuadrados rojos en figura 1-17b). Al observarse la reversibilidad, la característica I_D - V_D del transistor se recupera, y con ello su funcionalidad.

Algunos autores [62], han realizado trabajos en los que se ahonda en el conocimiento de los mecanismos que explican la ruptura y su reversibilidad. En ellos, los autores explican la naturaleza de la alta conductividad del dieléctrico tras la ruptura, a la formación de un filamento conductor por el cual fluye la mayor parte de la corriente a través del óxido. Cuando se produce la reversibilidad de la ruptura, el filamento se constriñe, reduciendo el flujo de electrones que pueden propagarse a través del camino conductor. En estos trabajos, los autores explican la conducción en la región del óxido dañada tras la ruptura, y tras observar su reversibilidad, mediante el mismo modelo, basado en la probabilidad de transmisión o propagación de los electrones a través de una o varias sub-bandas de conducción cuántica. Este modelo está tomando mucha consistencia dentro de la comunidad científica, debido a que es capaz de explicar la conducción de los dos estados conductivos del dieléctrico, que se observan tras provocar la ruptura dieléctrica, mediante el mismo mecanismo de conducción.

Estas observaciones han provocado, en cierto modo, una revisión de los conceptos concernientes a la ruptura dieléctrica, como el impacto que tiene en el funcionamiento y fiabilidad de estos dispositivos, o incluso sobre la naturaleza física del mecanismo que la provoca. Más aún, se ha comprobado que tras provocada la primera ruptura, estos dos estados conductivos coexisten, pudiendo intercambiarse a través del correcto flujo eléctrico de operaciones, siempre y cuando no se lleve el dispositivo a la ruptura final (sin límite de corriente).

Un fenómeno que está siendo objeto de un gran estudio actualmente por parte de la comunidad científica es el efecto Resistive Switching (RS), el cual también se caracteriza por la presencia de diferentes niveles conductivos en el dieléctrico. Este fenómeno se observa en estructuras capacitivas utilizadas en aplicaciones de memoria no volátil, y utilizan el cambio conductivo del dieléctrico como método de almacenamiento. En el siguiente apartado se presentará este fenómeno, así como las estructuras en el que es observado. Además, se definirán las principales características del fenómeno RS, y también se comentarán las prestaciones más importantes que actualmente presentan estos dispositivos de memoria.

1.3. Efecto Resistive Switching (RS).

El efecto Resistive Switching (RS) es un fenómeno que tradicionalmente se ha observado en estructuras MIM/MIS (Metal-Insulator-Metal/Metal-Insulator-Semiconductor), y que se caracteriza por la existencia de dos niveles conductivos diferentes en el dieléctrico de la estructura. Este efecto está tomando gran relevancia en los últimos años por su aplicación en el diseño e implementación de memorias no volátiles. Con motivo de establecer ciertas similitudes entre el efecto RS y la reversibilidad de la ruptura dieléctrica, en este apartado se realiza una introducción del estado del arte del efecto RS. Para realizar este estudio comparativo se presenta la estructura MIM/MIS, y los parámetros de interés que describen y caracterizan el efecto RS, así como una clasificación de los diferentes mecanismos de switch y una breve explicación de la naturaleza física a la que están asociados. Finalmente se estudian las prestaciones más relevantes que presentan estos dispositivos en aplicaciones de memoria, así como los retos a los que se enfrentan para cumplir la demanda de prestaciones que exige el mercado actualmente.

La estructura MIM (figura 1-17a) consta de dos terminales o electrodos metálicos, generalmente metales de transición de la tabla periódica tales como el Circonio (Zr), el Titanio (Ti), Estroncio (Sr), Platino (Pt), e incluso Cobre (Cu) o Plata (Ag) [63]. Entre los electrodos hay una capa de dieléctrico con espesores que pueden ir desde los pocos nanómetros ($\sim 5\text{nm}$) hasta centenares ($>100\text{nm}$), en función de la tecnología escogida, y que pueden estar implementados desde con materiales electrolitos, a diferentes tipos de óxidos como Al_2O_3 , Cu_2O , SrTiO_3 , TiO_2 , o PCMO ($\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$) [64, 65, 66, 67, 68]. Idealmente, esta capa dieléctrica actúa de aislante, impidiendo que circule corriente entre ambos terminales. En la estructura MIS (figura 1-17b), se suelen usar como dieléctrico de puerta diferentes óxidos basados en materiales high-k, como los óxidos de Hafnio (HfSiON), Lantano (La_2O_3), o Samario (Sm_2O_3) [69, 70, 71]. Para favorecer la interacción entre el silicio utilizado de sustrato y el óxido del dieléctrico, se crece de forma controlada una capa de óxido, normalmente de SiO_2 o SiON (figura 1-19b). Además, el uso de un material semiconductor para uno de los terminales puede tener efectos sobre el fenómeno, ya que el metal del electrodo tiene una fuerte influencia sobre el efecto [72, 73].

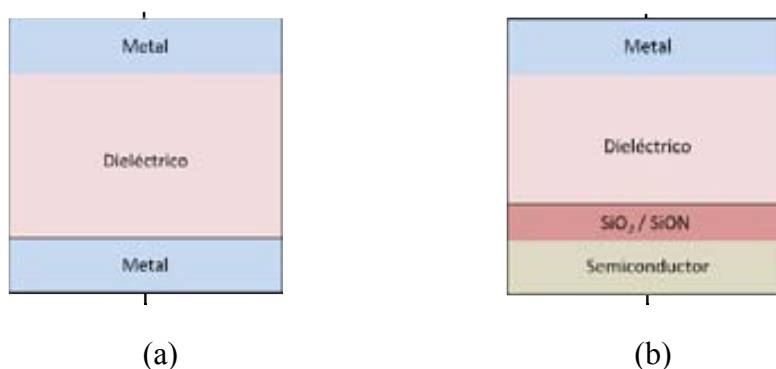


Figura 1-17: (a) Sección transversal de la estructura MIM (Metal-Insulator-Metal) con grosores de dieléctricos que pueden variar desde 5nm hasta más de 100nm; (b) Sección transversal de una estructura MIS (Metal-Insulator-Semiconductor). El stack dieléctrico está formado por una capa de óxido interfacial (SiO_2 o SiON) crecida controladamente y un óxido, generalmente de material high-k, y generalmente con espesores 50nm

1.3.1. Mecanismo de Switching.

Actualmente, existen diferentes estrategias para implementar los dispositivos de memoria no volátil, que se basan en diferentes mecanismos físicos, algunos de las cuales están tomando mayor relevancia debido a las prestaciones que ofrecen [74]. Algunas de estas tecnologías se basan en

tecnologías o estrategias muy diversas [75, 76, 77, 78, 79, 80, 81]. Sin embargo, todas presentan una característica común, y es que el cambio de estado del dispositivo de memoria siempre se induce eléctricamente. Existe mucha literatura al respecto que puede dar una visión muy amplia del estado del arte de los diferentes dispositivos RAM estudiados actualmente, y de los mecanismos de switch que los gobiernan. Una perspectiva o clasificación bastante esclarecedora de los diferentes tipos de memoria no volátil según el mecanismo o principio físico en que se basan y las prestaciones que ofrecen es la que dan los autores en [63, 74, 82].

Actualmente, los dispositivos de memoria están sufriendo un fuerte proceso de miniaturización, con el fin de incrementar las prestaciones de los sistemas de almacenamiento. Esto ha causado que se hayan centrado muchos esfuerzos en las estrategias que ofrecen mejores perspectivas de futuro en cuanto a la escalabilidad. La figura 1-18 muestra una clasificación general de las diferentes estrategias (mecanismos) con que se implementan los dispositivos de memoria no volátil [74].

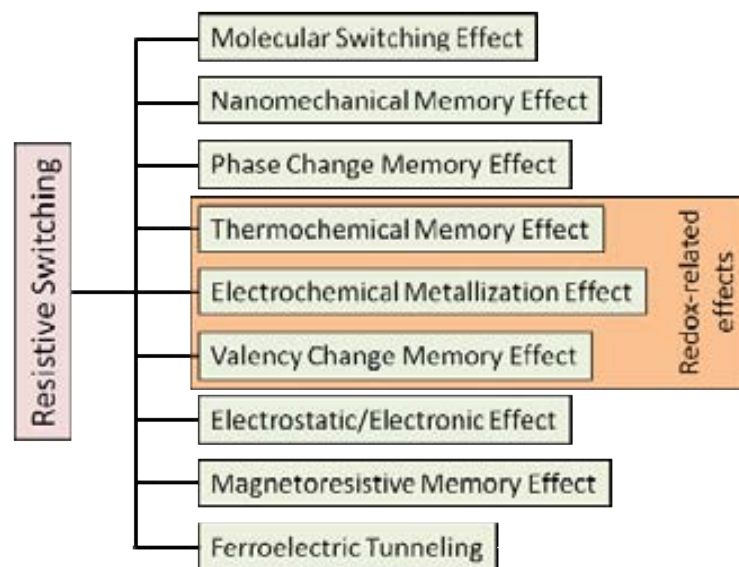


Figura 1-18: Clasificación de los mecanismos de switch resistivos conocidos para aplicaciones de memoria no volátil. Todos los mecanismos que se presentan están inducidos eléctricamente. Los 3 efectos destacados por el recuadro naranja son los que se observan en dispositivos con un dieléctrico basado en la oxidación de un metal de transición de la tabla periódica o basado en materiales high-k [74].

Los cinco mecanismos del centro de la figura 1-18 son los más extensamente utilizados. De este grupo, se han destacado (recuadro naranja) los tres tipos de mecanismos que se observan en dispositivos con dieléctrico basados en óxidos, tales como óxidos basados en materiales high-k, u óxidos basados en metales de transición de la tabla periódica. Estas tres tecnologías son las más utilizadas y estudiadas actualmente por su escalabilidad y control [63, 74]. Sin embargo, la comunidad científica está centrando mucho su atención en los dispositivos del primero de estos tres grupos, los efectos termoquímicos, basados en el switch resistivo de un material aislante o dieléctrico, o también denominados ReRAM (Resistive Random Access Memory). Estos dispositivos basan su funcionamiento en mecanismos termoquímicos, en estructuras MIS con dieléctricos basados en óxidos de metales de transición o óxidos basados en materiales high-k. En este sentido, algunos autores también atribuyen el fenómeno de ruptura dieléctrica a efectos térmicos que se dan en el óxido cuando una gran cantidad de corriente pasa por una región muy pequeña del mismo, y que generan cambios estructurales en el óxido a nivel atómico [83]. En este trabajo nos centraremos tan solo en el caso de los dispositivos que basan su switch resistivo en mecanismos termoquímicos en dieléctricos basados en óxidos de metales de transición o en óxidos high-k, ya que son los que más se relacionan con nuestro trabajo.

1.3.2. Caracterización del efecto Resistive Switching.

Como se ha introducido, el fenómeno RS consiste en la pérdida y recuperación de las propiedades aislantes del dieléctrico de una capacidad, mediante la creación de un filamento conductor y la destrucción del mismo en un dieléctrico. Por tanto, existen dos posibles estados conductivos del dieléctrico para unas mismas condiciones eléctricas, uno de baja resistencia (Low Resistive Switching, LRS) caracterizado por una corriente a través del dieléctrico elevada, y otro de alta resistencia (High Resistive Switching, HRS) caracterizado por una corriente túnel baja. La conmutación entre ambos estados se produce mediante los eventos de SET y RESET, para alcanzar los estados LRS y HRS, respectivamente [82]. Los procesos de SET y de RESET se realizan mediante la aplicación de las tensiones V_{SET} y V_{RESET} , respectivamente. En algunos casos, como los dispositivos ReRAM basados en mecanismos de switch termoquímicos, se necesita de un proceso de formación previo al SET, como puede ser la formación de un filamento conductor en el dieléctrico, que posteriormente puede ser parcialmente destruido (RESET) y formado de nuevo (SET) [63]. Además, en estos dispositivos debe limitarse el daño creado en el óxido durante el proceso de SET mediante un límite de corriente, ya que sino los efectos que se desencadenan durante la formación del filamento conductor se vuelven irreversibles, haciendo imposible observar posteriormente el proceso de RESET en ese dispositivo, causando la pérdida de su funcionalidad. Sin embargo, durante el RESET debe quitarse dicho límite de corriente, dado que la corriente que atraviesa el dieléctrico durante este proceso es mayor que el límite de corriente aplicado durante el SET.

Existen dos tipos de efecto RS atendiendo a la polaridad de las tensiones que deben aplicarse al dispositivo para inducir los estados resistivos. Cuando los procesos de SET y RESET se observan a la misma polaridad se dice que el RS es Unipolar (figura 1-19a), aunque esta puede ser positiva o negativa. Mientras que si el proceso de SET se observa a una polaridad opuesta a la de RESET, se habla de RS Bipolar (figura 1-19b). Que el efecto RS se observe de una manera o de otra, depende fuertemente de la tecnología utilizada para implementar el dispositivo. Cabe observar que además los materiales y la simetría del dispositivo pueden tener una gran influencia en el modo en que se observa el efecto RS y en los valores de las tensiones V_{SET} y V_{RESET} . Otro aspecto a destacar es que, tanto para el caso Unipolar como el Bipolar, las tensiones de SET siempre son inferiores en valor absoluto a las tensiones de RESET ($|V_{SET}| < |V_{RESET}|$).

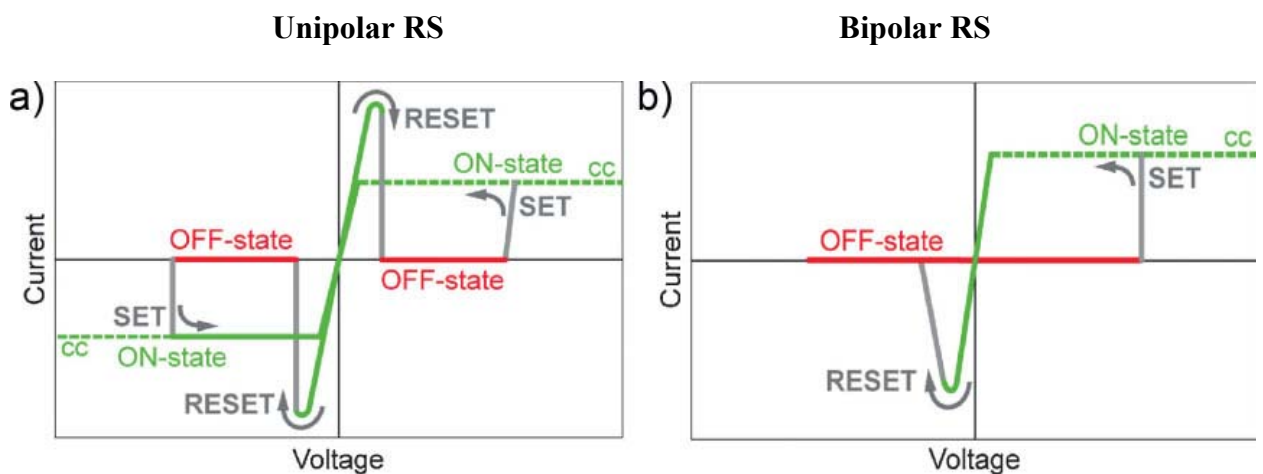


Figura 1-19: Características I-V típica del efecto Resistive Switching, para (a) RS Unipolar, donde el SET y el RESET se inducen a la misma polaridad. (b) RS Bipolar, donde la polaridad del RESET es forzosamente opuesta a la del SET. (Verde) LRS hasta V_{RESET} . (Rojo) HRS hasta V_{SET} . Notar que debe limitarse el transitorio de SET con un límite de corriente (línea discontinua) para poder observar el RESET. Y debe quitarse en el transitorio de RESET dado que se alcanzan corrientes superiores [74].

1.3.3. Características y prestaciones de las memorias no volátiles.

Debido a la demanda del mercado, los sistemas de almacenamiento están sometidos a una exigente mejora de sus prestaciones, es decir, un aumento de su capacidad de almacenar información. Esto conlleva una mayor densidad de integración de los dispositivos de memoria, y por tanto, a una constante reducción de sus dimensiones. En este sentido, es interesante estudiar las figuras de mérito más relevantes de estos dispositivos, ya que permiten comparar y evaluar las características y prestaciones más significativas de estos dispositivos. Por ello, en esta sección se describen las principales características de los dispositivos de memoria no volátil, tales como las operaciones de escritura/lectura, la relación entre los estados del dispositivo, la repetitividad del fenómeno, y el tiempo de retención del estado.

Operación de escritura: Es la operación mediante la cual se programan los estados (LRS y HRS) del dispositivo de memoria, y se realiza mediante las tensiones V_{SET} y V_{RESET} . Estas tensiones se denominan tensiones de escritura (V_{WR}). Actualmente, los valores de las tensiones de escritura son del orden de 1 y 3V (incluso menos), de acuerdo con el escalado CMOS, lo que las sitúa con ventaja respecto a otros tipos de memorias no volátiles como las memorias Flash, que requieren de tensiones mayores [84]. La figura 1-20 muestra las distribuciones de probabilidad acumulada de las tensiones de escritura V_{SET} (cuadros rojos) y V_{RESET} (cuadros azules) para un dispositivo RS con switch Unipolar, formado por estructura Cu/ZrO₂:Cu/Pt. La separación entre las tensiones de escritura V_{SET} y V_{RESET} es un punto muy importante en el diseño de memorias, ya que debe existir una ventana suficientemente grande de valores entre los mecanismos que llevan al SET y los que llevan al RESET, para una correcta programación de los estados.

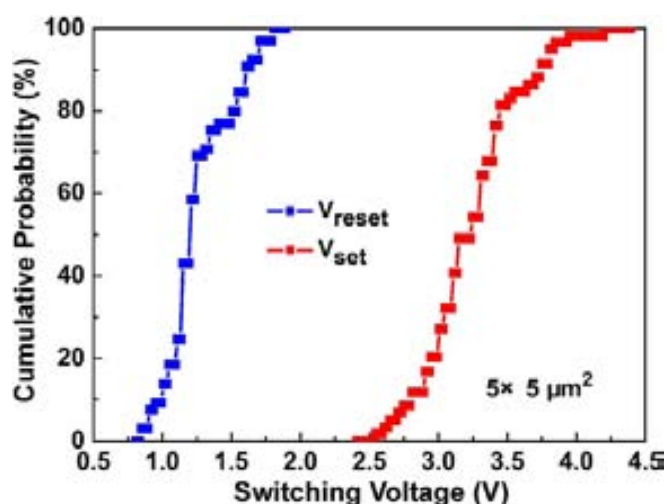


Figura 1-20: Distribuciones de las tensiones de escritura V_{SET} (rojo) y V_{RESET} (azul) para un dispositivo Cu/ZrO₂:Cu/Pt de área $5 \mu m \times 5 \mu m$ [84].

Operación de lectura: Es la operación mediante la cual se detecta el estado del dispositivo, y se realiza aplicando la tensión de lectura V_{RD} . La figura 1-21 muestra la característica típica del fenómeno RS con switch Bipolar, en la que se indica los procesos de escritura SET y RESET, y la ventana de tensiones de lectura (Read). Como se observa, la tensión V_{RD} tensión debe ser inferior a las tensiones de escritura, concretamente V_{RESET} , dado que los dos estados resistivos coexisten para tensiones inferiores a V_{RESET} . Sin embargo, cuanto mayor sea V_{RD} mayor será la separación entre estados (relación I_{LRS}/I_{HRS}). Por tanto, existe un compromiso entre la tensión V_{RD} que maximiza la relación entre las corrientes medidas, y su proximidad con las tensiones de escritura para evitar eventos de RESET durante la lectura, que podrían originar un cambio de estado.

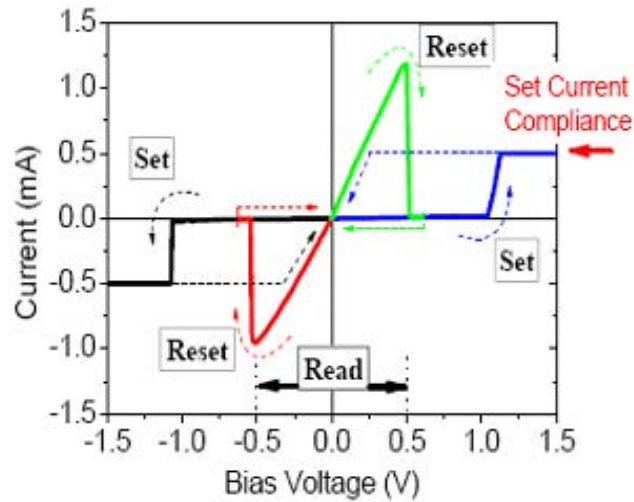


Figura 1-21: Característica típica del fenómeno RS Unipolar. La ventana de tensiones de lectura indicada (Read) queda limitada por la ventana de tensiones de escritura, que para este caso es V_{RESET} [84].

Reproducibilidad: Es la capacidad de reproducir el efecto RS en un dispositivo, y se puede observar a partir de las resistencias (corrientes) medidas a cada estado con el paso de los ciclos aplicados. La figura 1-22 muestra los valores de resistencia obtenidos en un dispositivo con estructura TiN/TiO_x/HfO_x/TiN, a partir de la corriente registrada durante los estados HRS (cuadrados negros) y LRS (círculos rojos) durante más de 100.000 ciclos [86]. Como puede apreciarse, la reproducibilidad del fenómeno en este dispositivo es muy alta, ya que tras aplicar más de 10^5 los estados se mantienen estables. Esta característica está directamente vinculada al tiempo de vida del dispositivo. Actualmente las aplicaciones Flash tienen un número máximo de ciclos de vida de entre 10^3 a 10^7 [85], dependiendo del tipo. Para las aplicaciones de memoria ReRAM esta característica debe ser del orden, aunque es preferible que sea ligeramente superior.

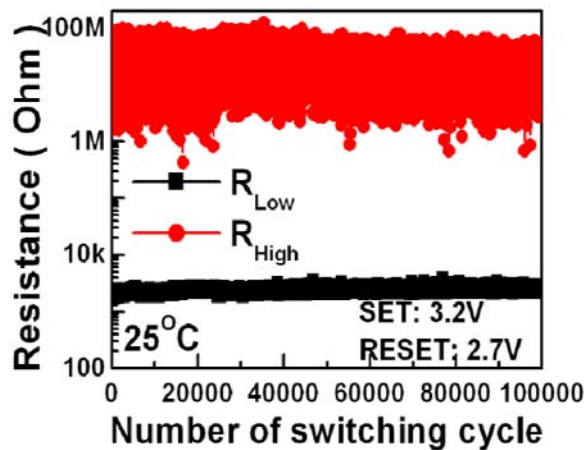


Figura 1-22: Valor de resistencia obtenido a partir de la corriente registrada durante los estados HRS (cuadrados negros) y LRS (círculos rojos) durante más de 100.000 ciclos. Como puede apreciarse el valor medio de la resistencia de ambos estados apenas varía con el paso de los ciclos [86].

La ventana de valores de resistencia medidos en los dos estados del dispositivo es una de las figuras de mérito más utilizadas para mostrar las prestaciones de las memorias no volátiles, y se utiliza tanto para mostrar la separación entre estados, como la repetitividad del fenómeno, que son algunas de las prestaciones más importantes de estos dispositivos.

Ratio entre estados: Esta característica indica la relación entre el valor medio de la resistencia en el estado HRS y en el LRS ($R_{\text{high}}/R_{\text{low}}$, respectivamente). Para aplicaciones de alta eficiencia como la ReRAM, actualmente se requiere una ratio mínima entre estados >10 , aunque las recomendaciones para estos dispositivos es de $>10^2$. Como se aprecia en la figura 1-22, la relación entre R_{low} (cuadrados negros) y R_{high} (círculos rojos) es de aproximadamente 10^3 . Esta separación tiene mucha importancia ya que repercute sobre la sensibilidad del sistema, y por tanto, sobre la velocidad de los procesos de lectura.

Tiempo de retención: Es la capacidad del dispositivo de retener el estado con el paso del tiempo. Como los dispositivos ReRAM son memorias no volátiles, la retención del estado debe ser sin alimentación ninguna, y el estado debe permanecer estable mientras no se realice ningún proceso de escritura. Para evaluar esta característica se utiliza el tiempo de retención (t_{RET}), que se define como el tiempo que el dispositivo es capaz de retener el estado lógico sin variaciones significativas en el valor de resistencia medida. Actualmente, se requieren tiempos de retención mayores a 10 años ($t_{\text{RET}} > 10^9$ segundos). Comprobar experimentalmente que el dispositivo retiene el estado lógico más de 10 años es inviable, por tanto, es necesario recurrir a tests acelerados y leyes de extrapolación que permiten predecir el tiempo de retención. Además, el tiempo de retención debe ser evaluado bajo ciertas condiciones que recreen correctamente las condiciones de operación dentro los ICs, como una temperatura de 85°C o más, y realizando estreses a tensión constante de muy corta duración de forma periódica, para simular el posible bombardeo de procesos de lectura que puede sufrir el dispositivo. La figura 1-23 muestra el valor de resistencia medido en diferentes muestras a intervalos periódicos de tiempo tras programar un estado en el dispositivo, con una temperatura de trabajo $T=85^\circ\text{C}$.

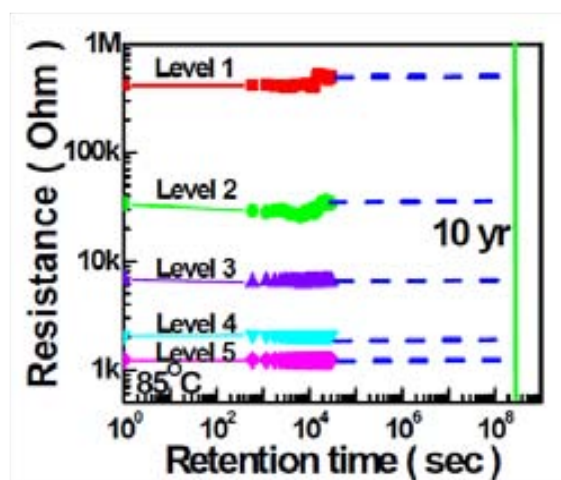


Figura 1-23: Valor de resistencia medido a diferentes intervalos de tiempos tras programar un estado lógico, para diferentes niveles de operación, bajo condiciones de temperatura $T=85^\circ\text{C}$ [86].

Las memorias ReRAM, basadas en la formación y destrucción de un filamento conductor debido a efectos termoquímicos en el dieléctrico de una estructura MIS, están captando mucha atención. Esto se debe a las prestaciones que ofrecen este tipo de dispositivos, su capacidad para aumentar la densidad de integración, y al proceso de fabricación compatible con la tecnología CMOS [87]. Por otro lado las prestaciones de los dispositivos de memoria ReRAM están intrínsecamente relacionadas en como se observa el mecanismo RS en el dispositivo, y en consecuencia, dependerán de los materiales utilizados como dieléctrico y electrodo. Con la emergente introducción de nuevos materiales, sobretodo para el dieléctrico, se hace necesario un continuo estudio de las prestaciones que ofrece cada estrategia y cada tecnología.

1.4. Procedimiento experimental.

En este capítulo se explica el procedimiento experimental que se ha implementado para realizar las medidas de los diferentes estudios realizados en esta tesis sobre la reversibilidad de la ruptura dieléctrica en dispositivos MOS. Para ello se explican las distintas técnicas de estrés utilizadas en esta tesis para provocar la ruptura dieléctrica y para inducir la reversibilidad de ésta. También se presentan las distintas técnicas de caracterización utilizadas para evaluar, tanto el estado del óxido de puerta que sufre directamente los daños de la ruptura dieléctrica, como el funcionamiento de los dispositivos. Finalmente se presentan los equipos de instrumentación con los que se han realizado los estreses y la caracterización, además de los programas implementados para realizar el tratamiento y análisis de los datos obtenidos y que han dado un gran soporte a la investigación realizada.

1.4.1. Técnicas de caracterización.

La característica I_G-V_G se obtiene midiendo la corriente de puerta I_G que atraviesa el óxido cuando se realiza un barrido de la tensión de puerta V_G aplicada, con el resto de terminales de dispositivo a tierra. La figura 1-24 muestra esta característica para un transistor MOSFET con dieléctrico high-k ultra delgado ($EOT=1.9\text{nm}$) sin estresar. Como puede observarse, a tensiones muy bajas la corriente que atraviesa el óxido es prácticamente nula, mientras que alrededor de 1V se puede observar que la corriente aumenta con la tensión aplicada debido a la corriente por Túnel Directo. En el caso de los dispositivos MOS en general, se utiliza la característica I_G-V_G para evaluar el estado conductivo del dieléctrico de puerta que tienen tanto las capacidades MOS como los transistores MOSFET. Esta característica permite observar la degradación del óxido que forma el dieléctrico, ya sea del dispositivo fresco o tras aplicar un estrés eléctrico que active los diferentes mecanismos de degradación del óxido. Cuanta más corriente a través del óxido se observa, mayor degradación se habrá producido en el óxido.

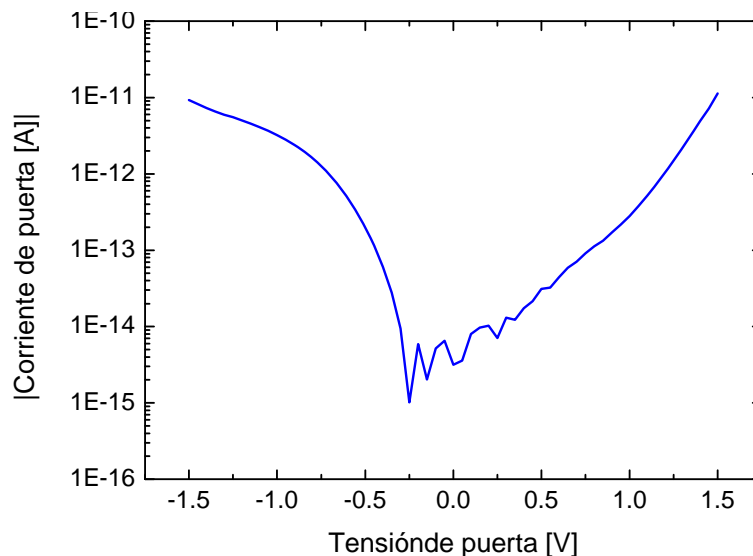


Figura 1-24: Característica I_G-V_G de un transistor pMOSFET con dimensiones $W=0.5\mu\text{m}$ y $L=0.35\mu\text{m}$ y $EOT=1.9\text{nm}$. A tensiones muy bajas la corriente es prácticamente nula, mientras que a tensiones del orden de 1V se observa cierta corriente túnel por efecto Túnel Directo.

En el caso de la caracterización de los transistores MOSFET en concreto, hay otras dos características I-V que describen su funcionalidad eléctrica, la característica I_D-V_D y la I_D-V_G . Estas características se obtienen a través de la corriente de canal medida en el drenador, en función

de las tensiones de puerta y de drenador aplicadas. La figura 1-25a muestra la característica I_D - V_G y la 1-25b la característica I_D - V_D .

La característica I_D - V_G se obtiene registrando la corriente de drenador I_D cuando se hace un barrido de la tensión de puerta (V_G) aplicando en el drenador una tensión constante. Si la tensión aplicada en el drenador es de valor bajo ($V_D \sim 0.1V$), a esta característica se la conoce como característica de entrada en zona lineal, y permite obtener la tensión a partir de la cual el canal empieza a conducir (tensión umbral, V_{th}). Cuando V_G es inferior a la tensión umbral V_{th} el canal no está formado, y en consecuencia casi no circula corriente entre drenador y fuente, lo que indica que el transistor está en corte. Si V_G es superior a la tensión V_{th} , los portadores minoritarios se acumulan cerca del óxido, creando la capa de inversión en la región del canal que permite el paso de corriente entre drenador y fuente, y que depende de la tensión aplicada entre estos terminales. Por otro lado, la característica I_D - V_D se obtiene midiendo la corriente de drenador I_D al realizar un barrido de la tensión aplicada en el drenador V_D , cuando se aplican diferentes tensiones constantes en el terminal de puerta (V_G). Como se ha explicado en la sección 1.1, en esta característica se pueden observar las tres regiones de funcionamiento del transistor MOSFET. Cuando $V_G < V_{th}$ el canal no está formado y por tanto no conduce, y consecuentemente no existe corriente de canal I_D (corte). Cuando $V_G > V_{th}$ para tensiones V_D bajas la corriente I_D depende linealmente de V_D (zona óhmica o lineal). Si V_D sigue aumentando, llega un punto que la corriente I_D se satura debido al estrangulamiento del canal (zona de saturación).

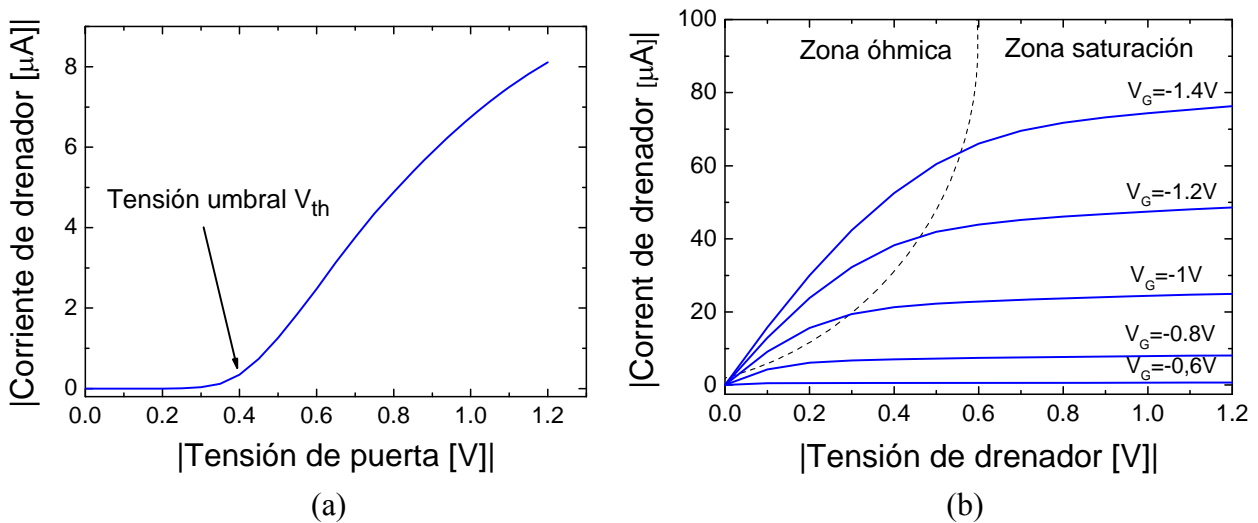


Figura 1-25: (a) Característica I_D - V_{GS} del transistor pMOSFET de la figura 1-13. La tensión umbral V_{th} queda determinada por la tensión V_{GS} a la que empieza a conducir el transistor. (b) Característica I_D - V_{DS} para diferentes V_{GS} . Para $V_{GS} < V_{th}$ el transistor está en corte, mientras que para $V_{GS} > V_{th}$ el transistor puede operar en zona lineal si V_{DS} es baja, o puede entrar en saturación si V_{DS} sigue aumentando.

1.4.2. Técnicas de estrés.

Bajo las condiciones de operación de campos eléctricos bajos a las que trabajan actualmente los dispositivos MOSFET, es necesario un tiempo muy elevado (meses o incluso años) para observar los efectos de los mecanismos de degradación en general, y concretamente el mecanismo de fallo de la ruptura dieléctrica. Como estos tiempos de observación no son viables para una industria fuertemente sujeta a una constante reducción de las dimensiones de los dispositivos para incrementar las prestaciones, se utilizan lo que se denomina tests acelerados o técnicas de estrés. Estos tests acelerados emulan las condiciones eléctricas a las que están sometidos los dispositivos dentro de los ICs reales, pero incrementando los factores que activan los mecanismos de

degradación, como puede ser aumentar las tensiones de operación de los dispositivos, o la incrementar la temperatura de trabajo. Este incremento de las condiciones de trabajo reduce los tiempos de observación de los efectos de la degradación y la ruptura dieléctrica a periodos de tiempo más razonables. Además, estos resultados obtenidos con los tests acelerados también pueden ser utilizados posteriormente para estudiar la fiabilidad de los dispositivos en condiciones reales mediante el uso de leyes de extrapolación de resultados [88, 89, 90]. Existen diferentes técnicas de estrés que permiten acelerar el proceso de degradación y ruptura dieléctrica que se describen en esta sección.

1.4.2.1. Estrés en Rampas de tensión (RVS).

Esta técnica de estrés consiste en aplicar una rampa de tensión (Ramp Voltage Stress, RVS) al terminal de puerta, con el resto de terminales a tierra, de forma que el potencial entre puerta y sustrato crezca hasta observarse la ruptura dieléctrica. Durante la aplicación de este estrés, se registra la corriente que atraviesa el óxido medida en el terminal de puerta en función de la tensión aplicada para poder extraer la característica I-V. En el caso de realizar este test en transistores, también se pueden registrar las corrientes en los terminales de fuente, drenador, y sustrato, lo que permite obtener información adicional sobre la localización de la ruptura a lo largo del canal [33, 88]. Esta técnica de estrés proporciona la determinación de parámetros que caracterizan la ruptura como pueden ser la tensión de ruptura (V_{BD}), relacionado con el campo eléctrico de ruptura (E_{BD}).

La figura 1-26 muestra varias características I_G-V_G extraídas durante la aplicación de estreses en forma de rampa de tensión en diferentes transistores pMOSFET con dieléctrico high-k ultra delgado ($EOT=1.9\text{nm}$). Cuando la tensión de puerta aumenta, se observa un incremento brusco de la corriente a través del óxido, indicando que la ruptura dieléctrica se ha producido. Previamente al evento de ruptura, la característica I-V obtenida corresponde a la característica fresca del transistor, observándose la conducción por efecto Túnel Directo a tensiones muy bajas ($< -1\text{V}$), y la conducción por Túnel Fowler-Nordheim a tensiones medias ($\sim -2.5\text{V}$). Para el caso de las muestras de la figura 1-26, las tensiones de ruptura V_{BD} corresponden a valores comprendidos entre -4V y -5V .

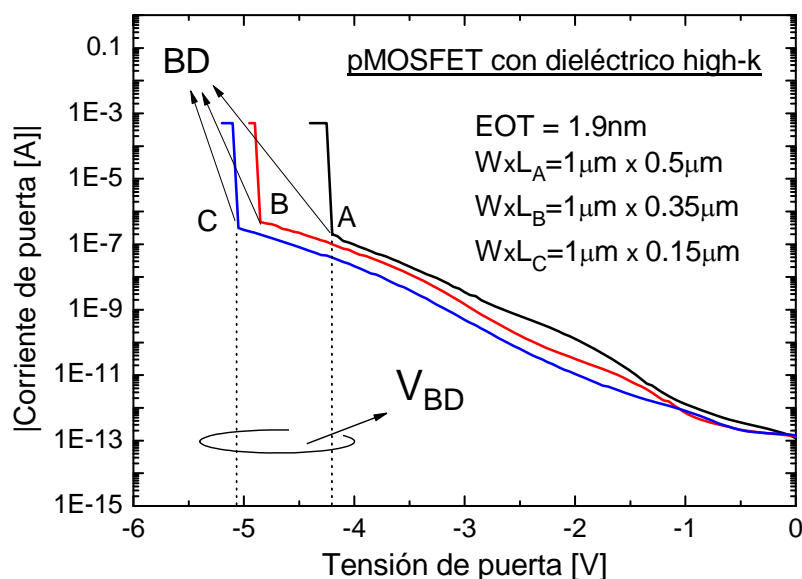


Figura 1-26: Característica I_G-V_G extraída durante la aplicación de estreses en forma de rampas de tensión RVS en diferentes transistores pMOSFET con dieléctrico high-k ultra delgado ($EOT=1.9\text{nm}$). Alcanzada una determinada tensión V_{BD} se produce la ruptura dieléctrica, que se observa como un salto brusco de la corriente que atraviesa el óxido de puerta.

1.4.2.2. Estrés en Tensión Constante (CVS).

La técnica de estrés a tensión constante (Constant Voltage Stress, CVS) consiste en aplicar una tensión constante al terminal de puerta, con el resto de terminales a tierra. La figura 1-27 muestra la característica I_G - t de una capacidad MOS tipo P, con un grosor EOT=1.9nm, sometida a una tensión de estrés de 3V. Durante el estrés se registra la corriente medida en el terminal de puerta hasta observarse la ruptura dieléctrica, lo que permite extraer la característica temporal de la corriente que atraviesa el óxido I_G - t . Este tipo de estrés permite obtener el tiempo transcurrido hasta la ruptura (t_{BD}) o la carga inyectada hasta la ruptura (Q_{BD}), que luego pueden ser utilizados para realizar predicciones de fiabilidad [91]. Dependiendo del grosor del dieléctrico la evolución de la característica puede variar. Para óxidos delgados basados en high-k, igual que para óxidos gruesos ($> 10\text{nm}$) basados en SiO_2 , al principio de la característica I_G - t se observa que la corriente disminuye, indicando que se está produciendo atrapamiento de carga dentro del óxido (ver figura 1-27) [92]. Con el paso del tiempo, el campo eléctrico que atraviesa el óxido activa los mecanismos que llevan a la degradación del óxido, y finalmente a la ruptura dieléctrica. Sin embargo, para óxidos de SiO_2 delgados ($< 10\text{nm}$), no se aprecia disminución alguna de la corriente que atraviesa el óxido, indicando que la carga que se atrapa en él es menos apreciable, y por tanto, la característica I_G - t se mantiene constante hasta observarse la ruptura dieléctrica. Para el caso de dieléctricos basados en materiales high-k, además debe tenerse en cuenta que el stack dieléctrico está formado por una capa de material high-k sobre otra de SiO_2 , y que por tanto, al estudiar la carga atrapada debe considerarse también este hecho.

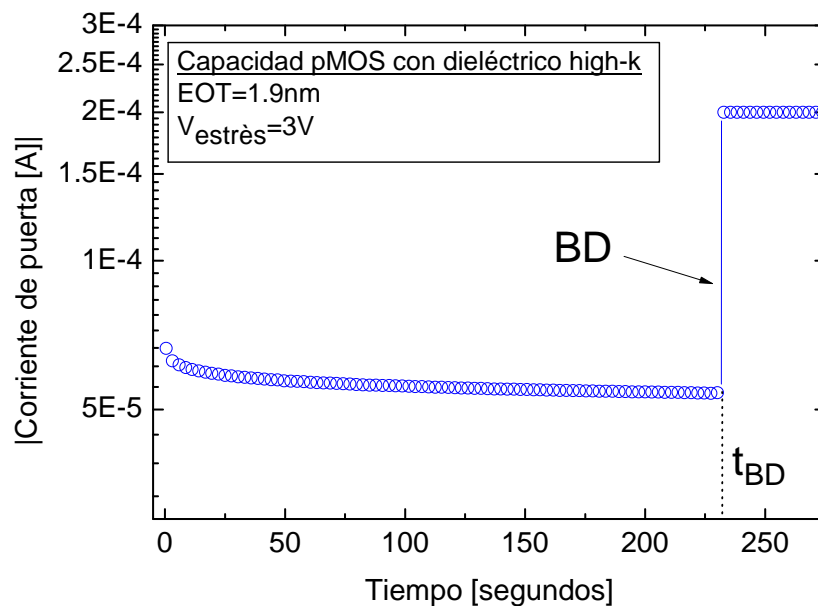


Figura 1-27: Característica I_G - t obtenida al aplicar un estrés a tensión constante (CVS) a una capacidad MOS con sustrato tipo P con dieléctrico de puerta basado en material high-k ultra delgado (EOT=1.9nm). Al inicio de la característica se observa un decremento de la corriente que atraviesa el óxido debido al atrapamiento de carga en el interior del óxido. En este caso, la ruptura también es detectada como un incremento brusco de la corriente I_G .

1.4.2.4. Estrés en Rampa Escalonada (S-RVS).

El estrés en Rampa Escalonada (Stepped Ramp Voltage Stress, S-RVS) es una combinación de los estreses RVS y CVS, que intenta obtener las ventajas de uno y de otro. Este estrés consiste en aplicar una tensión constante al terminal de puerta con el resto de terminales a tierra, e ir incrementando la tensión aplicada, dentro un rango de valores previamente escogido y a intervalos

regulares de tiempo, hasta que se observa la ruptura. La figura 1-28 muestra la evolución de la corriente a través del óxido medida en el terminal de puerta durante un estrés S-RVS. Como se aprecia en la figura, la corriente a través del óxido aumenta según aumenta V_G , que para el caso del ejemplo se ha incrementado 150mV cada 150 segundos aproximadamente. Si se miden las corrientes por los terminales se puede obtener, como en el caso del estrés CVS, la característica I_G -t, pero para diferentes valores de V_G . Esta técnica permite calcular la carga inyectada hasta la ruptura dieléctrica Q_{BD} , que se obtiene a partir de la corriente I_G y el tiempo transcurrido hasta la ruptura t_{BD} , como en el caso del estrés CVS, pero con tiempos de test mucho más reducidos, ya que con el estrés S-RVS se reducen los tiempos de observación de la ruptura.

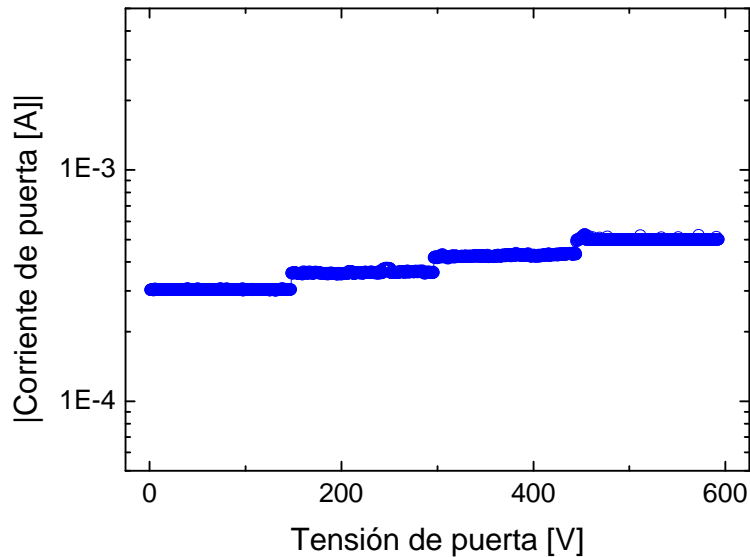


Figura 1-28: Característica I_G -t obtenida al aplicar un estrés a en rampa escalonada (S-RVS) a una transistor MOSFET tipo P con dieléctrico de puerta basado en material high-k ultra delgado (EOT=1.9nm). Este estrés consiste en incrementar la tensión de estrés dentro de un rango de tensiones previamente establecido a intervalos regulares de tiempo. Para el ejemplo, la tensión de V_{GS} se ha incrementado 150mV cada 150 segundo aproximadamente, desde los 700mV hasta 1V.

1.4.2.5. Estreses con Límite de Corriente (CL).

Un estrés limitado en corriente consiste en fijar el valor máximo de la corriente que se puede alcanzar durante la aplicación de un estrés. Por ejemplo, los tipos de estrés explicados anteriormente pueden ser limitados en corriente, como veremos en capítulos posteriores. En el caso del estudio de la ruptura dieléctrica, el límite de corriente puede realizarse de dos maneras. Una es imponiendo un límite de corriente bajo que no permita observar el salto de corriente característico de la ruptura dieléctrica, con lo que se limita la degradación del óxido previa a la ruptura. La segunda es imponiendo un límite de que si permita observar el salto de corriente pero que lo limite, disminuyendo la dureza de los efectos de la ruptura. La figura 1-29 muestra las características I_G -t (cuadrados rojos) y la característica V_G -t (círculos azules) al aplicar un estrés de tensión constante de 3V a una capacidad tipo P, con un límite de corriente establecido en 200 μ A. Como se aprecia en la figura, cuando se produce el salto de corriente característico de la ruptura y la corriente que atraviesa el óxido alcanza el valor del límite de corriente, la tensión baja para forzar que la corriente se mantenga en dicho valor, cumpliendo la ley de Ohm. Es decir, que tras alcanzar el límite de corriente el estrés aplicado se convierte en un estrés de corriente constante [92], ya sea un CVS o un RVS.

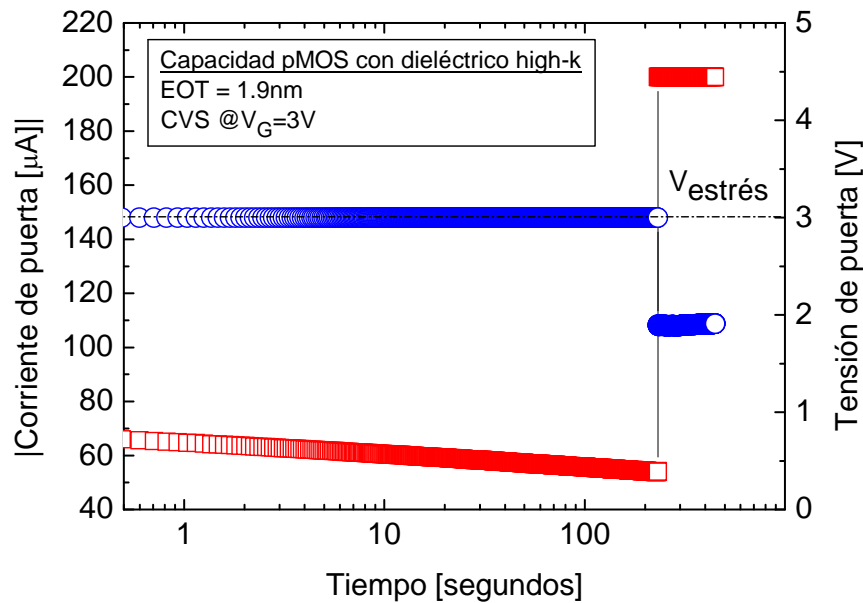


Figura 1-29: Características I_G -t (círculos azules) y V_G -t (cuadrados rojos) extraída durante la aplicación de un estrés en tensión constante con un límite de corriente establecido en $200\mu\text{A}$, sobre una capacidad pMOS con dieléctrico high-k ultra delgado ($EOT=1.9\text{nm}$). Al alcanzar el límite de corriente, la tensión aplicada disminuye para forzar que la corriente se mantenga en dicho valor.

1.4.3. Equipos de medida.

Las medidas experimentales realizadas en esta tesis se han realizado aplicando estreses directamente sobre oblea, que contienen los dispositivos MOS estudiados. Las medidas se han realizado con una mesa de puntas de la marca CASCADE, formada por un soporte llamado *chuck* donde se sitúa la oblea, y que según el diseño de la oblea puede usarse como contacto para el terminal de sustrato (figura 1-30a). La mesa de puntas está controlada remotamente mediante el programa *nucleus*, que permite desplazarse por la oblea e incluso programar medidas automáticas. Además, un equipo llamado TEMPTRONIC permite aplicar sobre la superficie del *chuck* diferentes temperaturas, comprendidas entre los -25 y 225°C , para reproducir diferentes temperaturas de trabajo. En la mesa hay situados cuatro micromanipuladores que soportan unas puntas conductoras que permiten acceder directamente a los contactos de los terminales de cada dispositivo dentro la oblea. La mesa de puntas está protegida de interferencias electromagnéticas por una caja de Faraday que la aísla del exterior. En la caja de Faraday hay una matriz de conexiones que permite conectar la mesa de puntas con el equipo de medida que está situado en el exterior de la caja, mediante el uso de cables coaxiales llamados SMUs (Source Monitor Unit), que permiten aplicar y registrar las tensiones y corrientes en cada punta. En este trabajo se ha utilizado como equipo de medida el analizador de semiconductores Keithley 4200-SCS (figura 1-30b). Configurando adecuadamente este instrumento se pueden realizar de forma automática los estreses y extraer las características eléctricas de los dispositivos estudiados. Además, la programación avanzada de este equipo de instrumentación mediante una interfaz de código C++ permite generar secuencias eléctricas que difieren de los estreses o características convencionales, y que pueden adecuarse más a las necesidades particulares de cada estudio, incluso interrumpir un estrés tras el suceso de un evento o condición medible. Por ejemplo, este tipo de código permite programar la finalización de un estrés CVS o RVS cuando se produce la ruptura dieléctrica y la corriente medida alcanza el valor del límite de corriente predeterminado, o simplemente al detectar un incremento o decremento de la corriente de una magnitud mínima predeterminada [93].

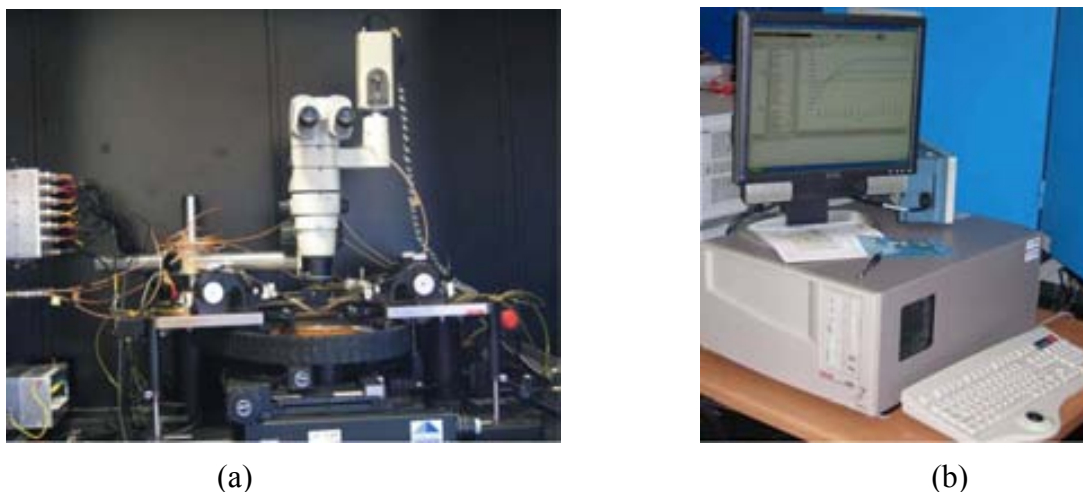


Figura 1-30: Equipo que permite realizar medidas a nivel de oblea utilizado para realizar el estrés y la caracterización de los dispositivos. (a) Mesa de puntas que permite realizar medidas a nivel de oblea. (b) Analizador de semiconductores Kiethley 4200-SCS con el que se aplican los estreses y se registran las tensiones y corrientes.

1.4.4. Software utilizado para el soporte a la investigación.

Para el estudio de la ruptura dieléctrica, y concretamente la caracterización y observación del fenómeno de su reversibilidad, se ha realizado una elevada cantidad de medidas que ha generado un volumen muy grande de datos que procesar y analizar. Esto ha sido debido al análisis estadístico de algunos de los parámetros y eventos que caracterizan el fenómeno, lo que requiere reproducir el fenómeno un gran número de veces, tanto en un mismo dispositivo como en diferentes, y en diversas condiciones de trabajo y/o con procedimientos de medida distintos. Esto se ha hecho con el objetivo de estudiar la variabilidad y evolución del fenómeno y los parámetros que lo caracterizan tras provocar un elevado número de veces la ruptura y su reversibilidad en un mismo dispositivo.

Con la finalidad de poder realizar todo este trabajo de análisis, se han desarrollado diferentes aplicaciones que han permitido realizar de forma automática diferentes partes de las tareas de tratamiento y análisis de los datos. La figura 1-31 muestra el esquema de los pasos seguidos tras la captura de los datos al finalizar una medida con el analizador de semiconductores. Cuando se guardan los datos de la medida, el equipo de instrumentación Keithley 4200 permite guardar los datos en formato Excel, o bien en un fichero ‘txt’ llamado ‘Keithley Data File, KDF’, que contiene todos los datos de la medida. El formato Excel proporciona los datos ordenados y preparados para su graficación y observación, pero no permite un fácil tratamiento de los mismos debido al volumen de datos a analizar. Por otro lado, el formato ‘KDF’ proporciona todos los datos de la medida capturados durante su realización, mezclados con la información del proyecto implementado para realizar las medidas con el analizador de semiconductores. Aunque este formato requiere de un tratamiento previo para adaptar los datos antes de su análisis, ha resultado mucho más apropiado por dos razones. La primera es que el formato ‘KDF’ es más compatible con los softwares de programación utilizados para el análisis y tratamiento de los datos, ya que se trata de un fichero ‘txt’. La segunda razón se debe a una cuestión de volumen de datos, los cuales son más fáciles de manipular si están en formato de datos, en lugar de formato Excel.

Para el tratamiento del fichero ‘KDF’ obtenido tras realizar la medida con el analizador de semiconductores, se ha utilizado el entorno de programación C++ (recuadro continuo). Este tratamiento consiste en la recopilación y reordenación de los datos del fichero ‘KDF’ en un árbol

de carpetas, en el que se clasifican las características y estreses realizados durante la medida en función del orden de ejecución en que se han realizado dentro del proyecto de medida. En cada carpeta, se generan diferentes ficheros '.txt', tantos como parámetros de corriente o tensión se hayan medido. Cada fichero contiene solamente los datos de un parámetro (tensión, corriente o tiempo), y recibe el nombre del parámetro y el terminal al que identifica. Una vez desglosados y estructurados los datos de una forma adecuada, se ha utilizado el software Matlab, que permite el análisis de los datos gracias a su método de cálculo de datos en forma matricial. Esta parte del proceso de análisis de datos se ha realizado en dos partes o pasos. Un primer programa Matlab carga los datos en diferentes variables y realiza un primer procesado y visualización de los datos, para comprobar el correcto procesado hasta este punto. Esta aplicación genera un fichero 'mat' que contiene las variables, que ya no debe modificarse. La segunda aplicación abre este fichero, carga las diferentes variables, y realiza el resto de operaciones que se quieren realizar con los datos. Esta segunda parte del proceso está estructurada en diferentes funciones, las cuales pueden activarse u omitirse en función de lo que se quiera analizar. Como los datos de la medida ya se han guardado en el fichero 'mat' que realiza la primera aplicación Matlab, esta segunda fase de análisis puede repetirse y modificarse sin alterar los datos iniciales o sin tener que rehacer pasos previos. Esto agiliza la revisión de los datos y su análisis reiterado, y más aún si se tiene en cuenta la gran cantidad de datos que se han tenido que analizar, y los múltiples análisis que se han realizado de cada dato. Finalmente, los datos y gráficas resultantes se han representado en Origin.

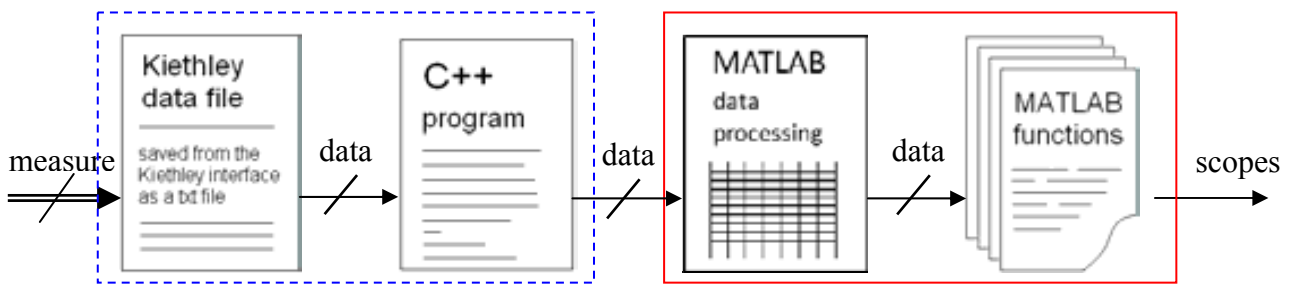


Figura 1-31: Esquema del proceso de tratamiento al cual son sometidos los datos para su análisis, (de izquierda a derecha) desde su obtención con el analizador de semiconductores, hasta su completo análisis y visualización de resultados. Cambios en el SETUP de medida implican cambios en las aplicaciones de MATLAB generadas (recuadro continuo), mientras que no implican ninguna modificación en el resto de pasos (recuadro discontinuo).

Finalmente, mencionar que el procedimiento de medida se ha modificado según los requerimientos de cada medida. Esto ha implicado variar constantemente el entorno programado para el análisis de los datos, ya que al variar el número de puntos de una característica o el número de estreses realizados durante la secuencia, hace que deban modificarse algunos parámetros del entorno Matlab. Para el procesado de datos en C++ esto no ha sido necesario, ya que esta parte se ha podido automatizar, con independencia de los cambios hechos en el procedimiento de medida.

2. Reversibilidad de la ruptura dieléctrica en capacidades MOS.

La pérdida de las propiedades aislantes del dieléctrico que tiene lugar cuando se produce la ruptura dieléctrica, ha sido considerada tradicionalmente como un fenómeno irreversible de los dispositivos MOS. Sin embargo, como se ha visto en el capítulo anterior, algunos trabajos de la década de los noventa muestran la recuperación de las propiedades aislantes del dieléctrico en óxidos basados en SiO₂ [60]. Otros trabajos más recientes muestran la recuperación de las propiedades aislantes también en dieléctricos ultra delgados basados en materiales high-k [61]. Desde un punto de vista de fiabilidad, la reversibilidad de la ruptura puede tener una gran relevancia en el estudio del impacto de la ruptura dieléctrica, tanto en la fiabilidad de dispositivos como en la de circuitos. Con el fin de estudiar como afecta la reversibilidad de la ruptura dieléctrica en la funcionalidad de los dispositivos, en este capítulo se presenta en primer lugar la caracterización del fenómeno de reversibilidad de la ruptura dieléctrica en capacidades MOS con dieléctrico de puerta ultra delgado basado en materiales high-k. Para realizarlo, primero se describe el fenómeno de reversibilidad de la ruptura observado en capacidades, y se definen los parámetros que caracterizan el fenómeno. Posteriormente, se analizan dos aspectos que se han considerado claves para la caracterización del fenómeno, que son 1) el efecto del límite de corriente aplicado durante el transitorio de ruptura y 2) la influencia de la polaridad de los estreses sobre la observación fenómeno. En este sentido, se discute como deben aplicarse los estreses de ruptura y de recuperación para poder observar la reversibilidad de la ruptura. También se analiza la distribución estadística de los tiempos de ruptura obtenidos en las medidas realizadas. Previamente a todo esto, se describen las muestras que se han utilizado, y se presenta el procedimiento de medida con el que se han llevado a cabo los experimentos.

2.1. Descripción de las muestras.

Para el estudio de la reversibilidad de la ruptura dieléctrica en capacidades, se han utilizado capacidades MOS tipo P y tipo N, con áreas de $4\mu\text{m}^2$ ($2\mu\text{m}\cdot 2\mu\text{m}$) y $25\mu\text{m}^2$ ($5\mu\text{m}\cdot 5\mu\text{m}$). El dieléctrico de puerta está formado por una capa de dieléctrico high-k, en este caso HfSiON con un 60% de Hf y un grosor físico de 2.9nm, depositado sobre una capa interfacial de óxido de silicio (SiO₂) de 1.2nm de grosor crecida controladamente. El grosor equivalente EOT es de 1.9nm. El

material del terminal de puerta es polisilicio fuertemente dopado, también llamado FUSI (Fully Silicided). Sin embargo, para comprobar el fenómeno de la recuperación de la ruptura dieléctrica en diferentes tipos de capacidades, también se han realizado experimentos en capacidades MOS con stack dieléctrico formado por una capa de HfSiO_2 con un grosor de 3.5nm depositada encima de una capa de SiO_2 de 1.4nm, lo que resulta en un $\text{EOT} = 2.25\text{nm}$. Para estas muestras el electrodo de puerta es de aluminio (Al).

2.2. Procedimiento de medida para observar la reversibilidad de la ruptura.

El procedimiento de medida que se ha implementado para el estudio de la reversibilidad de la ruptura dieléctrica en capacidades es el mostrado en la figura 2-1. En primer lugar, es necesario resaltar que uno de los requisitos imprescindibles para observar la reversibilidad de la ruptura es limitar la corriente durante el transitorio de ruptura, impidiendo que se produzca la ruptura total del dieléctrico. Si este requerimiento no se cumple, posteriormente no es posible reducir la conductividad del dieléctrico, y el fenómeno de reversibilidad de la ruptura no puede producirse. Por ello, para provocar la ruptura dieléctrica se han utilizado estreses con un límite de corriente previamente establecido para limitar la degradación en el óxido. En segundo lugar, para observar la reversibilidad de la ruptura, o lo que también llamaremos recuperación del óxido (R), se aplica nuevamente un estrés, pero sin establecer límite de corriente. Los estreses aplicados tanto para provocar la ruptura como su reversibilidad pueden ser tanto estreses CVS como RVS, pero siempre aplicando un límite de corriente en el transitorio de ruptura, y sin límite de corriente durante el transitorio de reversibilidad.



Figura 2-1: Procedimiento de medida para el estudio de la reversibilidad de la ruptura en capacidades MOS. Primero se realiza un estrés con límite de corriente para provocar la ruptura. Después se aplica un estrés sin límite de corriente para inducir la reversibilidad de la ruptura.

Para comprender mejor la secuencia de la figura 2-1, la figura 2-2 muestra un ejemplo de la fenomenología observada cuando se aplican estreses RVS, tanto para provocar la ruptura, como para inducir la reversibilidad, en una capacidad MOS con sustrato tipo N y área $4\mu\text{m}^2$. La primera característica I-V (línea continua) corresponde a la característica del dispositivo sin estresar, o característica fresca del óxido de puerta (corriente fresca, I_F). Como se observa en la figura, la corriente túnel que atraviesa el óxido incrementa a medida que aumenta la tensión aplicada entre los terminales de la capacidad. Para tensiones bajas ($\sim 0.5\text{V}$) se puede identificar la corriente por Túnel Directo, y para tensiones medias ($\sim 2.5\text{V}$) la corriente túnel Fowler-Nordheim. Si se sigue aumentando la tensión, se observa que a una tensión determinada (3.6V) la corriente que atraviesa el óxido aumenta bruscamente hasta alcanzar el límite de corriente, en este caso establecido en $500\mu\text{A}$. Este salto de corriente indica que la conductividad del óxido ha aumentado, y por tanto, que se ha producido la ruptura dieléctrica. La tensión a la que se produce la ruptura dieléctrica se denomina tensión de ruptura (V_{BD}). Si se realiza una nueva característica I-V pero sin límite de corriente (círculos), se observa que a tensiones bajas ($\sim 1\text{V}$) la corriente es mucho más elevada (corriente de post-ruptura, I_{BD}), aproximadamente 6 órdenes de magnitud mayor que la fresca. Esta curva I-V se denomina característica de post-ruptura, y como es de esperar, se caracteriza por

una corriente muy elevada que atraviesa el óxido por el *camino conductor* de ruptura. Si se continúa aumentando la tensión de puerta observamos que la corriente que atraviesa el óxido supera el valor del límite de corriente impuesto en la característica anterior. A una tensión determinada ($\sim 2.4\text{V}$), la corriente decae súbitamente varios órdenes de magnitud, hasta recuperar el nivel de corriente de la característica fresca, previo a la ruptura. La tensión a la que se produce esta caída de la corriente de puerta la hemos denominado tensión de recuperación (V_R), y se caracteriza por ser menor (en valor absoluto) que la tensión de ruptura V_{BD} . Finalmente, si realizamos una nueva rampa de tensión (cuadrados), también sin límite de corriente, obtenemos que a tensiones por debajo de V_R la corriente a través del óxido (corriente de post-recuperación, I_R) ahora es tres órdenes de magnitud menor que la corriente de post-ruptura I_{BD} , pero mayor que la corriente fresca I_F . A esta característica la hemos denominado característica de post-recuperación, y se corresponde a la característica I-V del óxido cuando se ha inducido la reversibilidad de la ruptura dieléctrica. Esta característica se caracteriza por tener una corriente (I_R) mucho menor que la corriente de la característica de post-ruptura (I_{BD}), pero mayor que la corriente fresca (I_F).

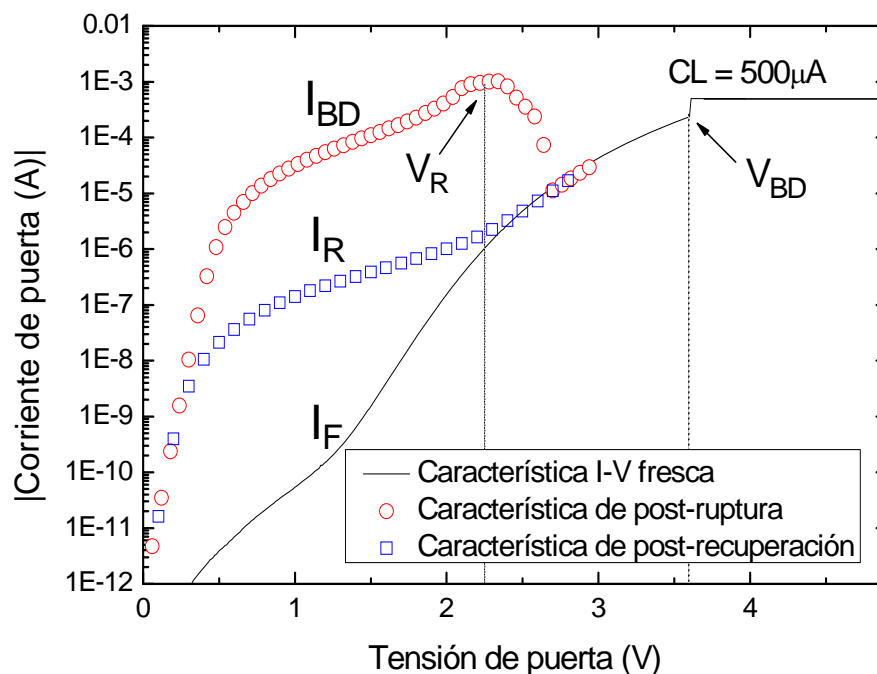


Figura 2-2: Característica I-V obtenida durante la aplicación de un estrés RVS con límite de corriente (CL-RVS) para inducir la ruptura (línea negra). Característica I-V de post-ruptura (círculos rojos). Característica de post-recuperación (cuadrados azules). En la característica I-V de post-ruptura se observa que, a una tensión determinada, la corriente a través del óxido I_{BD} disminuye hasta alcanzar la corriente fresca I_F . En la característica I-V de post-recuperación, a tensiones bajas se observa que la corriente I_R obtenida es varios órdenes de magnitud menor que la corriente I_{BD} medida durante la característica de post-ruptura, pero mayor que la corriente fresca I_F .

El ejemplo anterior demuestra que la ruptura dieléctrica puede ser un fenómeno reversible, distinguiéndose, además del estado conductivo inicial (I_F), dos estado conductivos: uno de alta conductividad (estado BD) caracterizado por I_{BD} , y otro de baja conductividad (estado R) caracterizado por I_R . La ruptura dieléctrica, que lleva el dieléctrico al estado de alta conductividad, se produce cuando la tensión de puerta alcanza la tensión de ruptura V_{BD} . Mientras que la reversibilidad de la ruptura, que se observa como una reducción de la corriente que atraviesa el óxido, se produce cuando la tensión de puerta alcanza el valor de V_R , que es más pequeña que V_{BD} . Los valores de las tensiones de ruptura V_{BD} y recuperación V_R del ejemplo anterior son para este caso en particular, y pueden variar ligeramente de una muestra a otra (**Artículo A**).

Limitar la corriente durante el transitorio de ruptura es un factor clave para que la ruptura sea un fenómeno reversible. En el siguiente apartado veremos que influencia tiene el límite de corriente sobre el fenómeno de reversibilidad de la ruptura.

2.3. Dependencia de la Reversibilidad de la ruptura con el límite de corriente.

Para analizar el efecto que tiene el límite de corriente durante el transitorio de ruptura sobre el fenómeno de reversibilidad de la ruptura, se han realizado diferentes medidas como las de la secuencia mostrada en la figura 2-1 en capacidades MOS tipo N variando el valor del límite de corriente. Para llevar a cabo estas medidas, se ha provocado la ruptura mediante estreses a tensión constante (CL-CVS) con diferentes valores de límite de corriente, establecidos en 10, 100, 200, y 500 μ A. Para inducir la reversibilidad se han utilizado estreses en rampa de tensión sin límite de corriente (RVS). Con objeto de demostrar que la limitación en corriente durante la ruptura es requisito indispensable para poder observar el fenómeno de reversibilidad de la ruptura, se han estresado varias muestras siguiendo la secuencia mostrada en la figura 2-1, pero sin establecer ningún límite de corriente durante el transitorio de ruptura. Es decir, sin limitar la degradación del óxido al producirse la ruptura dieléctrica. La figura 2-3 muestra la corriente I_{BD} y la corriente I_R en función del límite de corriente para cada una de las muestras analizadas. Los valores de corriente I_{BD} e I_R mostrados en la figura 2-3 se han obtenido a partir de las curvas I-V de los estreses, como las mostradas en el ejemplo de la figura 2-2, a una tensión de puerta $V_G=1V$. También se muestran las corrientes I_{BD} e I_R de las muestras en las que no se ha establecido límite de corriente (no CL), y el nivel de corriente del dispositivo fresco I_F , también medido a 1V.

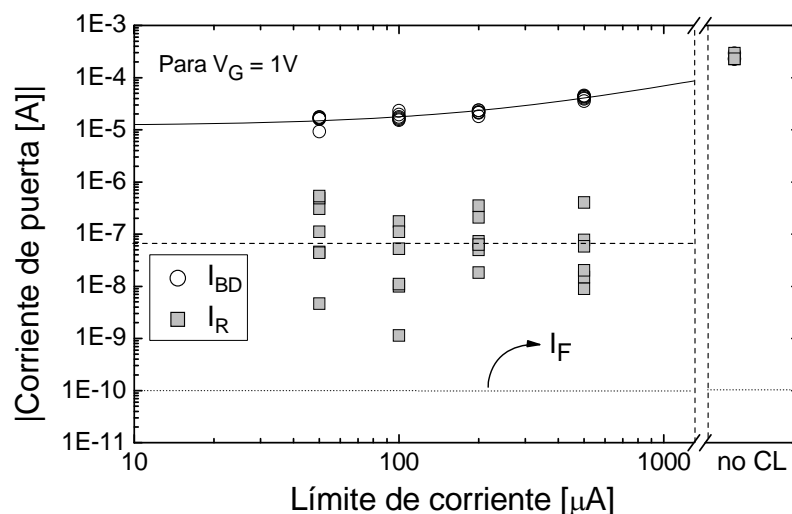


Figura 2-3: Corrientes de post-ruptura I_{BD} (círculos blancos) y de post-recuperación I_R (cuadrados grises) en función del límite de corriente, medidas a una tensión de puerta $V_G=1V$. También se muestran las corrientes de aquellas muestras en las que no se ha aplicado límite de corriente, en las que se observa que ambas corrientes se solapan, indicando que la reversibilidad no se produce si no se establece límite de corriente durante el transitorio de ruptura. La línea punteada indica el valor de corriente fresca I_F también medido a $V_G=1V$.

Los resultados mostrados en la figura 2-3 corroboran la presencia de dos estados conductivos que coexisten en el dieléctrico tras observarse la ruptura dieléctrica con límite de corriente, uno de alta conductividad (BD, caracterizado por la corriente I_{BD}) y otro de baja conductividad (R, caracterizado por la corriente I_R). Por tanto, puede concluirse que la reversibilidad de la ruptura dieléctrica también puede ser observada cuando se realizan estreses a tensión constante (CVS) para provocar la ruptura. Por otro lado, en la figura 2-3 se observa que la corriente de post-ruptura I_{BD} muestra muy poca dispersión, y que además el valor de I_{BD} aumenta con el límite de corriente

(línea continua negra). Esto indica que el estado de alta conductividad que alcanza el óxido tras la ruptura depende del nivel de degradación del óxido, que es mayor cuanto más elevado es el límite de corriente establecido. Sin embargo, la corriente de recuperación I_R presenta una dispersión relativa mucho mayor, y parece no tener ninguna dependencia con el límite de corriente (línea discontinua). Además, la corriente I_R siempre es mayor que la corriente fresca medida a la misma tensión, que también se muestra en la gráfica (I_F , línea punteada). Este hecho sugiere que el estado de baja conductividad es independiente del límite de corriente, y que el dieléctrico recupera las propiedades aislantes parcialmente, ya que parte del daño causado no puede recuperarse y permanece en el óxido. Por otro lado, para las muestras en que no se ha establecido límite de corriente se observa que las corrientes I_{BD} e I_R se solapan, no pudiéndose alcanzar el estado de baja conductividad. Este resultado indica que el límite de corriente aplicado durante el transitorio de ruptura es fundamental para poder observar la reversibilidad de la ruptura. Además, cuando no se aplica límite de corriente también se observa que el nivel de corriente alcanzado tras la ruptura es más elevado que en los que sí se establece límite de corriente, confirmando que el límite de corriente limita la degradación del óxido al producirse la ruptura (**Artículo A**).

Cabe destacar que el estado de alta conductividad, una vez alcanzada la ruptura limitada en corriente, es muy estable, y no depende del tiempo transcurrido desde el momento en que se produce la ruptura durante el estrés CL-CVS hasta que termina la medida. Este hecho se puede observar en la figura 2-4 donde se muestra la evolución de la tensión de puerta aplicada durante los estreses CL-CVS para diferentes límites de corriente. Cuando se produce la ruptura, incrementando la corriente a través del óxido bruscamente, el equipo de instrumentación reduce rápidamente la tensión de estrés para mantener el valor del límite de corriente establecido. Después de esto, el CL-CVS se convierte en un estrés de corriente constante, donde el nivel de corriente constante del estrés queda impuesto por el valor del límite de corriente preestablecido. El tiempo que dura el CCS, es decir, desde que se produce la ruptura hasta que finaliza el estrés, varía entre una muestra y otra debido a que depende del instante en que se produce la ruptura durante el propio estrés. Como se aprecia en la figura, tras observarse la ruptura el nivel de tensión se mantiene estable, y alcanza valores parecidos para un mismo valor de límite de corriente. Dado que la corriente tampoco aumenta porque está limitada en corriente, no se produce degradación adicional a la generada durante el transitorio de ruptura. Si esto no fuera así, se observaría un descenso de la tensión de puerta con el transcurso del tiempo debido a que la conductividad del óxido seguiría aumentando (**artículo A**).

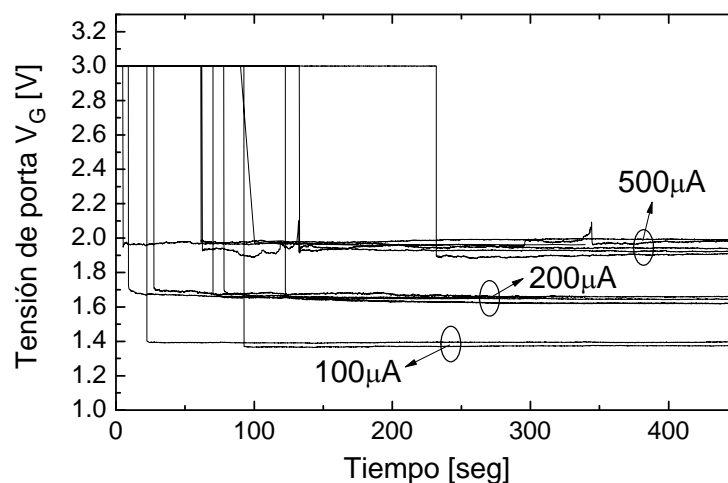


Figura 2-4: Evolución de la tensión de puerta durante el estrés CL-CVS de la secuencia de la figura 2-1, realizada en diferentes capacidades MOS para diferentes límites de corriente. La súbita caída de la tensión de puerta indica que se ha producido la ruptura dieléctrica. Cuando esto ocurre, el CL-CVS el equipo fuerza una corriente igual al valor del límite preestablecido. Tras la ruptura, la tensión de puerta se mantiene estable, indicando que no se produce degradación adicional en el *camino conducto* creado con la ruptura dieléctrica.

Por último, la figura 2-5 muestra el Plot de Gumbel de la distribución de probabilidad acumulada de los tiempos de ruptura t_{BD} , obtenidos durante la aplicación del CL-CVS de las medidas anteriores. Como se puede apreciar, los valores de los tiempos de ruptura siguen una distribución de Weibull, con parámetros $\beta=0.90506$ y $\eta=176.5$, que corresponden a la pendiente y al factor de escala de la distribución respectivamente. Estos valores son los esperables en las condiciones que se han realizado los estreses [94], corroborando que se alcanza la ruptura dieléctrica durante el estrés limitado en corriente.

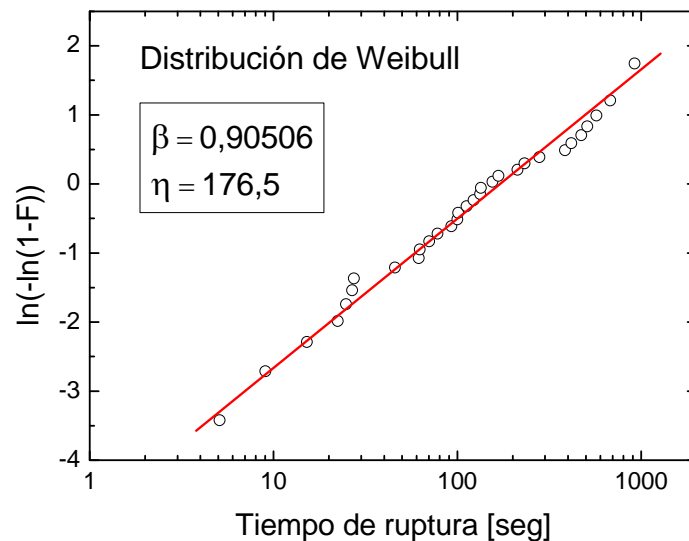


Figura 2-5: Distribución de la función de probabilidad acumulada de los tiempos de ruptura t_{BD} medidos durante los estreses CL-CVS en 30 capacidades MOS con sustrato tipo N.

2.4. Influencia de la polaridad del estrés.

Para analizar la influencia de la polaridad de estrés sobre el fenómeno de reversibilidad de la ruptura, y los efectos que puede tener sobre las propiedades del dieléctrico, se han analizado las corrientes I_{BD} e I_R medidas en diversas capacidades MOS (tanto tipo N como tipo P), aplicando ambas polaridades (positiva y negativa), tanto en el estrés de ruptura, como en el de recuperación. Es decir, que para cada polaridad de estreses de ruptura, se han aplicado estreses de recuperación de polaridad positiva y negativa. Esto ha dado lugar a cuatro casos diferentes de la secuencia de la figura 2-1. Las figuras 2-6 y 2-7 muestran las características I-V de post-ruptura y post-recuperación obtenidas tras provocar la ruptura dieléctrica y su reversibilidad en capacidades tipo N y en capacidades tipo P, respectivamente. Para los casos (A) y (B) de ambos tipos de capacidades se ha aplicado un estrés CL-CVS a $V_G=3.2V$. Mientras que para los casos (C) y (D), en las capacidades tipo N se ha utilizado una tensión de estrés CL-CVS de $-3.6V$, y para las de tipo P de $-3.8V$. En todos los casos, y en ambos tipos de capacidades, se ha aplicado un límite de corriente de $500\mu A$.

Para el caso A de la figura 2-6 (capacidades MOS tipo N) no se observa la reversibilidad de la ruptura, al contrario, sino que se produce un incremento de la corriente I_{BD1} , indicando que se ha producido una nueva ruptura (círculos rojos en A). En la segunda característica de post-ruptura (triángulos azules) la corriente I_{BD2} aún es mayor, confirmando que el daño en el dieléctrico ha aumentado. Sin embargo, para el resto de casos (B, C y D) siempre se observa la reversibilidad de

la ruptura, como un decremento brusco de la corriente I_{BD} en la característica de post-ruptura (círculos rojos). Cuando se realiza una nueva característica (triángulos azules), la corriente I_R obtenida es varios órdenes de magnitud menor que la corriente I_{BD} , pero siempre mayor que la corriente del dispositivo fresco I_F (línea negra). También observamos, como en el ejemplo del caso C, que en algunos casos la reversibilidad puede ser observada en diferentes pasos. Cuando se realiza una primera característica de post-ruptura (círculos rojos) la corriente I_{BD1} disminuye ligeramente, indicando que existe una fluctuación de la conductividad, pero el dieléctrico aún no ha abandonado el estado de alta conductividad BD. Sin embargo, al realizar una segunda característica de post-ruptura (cuadrados verdes), la corriente I_{BD2} vuelve a disminuir, dejando el dieléctrico en un estado conductivo claramente más bajo que antes, caracterizado por I_R .

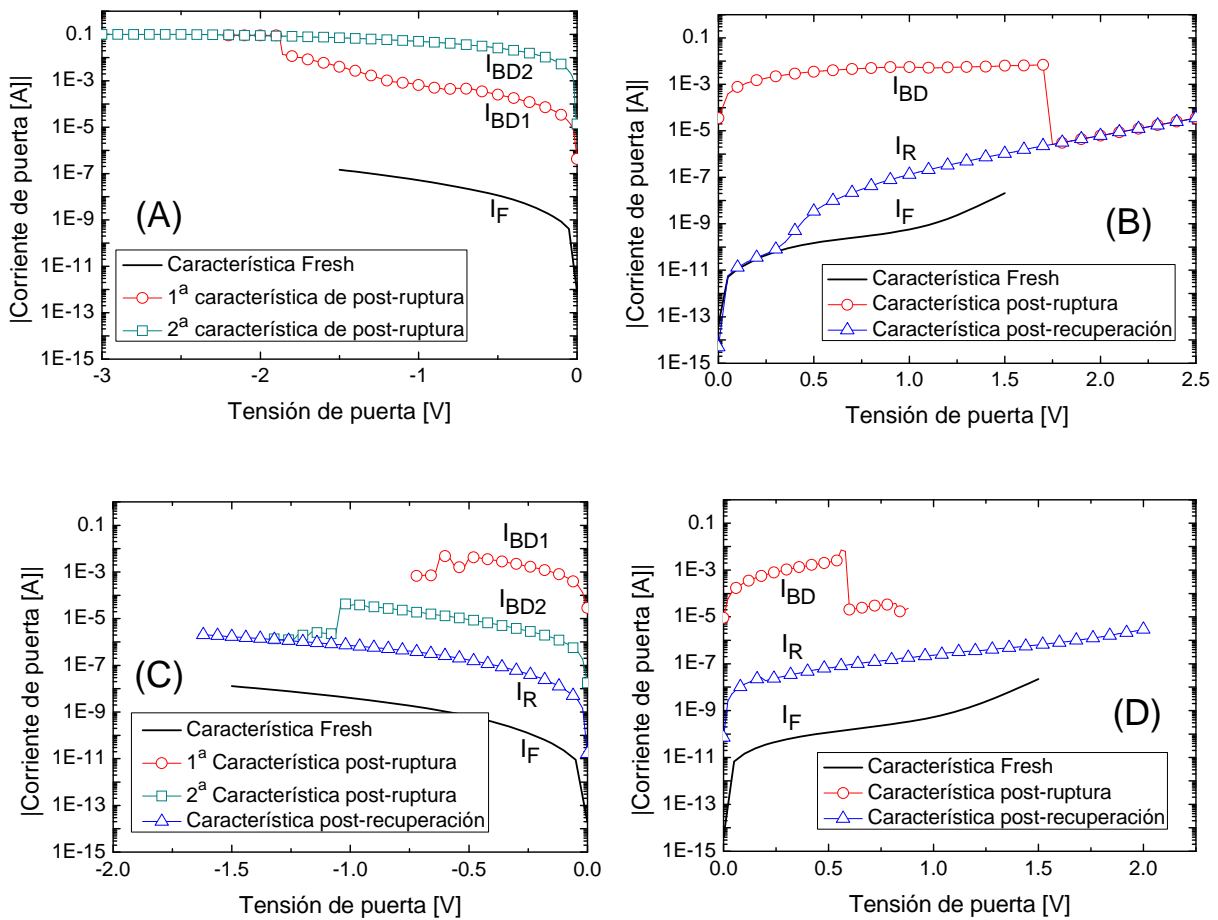


Figura 2-6: Características de post-ruptura (círculos rojos) y de post-recuperación (triángulos azules) obtenidas al aplicar una rampa de tensión (RVS) positiva (casos B y D), y una rampa de tensión negativa (casos A y C) en capacidades MOS tipo N. La ruptura dieléctrica se ha provocado mediante CL-CVS a una tensión positiva de 3.2V (casos A y B), y a una tensión negativa de -3.6V (casos C y D). En todos los casos se muestra también la corriente fresca medida con la capacidad sin estresar (línea negra). En algunos casos, como el ejemplo del caso C, la reversibilidad de la ruptura se observa en diferentes pasos. En una primera característica de post-ruptura (círculos rojos) la corriente I_{BD1} registrada disminuye ligeramente. Sin embargo en una segunda característica de post-ruptura (cuadrados verde), la corriente I_{BD2} disminuye de nuevo, dejando el dieléctrico en un estado conductivo mucho menor.

En la figura 2-7 se muestran los casos de la secuencia de la figura 2-1 para capacidades MOS tipo P. Nuevamente, en el caso A (estrés de ruptura positivo y estrés de recuperación negativo) no se observa la reversibilidad de la ruptura. Al contrario, al realizar la primera característica de post-ruptura (círculos rojos) se produce una nueva ruptura (incremento de I_{BD1}). Al realizar una

segunda característica de post-ruptura (cuadrados verdes, la corriente I_{BD2} aún es mayor, confirmando que el daño en el dieléctrico se ha hecho mayor. Para el resto de casos si se observa la reversibilidad de la ruptura, como un decremento de la corriente de post-ruptura I_{BD} (círculos rojos). En la característica de post-recuperación (triángulos azules) la corriente I_R es varios órdenes de magnitud menor que I_{BD} , pero en cualquier caso mayor que I_F . Como se ha explicado para el caso C de la figura 2-6, en el caso D de la figura 2-7 también se observa como la reversibilidad de la ruptura se produce en sucesivas etapas. En una primera característica (círculos rojos), la corriente I_{BD1} apenas disminuye. Sin embargo, al realizar una segunda característica (cuadrados verdes), la corriente I_{BD2} disminuye nuevamente, observándose en la siguiente característica (triángulos azules) una corriente I_R varios órdenes de magnitud menor que I_{BD2} .

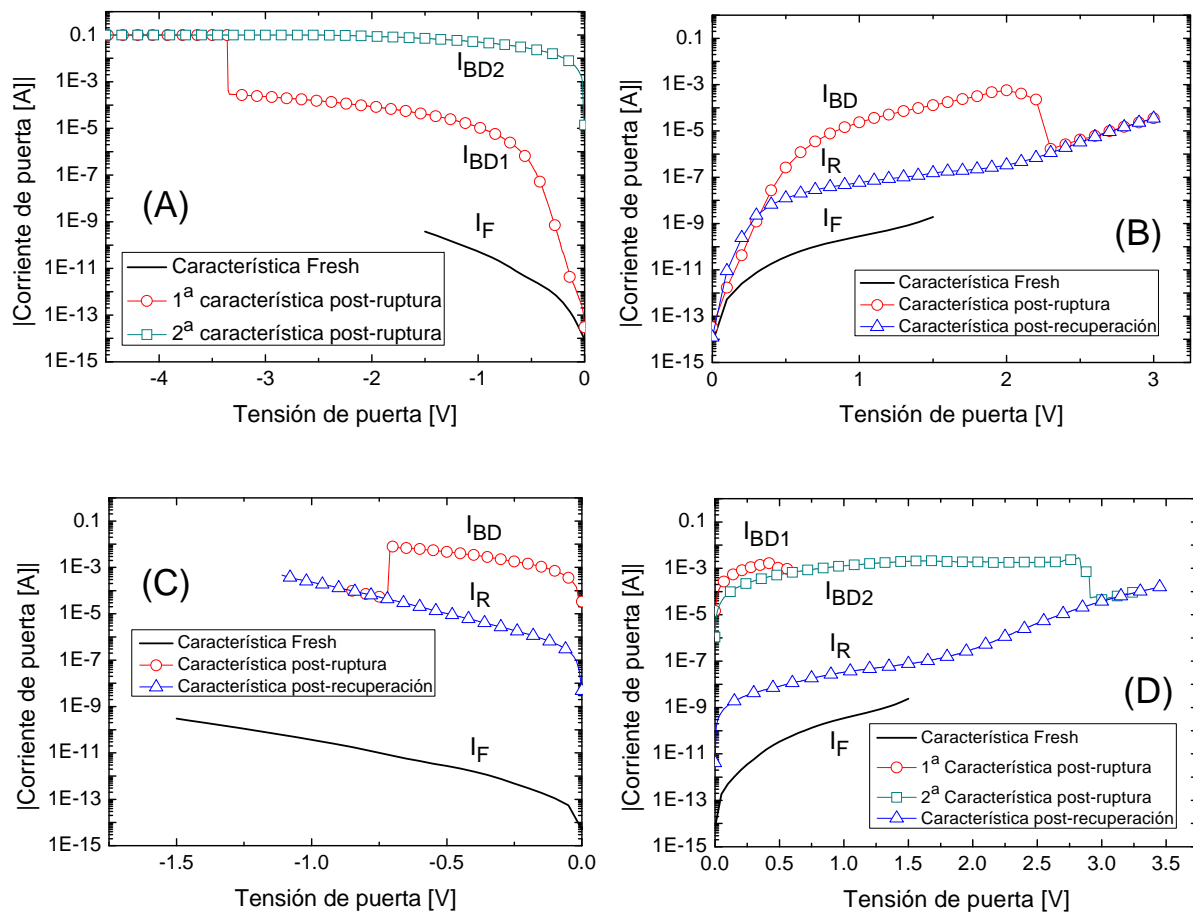


Figura 2-7: Características de post-ruptura (círculos rojos) e de post-recuperación (triángulos azules) obtenidas al aplicar una rampa de tensión (RVS) positiva (casos B y D), y una rampa de tensión negativa (casos A y C) en capacidades MOS tipo P. La ruptura dieléctrica se ha provocado mediante CL-CVS a una tensión positiva de 3.2V (casos A y B), y a una tensión negativa de -3.8V (casos C y D). En todos los casos se muestra también la corriente fresca medida con la capacidad sin estresar (línea negra). En el ejemplo del caso D, la reversibilidad de la ruptura también se observa en sucesivos pasos. En una primera característica de post-ruptura (círculos rojos) la corriente I_{BD1} registrada disminuye ligeramente. En la segunda característica de post-ruptura (triángulos verdes), la corriente I_{BD2} disminuye nuevamente.

En resumen, la reversibilidad de la ruptura se observa en todos los casos, excepto cuando la ruptura se produce a una tensión positiva ($V_{BD} > 0V$), y la reversibilidad a una tensión negativa ($V_R < 0V$), que se corresponde con el caso A de las figuras 2-6 y 2-7. Destacar que estas medidas se han realizado más de 10 veces para cada uno de los casos, poniendo especial atención a los casos en que no se observa. Por tanto, se puede concluir que la reversibilidad de la ruptura en las

muestras estudiadas depende de la polaridad con que se realizan los estreses de ruptura y recuperación. La tabla 2-1 resume los resultados de estas observaciones, indicando cuando se observa la reversibilidad de la ruptura según la polaridad de los estreses de ruptura y de recuperación aplicados (**Artículo A**).

		Polaridad del estrés de ruptura	
		Positiva	Negativa
Polaridad del estrés de recuperación	Positiva	✓	✓
	Negativa	✗	✓

Tabla 2-1: Resumen de los casos en que se observa la reversibilidad de la ruptura dieléctrica en función de las polaridades del estrés CL-CVS y del RVS utilizados según la secuencia de la figura 2-1. Los casos indicados con una marca afirmativa son aquellos en los que si se observa la reversibilidad de la ruptura, mientras que en el caso marcado con una cruz no se observa. Esta tabla es válida tanto para capacidades MOS tipo N como tipo P.

2.5. Comparación de la reversibilidad de la ruptura y el fenómeno Resistive Switching.

Los resultados expuestos en los apartados anteriores muestran que la ruptura dieléctrica en dispositivos MOS con dieléctrico de puerta high-k puede ser un fenómeno reversible. Más aún, una vez producida la primera ruptura, existen dos estados conductivos intercambiables en el dieléctrico, uno de alta conductividad I_{BD} y otro de baja conductividad I_R , caracterizados por una corriente elevada, I_{BD} , y una corriente más pequeña, I_R , respectivamente. El cambio entre estados se produce al aplicar al terminal de puerta las tensiones de ruptura V_{BD} y de recuperación V_R . Todos estos resultados evidencian fuertes similitudes entre el fenómeno de reversibilidad de la ruptura dieléctrica y el efecto Resistive Switching. Además, algunos autores sugieren que la ruptura dieléctrica es un fenómeno causado por efectos térmicos en el óxido, lo cual también parece tener mucho parecido con los efectos termoquímicos que causan el efecto RS en una estructura MIS, la cual también es muy parecida a la estructura MOS, pero con óxidos mucho más gruesos.

Desde un punto de vista funcional, estos dos fenómenos actúan de igual manera sobre un material aislante, modificando sus propiedades aislantes, y por tanto su conductividad, según una secuencia eléctrica. Aunque para comprender completamente los mecanismos que dan lugar a la reversibilidad de la ruptura será necesario el esfuerzo de numerosos grupos de investigación, la analogía entre la reversibilidad y el RS puede suponer un avance en esa dirección, debido a que el RS es un fenómeno que está tomando mucha relevancia y al cual se están dedicando muchos recursos por parte de la comunidad científica.

La figura 2-8 muestra las similitudes entre las características I-V propias del efecto RS (izquierda), obtenidas en estructuras MIM utilizada como dispositivo de memoria no volátil [81], y las correspondientes a la reversibilidad de la ruptura (derecha), obtenidas en capacidades MOS con dieléctrico de puerta ultra delgado basado en materiales high-k.

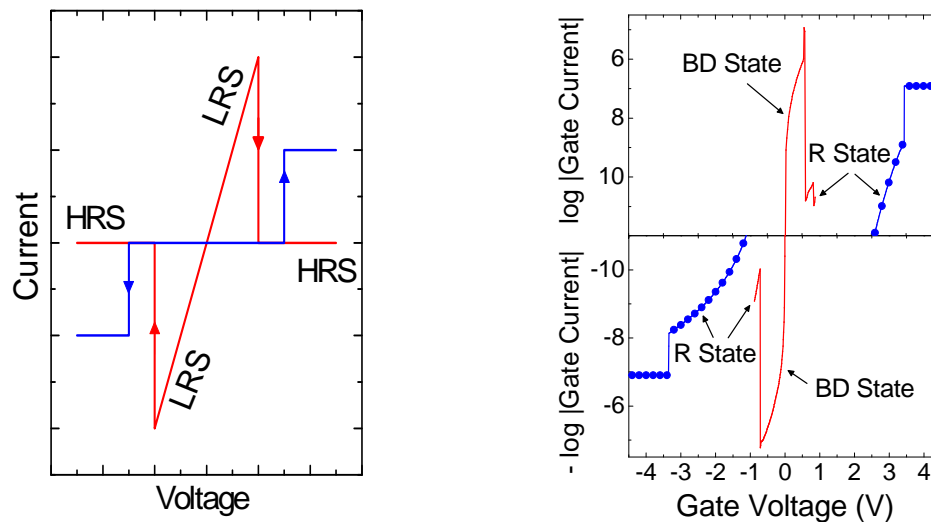


Figura 2-8: (Izqa.) Característica I-V del fenómeno RS obtenida en una estructura MIM [81]. (Drch.) Característica I-V del fenómeno de reversibilidad de la ruptura dieléctrica obtenida en un dispositivo MOS con dieléctrico de puerta high-k. Ambos fenómenos presentan características I-V similares, con dos estados conductivos intercambiables.

A partir de lo explicado en este capítulo, y recordando las características que presentaba el fenómeno RS expuesto en el capítulo 1, a continuación se enumeran las similitudes entre la Reversibilidad de la Ruptura Dieléctrica y el fenómeno de Resistive Switching [95] (**Artículo A**).

- (1) Tanto la Reversibilidad como el RS se caracterizan por la existencia de dos estados conductivos intercambiables en el dieléctrico, uno de alta conductividad (LRS o BD) y otro de baja (HRS o R) [95].
- (2) El cambio de estado se provoca eléctricamente, aplicando las tensiones V_{SET} y V_{RESET} en el caso del RS, o V_{BD} y V_{R} en el caso de la reversibilidad. En ambos casos la tensión que conmuta al estado conductivo alto (V_{SET} o V_{BD}) es mayor que la que cambia al estado de baja conductividad (V_{RESET} o V_{R}) [82].
- (3) Durante el proceso de SET (o ruptura en el caso de la reversibilidad) es necesario aplicar siempre un límite de corriente para limitar la degradación del dieléctrico. De no ser así, no es posible volver al estado de baja conductividad en ambos casos [74].
- (4) Mediante la secuencia de estreses adecuada pueden alternarse repetidas veces entre ambos estados.
- (5) En el caso de la ruptura y su reversibilidad, el mecanismo que la provoca se define como la creación de un camino conductor, proceso que se explica a través del modelo percolativo. Mientras que en el caso del RS basado en efectos termoquímicos en óxidos se asocia a la formación de un filamento conductor [63].
- (6) Ambos fenómenos se observan en estructuras MIS (Metal-Insulator-Semiconductor), donde la estructura MOS es un caso particular de ésta, pero con un dieléctrico mucho más delgado ($< 2\text{-}3\text{nm}$).
- (7) Los dieléctricos de ambas estructuras están basados en óxidos, generalmente high-k, y se cree que el mecanismo de degradación está intrínsecamente relacionado con efectos térmicos que cambian las propiedades del óxido.

3. Reversibilidad de la ruptura dieléctrica en transistores MOSFET.

El análisis y caracterización de la reversibilidad de la ruptura dieléctrica también se ha estudiado en transistores MOSFET con dieléctrico de puerta ultra delgado basado en material high-k. El estudio de la reversibilidad en transistores servirá, posteriormente, para ver su efecto en el funcionamiento de circuitos. Por tanto, este análisis se ha realizado a diferentes niveles. En primer lugar se ha analizado la reversibilidad de la ruptura cómo fenómeno que tiene lugar en el dieléctrico del transistor y que da lugar a la recuperación de sus propiedades aislantes tras haber sufrido la ruptura. En segundo lugar, se ha estudiado como afectan la ruptura dieléctrica y su reversibilidad a la funcionalidad de los transistores. Finalmente, para completar este estudio se ha analizado el impacto de la ruptura y su reversibilidad en la funcionalidad de los circuitos cuando uno o varios dispositivos que lo forman han sufrido la ruptura y/o la reversibilidad de su dieléctrico.

3.1. Descripción de las muestras y procedimiento de medida.

Para analizar la reversibilidad de la ruptura en transistores se han utilizado transistores MOSFET tipo P y tipo N, con dieléctrico de puerta ultra delgado, formado por una capa de dieléctrico high-k (HfSiON) con una concentración de Hf del 60% y un grosor físico 2.9nm, depositada sobre una capa interfacial de óxido de Silicio (SiO₂) de grosor físico 1.2nm. El stack dieléctrico resultante tiene un EOT de 1.9nm. El terminal de puerta está formado por polisilicio altamente dopado (FUSI). Además, se han utilizado transistores con diferentes áreas, con anchuras y longitudes de canal comprendidas entre 0.15µm-10µm y 0.11µm-1µm, respectivamente.

Las medidas experimentales en el laboratorio se han llevado a cabo siguiendo la secuencia que se muestra en la figura 3-1. En primer lugar se han obtenido las características del transistor fresco. Para provocar la ruptura dieléctrica (BD) se han estresado las muestras aplicando, en la mayoría de los casos, estreses en forma de rampa de tensión (RVS) en el terminal de puerta, con el resto de terminales (drenador, fuente y sustrato) conectados a tierra. Aunque en algunos casos también se han utilizado estreses a tensión constante (CVS). Para limitar el daño causado en el óxido del dieléctrico se ha aplicado un límite de corriente en el terminal de puerta de forma que la corriente que atraviesa el óxido no supere el valor establecido. Como se ha demostrado en el capítulo 3, este

punto es muy importante dado que si durante el transitorio de ruptura no se limita el daño que se crea, la ruptura dieléctrica se vuelve irreversible. Por otro lado, para inducir la reversibilidad de la ruptura (R) se han utilizado diferentes estreses, en función de los parámetros que se han querido analizar. Así, se han aplicado rampa de tensión (RVS), tensión constante CVS, y rampa escalonada S-RVS. Estos estreses se han aplicado en el terminal de puerta con el resto de terminales conectados a tierra. Cabe recordar que, para el estrés de recuperación de la ruptura no debe aplicarse límite de corriente. Para analizar cómo se ve afectada la funcionalidad del dispositivo, tras cada estrés, tanto de ruptura como de recuperación, se han registrado las características I_G-V_G , I_D-V_G e I_D-V_D del transistor. Además, como se muestra en la figura 3-1, tras realizar la secuencia de ruptura y de recuperación se puede volver a realizar otra iteración de ésta, pudiéndose completar múltiples ciclos de la secuencia en una misma muestra. Destacar que en alguna medida se han llegado a superar los 800 ciclos (**Artículo B**).

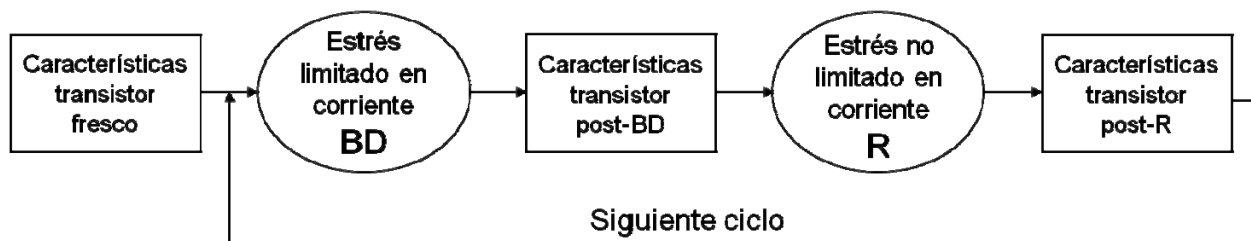


Figura 3-1: Esquema del procedimiento de medida utilizado para analizar la reversibilidad de la ruptura dieléctrica en transistores. Inicialmente, se han registrado las características del dispositivo fresco. Para provocar la ruptura dieléctrica se han utilizado principalmente estreses en rampa de tensión (RVS). Sin embargo para el estrés de recuperación de la ruptura se han implementado diferentes estreses en función de los parámetros o requisitos de cada estudio: rampas de tensión (RVS), tensión constante (CVS) o rampas escalonadas (S-RVS). Tanto después de provocar la ruptura como la recuperación, se han registrado las características del transistor para estudiar los cambios en las propiedades eléctricas del dieléctrico y en la funcionalidad del dispositivo.

En función de la medida concreta a realizar para analizar diferentes parámetros relacionados con el fenómeno de la reversibilidad de la ruptura en transistores, algunas características del procedimiento de medida previamente explicado se han variado. Así, se han utilizado diferentes límites de corriente, tipos de estrés para provocar la ruptura y su reversibilidad, temperaturas de trabajo, y otros factores necesarios para cumplir con los objetivos de la medida. En cada sección se describirán las particularidades de cada medida.

3.2. Caracterización de la reversibilidad de la ruptura dieléctrica en transistores MOSFET.

En esta sección se explica el fenómeno de reversibilidad de la ruptura dieléctrica en transistores MOSFET, y se estudian los parámetros que la caracterizan. Entre otros aspectos, se analiza el carácter local de la ruptura y del daño que permanece tras su reversibilidad, la conductividad del dieléctrico mediante la medida de la corriente de puerta, y la dependencia del fenómeno con parámetros como la polaridad de los estreses de ruptura y de recuperación, o del límite de corriente aplicado durante el transitorio de ruptura.

3.2.1. Descripción de la reversibilidad de la ruptura en transistores MOSFET.

La figura 3-2 muestra el fenómeno de reversibilidad de la ruptura dieléctrica en un transistor MOSFET tipo P. Siguiendo el procedimiento de medida mostrado en la figura 3-1, se han utilizado rampas de tensión aplicadas al terminal de puerta del transistor con el resto de terminales conectados a tierra, tanto para el estrés limitado en corriente para provocar la ruptura como para el

estrés no limitado en corriente para recuperarla (CL-RVS y RVS respectivamente). La primera característica I-V obtenida al aplicar el primer CL-RVS se corresponde con la característica fresca del dieléctrico (I_F). A medida que la tensión de puerta (V_G) aumenta, al alcanzar un determinado valor (tensión de ruptura o Breakdown voltage, V_{BD}) se observa un incremento brusco de la corriente que atraviesa el dieléctrico medida en el terminal de puerta, indicando que la ruptura dieléctrica ha tenido lugar. Como en este primer estrés de la secuencia se aplica un límite de corriente, la degradación del óxido causada por la ruptura se detiene cuando la corriente que atraviesa el óxido alcanza dicho límite. Al realizar la segunda característica I-V, correspondiente al estrés de recuperación no limitado en corriente RVS (círculos blancos), se observa que para tensiones de puerta bajas la corriente que atraviesa el óxido medida en el terminal de puerta es aproximadamente ocho órdenes de magnitud mayor que la fresca. Esta elevada corriente (I_{BD}) indica que las propiedades aislantes del dieléctrico se han perdido debido al daño causado por la ruptura dieléctrica, dejando el dieléctrico en un estado de alta conductividad. Sin embargo, si la tensión aplicada en el terminal de puerta sigue aumentando, observamos que a una determinada tensión (tensión de recuperación o Recovery voltage, V_R) la corriente decae súbitamente varios órdenes de magnitud, indicando que la conductividad del óxido ha disminuido, y por tanto, que se ha producido la reversibilidad de la ruptura. Cuando esto sucede, el estrés de recuperación se detiene para evitar la ocurrencia de nuevas rupturas, que harían imposible realizar nuevos ciclos de ruptura-recuperación. Al realizar un nuevo CL-RVS, la corriente medida (I_R) es varios órdenes de magnitud menor que I_{BD} , aunque mayor que I_F , lo que muestra que las propiedades aislantes del óxido se han recuperado parcialmente. Si se sigue aumentando la tensión de puerta se puede provocar una nueva ruptura, y posteriormente, en otra rampa I-V, se puede inducir de nuevo la reversibilidad de ésta. Así sucesivamente, se pueden realizar diversas iteraciones o ciclos de ruptura-recuperación en una misma muestra, tal y como muestra la secuencia de la figura 3-1. La figura 3-2 muestra tres iteraciones sucesivas, donde las líneas continuas muestran las características I-V de los estreses de ruptura limitados en corriente (CL-RVSs), y las líneas discontinuas las características I-V de los estreses de recuperación sin límite de corriente (RVSs).

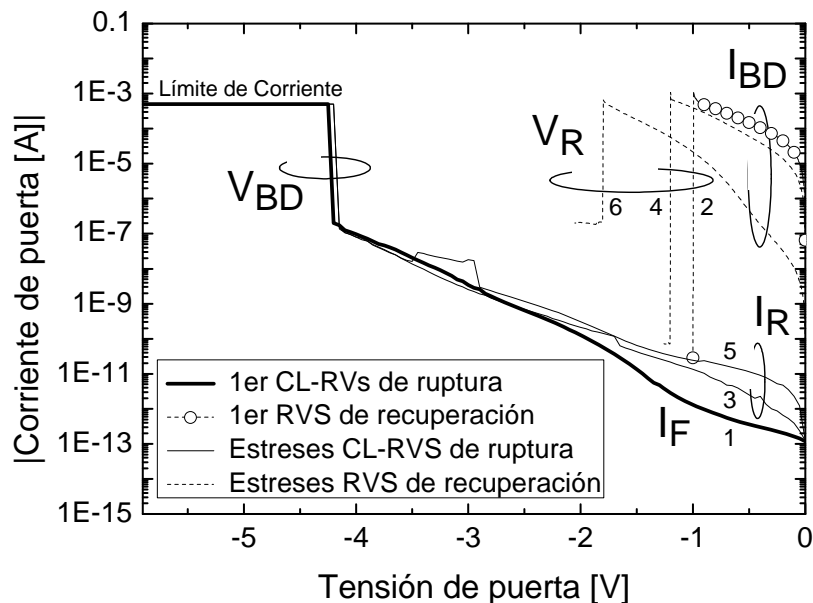


Figura 3-2: Características I-V obtenidas al realizar 3 iteraciones sucesivas de la secuencia de medida mostrada en la figura 3-1. (Líneas continuas) estreses CL-RVS para provocar la ruptura, y (líneas discontinuas) estreses RVS para inducir la reversibilidad de la ruptura. Tras provocar la ruptura, la corriente medida que atraviesa el óxido es muy elevada (I_{BD} , líneas punteadas hasta la recuperación). Mientras que tras inducir la reversibilidad, la corriente medida (I_R , líneas continuas hasta la ruptura) es varios órdenes de magnitud menor, aunque mayor que la corriente que atraviesa el óxido cuando el dispositivo está fresco (I_F , línea gruesa hasta la ruptura correspondiente a la primera característica I-V). Las tensiones a las que rompe el dieléctrico se denominan tensiones de ruptura V_{BD} , y las tensiones a las que la corriente de puerta decae se han denominado tensiones de recuperación V_R .

Una observación remarcable que se observa en las características I-V mostradas en la figura 3-2 es que para tensiones de puerta bajas coexisten dos estados conductivos en el óxido: uno de alta conductividad (estado BD, caracterizado por la corriente I_{BD}), y otro de baja conductividad (estado R, caracterizado por la corriente I_R). Cabe pensar que un cambio del óxido a un estado conductivo alto (estado BD) puede tener un efecto negativo sobre su funcionalidad, y por tanto, que la ruptura tenga un fuerte impacto en la fiabilidad de estos dispositivos. Sin embargo, la recuperación parcial de las propiedades aislantes del óxido hace pensar que el impacto de la ruptura, si esta es reversible (estado R), sobre la funcionalidad del transistor pueda no ser tan determinante, y en consecuencia, que suponga una mejora de la fiabilidad de estos dispositivos. Esto se analiza con detalle en la sección 3.4 de este capítulo (**Artículo D**).

Otro hecho destacable desde el punto de vista de la caracterización eléctrica del fenómeno es que los dos estados conductivos que se observan en el dieléctrico, se alcanzan mediante la aplicación de dos tensiones umbral: la tensión de ruptura V_{BD} para alcanzar el estado BD, y la tensión de recuperación V_R para alcanzar el estado R, ambas aplicadas en el terminal de puerta. Al observar estas tensiones, vemos que las tensiones V_{BD} son más elevadas (en valor absoluto) que las tensiones V_R , lo que forma una ventana de tensiones entre una y otra. Este hecho es relevante a la hora de definir los rangos de tensiones aplicadas tanto en los estreses de ruptura y recuperación, como en la caracterización del transistor. Así, dependiendo de las tensiones aplicadas, puede provocarse la ruptura o la recuperación del dieléctrico cuando no se espera observarlas, alterando la secuencia de medida. Por ejemplo, si tras provocar la ruptura, las tensiones aplicadas para realizar la caracterización de post-ruptura del transistor provocan una caída de potencial en la puerta del transistor del mismo valor que el necesario para producir la recuperación, ésta tendrá lugar aunque no sea lo deseado de antemano. Por este motivo es importante ser muy cuidadoso en la elección de todas las tensiones aplicadas durante la secuencia de medida mostrada en la figura 3-1. En concreto, las tensiones V_{BD} y V_R pueden ser un punto crítico para la observación del fenómeno de reversibilidad de la ruptura y su reproducibilidad. En la sección 3.3.2 se profundizará en el análisis de las tensiones de ruptura V_{BD} y de recuperación V_R con detalle.

Además de estreses RVS, para observar la reversibilidad de la ruptura dieléctrica también pueden aplicarse estreses de tensión constante (CVS), tanto para provocar la ruptura como su reversibilidad, en la secuencia de medida de la figura 3-1. En este caso, se registra la corriente de puerta en función del tiempo (característica I_G -t) durante la aplicación del estrés. Para observar la ruptura y la reversibilidad en tiempos razonables, deben escogerse adecuadamente los valores de las tensiones de estrés a partir de medidas experimentales como las mostradas en la figura 3-2. La figura 3-3 muestra las características I-t obtenidas al aplicar estreses CL-CVS de ruptura y CVS de recuperación siguiendo la secuencia mostrada en la figura 3-1. Para este caso, los valores de tensiones de estrés escogidos han sido aproximadamente -2.9V para el CL-CVS de ruptura, y alrededor de -1.3V para el CVS de recuperación. Durante la aplicación del estrés de ruptura (líneas continuas en figura 3-3) se observa que inicialmente la muestra presenta un estado conductivo bajo, del orden de μA . Transcurrido cierto tiempo, se observa la ruptura como un salto de corriente brusco hasta alcanzar el límite de corriente preestablecido, en este caso $500\mu A$, pasando del estado R al estado BD. Tras la ruptura la corriente a través del óxido se mantiene constante debido al límite de corriente. De la misma forma, al aplicar el estrés de recuperación (líneas discontinuas en figura 3-3) se observa inicialmente que la muestra se encuentra en un estado conductivo alto, y transcurrido cierto tiempo se observa la reversibilidad de la ruptura en forma de una caída brusca de la corriente de puerta, produciéndose la transición del estado BD al estado R. Tras la reversibilidad de la ruptura también se observa que la corriente a través del óxido se mantiene estable (**Artículo B**).

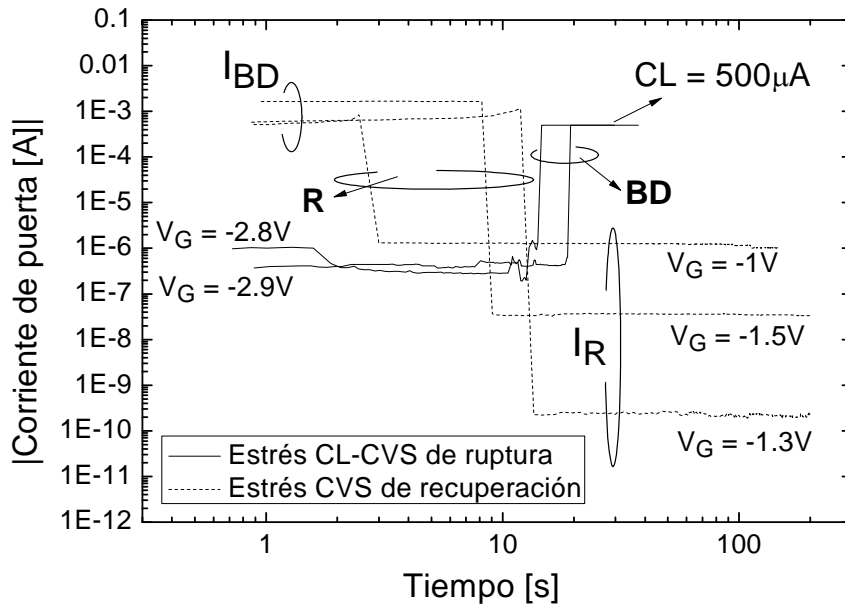


Figura 3-3: Características I_G -t correspondientes a los CVS con los que se han implementado los estreses de ruptura (línea continua) y de recuperación (línea discontinua) siguiendo la secuencia de mostrada en la figura 3-1. Para el estrés de ruptura se ha aplicado un límite de corriente de $500\mu A$.

A diferencia de los estreses RVS, la implementación del procedimiento de medida utilizando CVSs permite obtener otros parámetros que también caracterizan la ruptura dieléctrica y su reversibilidad, como el tiempo transcurrido hasta la ruptura (Time to Breakdown, T_{BD}), y análogamente, el tiempo transcurrido hasta la recuperación de la ruptura (Time to Recovery, T_R). Además, se puede calcular la carga inyectada en el óxido hasta la ruptura o hasta la reversibilidad, que se obtiene a partir del tiempo de estrés y la corriente medida a través del óxido. En esta tesis, como se verá en la sección 3.2.5, se ha utilizado la carga inyectada hasta la recuperación como parámetro para analizar y caracterizar la reversibilidad de la ruptura.

Sin embargo, como se ha mencionado, las tensiones V_{BD} y V_R son parámetros de gran importancia en la caracterización de la ruptura y la reversibilidad, dado que son los parámetros utilizados precisamente para provocar la ruptura y la recuperación de las propiedades aislantes del óxido. Además, son determinantes a la hora de definir el proceso de caracterización del transistor durante los estados BD y R, y así evitar sucesos no deseados de ruptura y recuperación durante la caracterización. A continuación, en la siguiente sección se realizará el análisis detallado de las tensiones V_{BD} y V_R .

3.2.2. Análisis de las Tensiones de ruptura (V_{BD}) y de recuperación (V_R).

Como se ha visto en el apartado anterior, las tensiones V_{BD} y V_R son las tensiones a las cuales se produce la ruptura dieléctrica y la reversibilidad de la ruptura, respectivamente, cuando se aplican rampas de tensión para provocar tanto la ruptura como la recuperación (figura 3-2). En esta sección, estudiaremos su evolución y variabilidad al aplicar diversos ciclos de ruptura y recuperación, su distribución estadística y su dependencia con la polaridad de los estreses de ruptura y de recuperación. El análisis del comportamiento de las tensiones V_{BD} y V_R con el número de ciclos aplicados puede ser de gran ayuda en la implementación o modificación del propio procedimiento de medida. Para llevar a cabo este estudio, se han extraído las tensiones de V_{BD} y V_R al aplicar diversos ciclos de la secuencia de medida mostrada en la figura 3-1 sobre una misma muestra, con dimensiones $W=1\mu m/L=1\mu m$. Para poder extraer las tensiones V_{BD} y V_R se

han aplicado estreses RVS de polaridad negativa, con límite de corriente para provocar la ruptura, y sin límite para observar la reversibilidad.

Evolución de V_{BD} e V_R con el número de ciclos.

La figura 3-4 muestra las tensiones V_{BD} (cuadrados grises) y V_R (círculos blancos) extraídas de las características I-V de los estreses RVS de ruptura y de recuperación, respectivamente. Los valores mostrados se han obtenido tras realizar 336 ciclos de la secuencia de medida mostrada en la figura 3-1 en la misma muestra. Como puede observarse, tanto la tensión de ruptura V_{BD} como la de recuperación V_R decrecen rápidamente en los dos o tres primeros ciclos respecto el valor del primer ciclo, -4.85V y -2.5V para V_{BD} y V_R , respectivamente. Esto indica que una vez observado el fenómeno de reversibilidad de la ruptura en la muestra, tras realizar unos pocos ciclos, realizar un nuevo ciclo requiere de un potencial en el terminal de puerta menor, tanto para la ruptura como para la reversibilidad. Tras el transitorio inicial, la tensión de ruptura V_{BD} presenta una gran dispersión dentro de una franja de valores comprendidos entre -1.5V y -3.1V. La tensión V_R también presenta cierta dispersión, aunque menor que V_{BD} manteniéndose estable con valores homogéneos alrededor de -1V. Este hecho pone de manifiesto la variabilidad de los procesos de ruptura y recuperación, cuyas condiciones eléctricas de activación pueden llegar a diferir, entre un ciclo y otro, más de 0.5V para V_R , y más de 1V para V_{BD} (**Artículo D**).

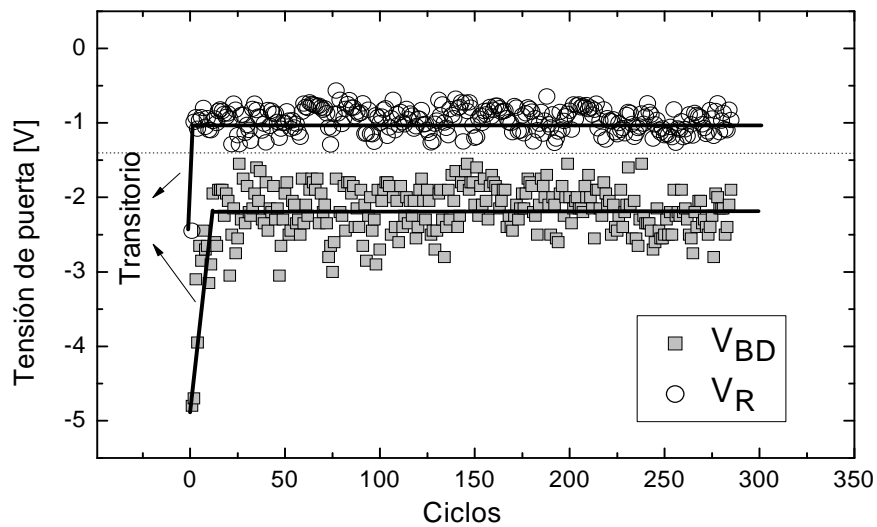


Figura 3-4: Tensiones de ruptura V_{BD} (cuadrados grises) y de recuperación V_R (círculos blancos) obtenidas tras realizar 336 iteraciones de la secuencia de 3-1 en un transistor MOSFET tipo P con una longitud de canal de $1\mu\text{m}$ y una anchura de $1\mu\text{m}$, implementando los estreses con rampas de tensión de polaridad negativas. Se observa que los valores de ambas tensiones decrecen rápidamente en valor absoluto respecto del primer ciclo para luego estabilizarse, y que además los valores de V_{BD} presentan una mayor dispersión que los de V_R .

Cabe destacar que para el estrés de recuperación, exceptuando los primeros ciclos donde V_R alcanza valores más elevados, la tensión V_R se ha detenido a -1.3V para impedir la ocurrencia de una nueva ruptura tras observar la reversibilidad. Este punto debe tenerse muy en cuenta en la implementación del procedimiento de medida, debido a que una ruptura durante el estrés de recuperación, causada por un incremento excesivo del potencial que cae en el dieléctrico, se produciría sin límite de corriente. Esto implicaría la imposibilidad de producirse de nuevo la reversibilidad de la ruptura. Programar el estrés de recuperación de manera que se detenga cuando se alcanza un potencial preestablecido evita, precisamente, que no se produzca una nueva ruptura. Sin embargo, interrumpir el estrés a una tensión predeterminada presenta el inconveniente de que

independientemente de que se haya producido o no la reversibilidad de la ruptura, el analizador de semiconductores detiene el estrés y pasa a realizar la siguiente instrucción de la secuencia de medida. La gran variabilidad de las tensiones V_{BD} y V_R entre ciclo y ciclo hace necesario ajustar muy bien el valor máximo de V_R para evitar rupturas indeseadas durante la aplicación del estrés de recuperación. Además, el transitorio inicial observado en la figura 3-4 puede dificultar aún más esta tarea, debido a que el valor de las tensiones V_{BD} y V_R puede decrecer mucho respecto el valor del primer ciclo. Por ejemplo, en la figura 3-4 se observa que el valor de V_R del primer ciclo se solapa con el valor medio de las tensiones V_{BD} medidas tras el transitorio. Como solución a este problema, se ha programado mediante código el analizador de semiconductores, para aplicar las tensiones de estrés de manera que el estrés de recuperación se detenga cuando la corriente a través del óxido medida en el terminal de puerta decrece bruscamente. Este procedimiento permite paliar el efecto de la variabilidad de las tensiones de estrés, ya que la secuencia eléctrica es capaz de adaptarse a las variaciones de las tensiones V_{BD} y V_R en el transitorio y entre ciclo y ciclo. Por ejemplo, si en un ciclo la tensión V_R aumenta respecto al resto, la rampa de tensión seguirá aumentando hasta observar la reversibilidad, aunque se alcancen valores de tensión susceptibles de provocar una nueva ruptura. Sin embargo, si en los siguientes ciclos la tensión V_R decrece, la rampa se detendrá antes, evitando el riesgo de una nueva ruptura.

Por otro lado, en las medidas realizadas se ha observado que la tensión de ruptura V_{BD} nunca toma valores inferiores a $-1.5V$, en valor absoluto. Los valores de tensión de puerta V_R máximo y V_{BD} mínimo observados, forman una ventana de tensiones que muestra la mínima diferencia (en tensión) entre el proceso de ruptura y el de reversibilidad. Cuando los valores de ambas tensiones se acercan, la ventana se cierra, lo que significa que ambos fenómenos, ruptura y reversibilidad, se alcanzan para tensiones parecidas. Cuando esto ocurre, puede suceder que durante el estrés de recuperación se observe una nueva ruptura en lugar de la reversibilidad, ya que ambos fenómenos se dan para tensiones parecidas, lo que dará lugar a que no se vuelva a observar la reversibilidad. O también puede suceder que durante la caracterización de post-ruptura o de post-recuperación del transistor (ver figura 3-1) se produzcan rupturas o recuperaciones no deseadas. Por tanto, el estudio del valor medio y de la variabilidad de ambos parámetros (V_{BD} y V_R) es muy importante de analizar para poder delimitar las tensiones tanto de los estreses de ruptura y recuperación, como para definir las tensiones utilizadas durante las características de post-ruptura y post-recuperación del transistor.

Distribución estadística de V_{BD} y V_R .

La figura 3-5 muestra las distribuciones estadísticas de las tensiones de ruptura V_{BD} (histograma gris) y de las de recuperación V_R (histograma blanco). Las tensiones de ruptura y recuperación correspondientes a los primeros ciclos se observan en las colas de las distribuciones. De acuerdo con las observaciones de la sección anterior, la distribución de V_R es mucho más estrecha que la de V_{BD} debido a que presenta mucha menos dispersión. Además, se puede concluir que sus respectivas distribuciones estadísticas pueden aproximarse por una distribución normal. Esto indica que existe una cierta variabilidad entre ciclo y ciclo alrededor de un valor nominal que es más probable, correspondiente al valor medio de la distribución. En la implementación del procedimiento de medida se deberá tener en cuenta tanto el valor medio de la distribución como su dispersión, en especial de la tensión V_R , ya que es uno de los puntos críticos en el esquema de medida para poder observar la reversibilidad de la ruptura. Esto se debe a que cuando se definen las tensiones a aplicar para obtener las características del transistor, el potencial en el óxido no debe alcanzar valores cercanos a V_{BD} y V_R , dado que esto daría lugar a un cambio de estado del dieléctrico durante la caracterización. Como V_R es menor que V_{BD} , la primera se convierte en el factor limitante más exigente.

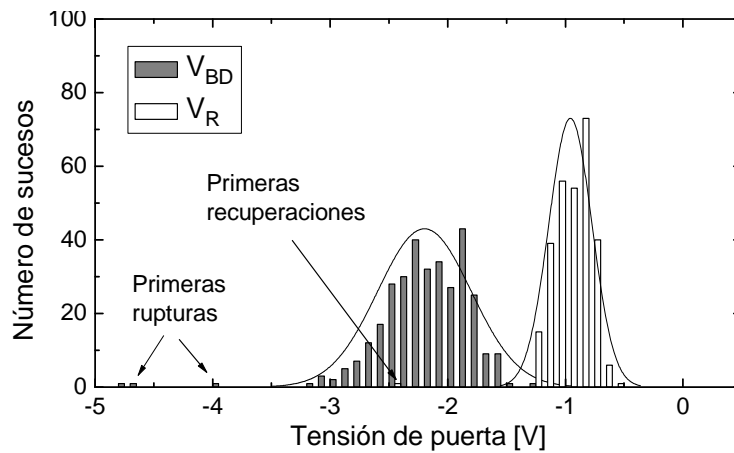


Figura 3-5: Histograma de las tensiones de ruptura V_{BD} (gris) y de recuperación de la ruptura V_R (blanco) correspondientes a las tensiones de la figura 3-4. Acorde con las observaciones de la figura 3-4, las distribuciones de ambas tensiones no se solapan, siendo más ancha la distribución V_{BD} debido a que presenta una mayor dispersión. Además, ambas distribuciones pueden aproximarse a distribuciones normales.

Cabe destacar que durante la obtención de las características de post-recuperación, el cambio de estado conductivo del dieléctrico se produciría al alcanzar V_{BD} , y por tanto, como es mayor que V_R , se pueden definir valores de tensión para el registro de estas características más elevados que durante las características de post-ruptura, donde el cambio de estado se produce al alcanzarse V_R . Sin embargo, para unificar el criterio de caracterización, en la medida de lo posible se ha intentado que las tensiones programadas para realizar la caracterización de post-ruptura y post-recuperación sean las mismas.

La figura 3-6 muestra la distribución de probabilidad acumulada para las tensiones, V_{BD} y V_R representadas en la figura 3-4. Como puede observarse en la figura, se produce un transitorio en los valores de ambas tensiones tras los ciclos iniciales, con un decremento de hasta el 50% de su valor nominal inicial. Estos ciclos son fácilmente identificables en la distribución de probabilidad acumulada. Tras el transitorio inicial se observa que ambas distribuciones de probabilidad acumulada siguen una evolución rectilínea, corroborando que la distribución puede aproximarse por una distribución normal o gaussiana. Además, se puede constatar que ambas distribuciones no se solapan (sin tener en cuenta el transitorio inicial), quedando delimitadas las tensiones para las que se produce la ruptura y para las que se produce la reversibilidad de la ruptura.

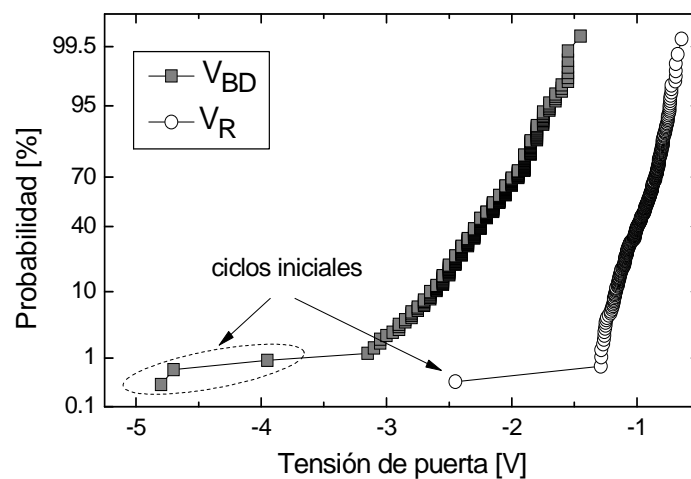


Figura 3-6: Distribución de la probabilidad acumulada de las tensiones de ruptura V_{BD} (cuadrados grises) y de las tensiones de recuperación V_R (círculos blancos) correspondientes a los valores obtenidos en la figura 3-4. Se pueden observar los ciclos iniciales en las distribuciones.

En conclusión, las tensiones de ruptura V_{BD} y de recuperación V_R aportan mucha información acerca de cómo se produce el fenómeno de la reversibilidad de la ruptura, información que puede ser usada para implementar o mejorar el procedimiento de medida. En este sentido, la separación entre ambas distribuciones es un punto crítico debido a que si V_R alcanza valores próximos a V_{BD} puede producirse una nueva ruptura durante la aplicación del estrés de recuperación que impediría poder observar el fenómeno de la reversibilidad de la ruptura durante más ciclos, ya que se produciría una ruptura sin límite de corriente. El transitorio inicial de los valores de V_{BD} y V_R también debe tenerse en cuenta en este aspecto, dado que V_R del primer ciclo presenta valores cercanos a V_{BD} de ciclos posteriores. Por tanto, programar rangos de tensión fijos para los estreses desde el inicio de la medida no tendría en cuenta los valores de las tensiones de ruptura y de recuperación de ciclos posteriores, lo que podría dar lugar a rupturas no deseadas. Sin embargo, tras el transitorio, ambas tensiones se mantienen estables aunque con cierta dispersión, siendo algo mayor la dispersión de los valores de V_{BD} que los de V_R , como ya se ha comentado anteriormente (**Artículo D**).

Por último, mencionar que para el ejemplo aquí mostrado se han utilizado tensiones de estrés de ruptura y de recuperación con la misma polaridad, en este caso rampas de tensión negativas. Sin embargo, también se ha conseguido observar el fenómeno de reversibilidad de la ruptura, y con la misma reproducibilidad para tensiones V_{BD} y V_R con polaridad opuesta entre ellas. Por ejemplo $V_{BD}<0V$ y $V_R>0V$. Los efectos de la polaridad sobre las tensiones V_{BD} y V_R se analizan con más detalle en el siguiente apartado.

Dependencia de V_{BD} y V_R con la polaridad del estrés de recuperación.

Para analizar el efecto de la polaridad de la tensión de recuperación sobre las tensiones V_{BD} y V_R , se han comparado dichas tensiones obtenidas en dos medidas realizadas bajo las mismas condiciones de límite de corriente, área y polaridad de V_{BD} . Sin embargo, en un caso se ha aplicado un estrés de recuperación con polaridad negativa ($V_R<0V$), y en el otro uno con polaridad positiva ($V_R>0V$). La figura 3-7 muestra las distribuciones de los valores de las tensiones V_{BD} (izquierda) y V_R (derecha) para polaridad negativa de V_R (círculos blancos) y polaridad positiva de V_R (cuadrados grises). Para este estudio, la polaridad de la tensión de ruptura V_{BD} siempre ha sido negativa. Además, se han omitido los primeros ciclos de la medida para obviar el efecto del transitorio inicial, y observar su estadística una vez estabilizado el fenómeno. Se puede observar que las distribuciones de V_R presentan valores discretos. Esto se debe a que el estrés de recuperación escogido en esta medida ha sido en forma de rampa escalonada S-RVS, y que por tanto la tensión de recuperación solo puede tomar los valores discretos predefinidos. Como se puede observar, para el caso de ambas tensiones, V_{BD} y V_R , con polaridad negativa (círculos blancos), los valores obtenidos de las distribuciones de V_{BD} y V_R son parecidos a la medida del ejemplo anterior (figura 3-6). Sin embargo, para el caso de polaridad opuesta (cuadrados grises) se observa que la distribución de V_{BD} presenta una mayor dispersión, además de colas en sus extremos. Esto sugiere que cuando se aplica una polaridad positiva (opuesta) durante el transitorio de recuperación, el proceso de ruptura se vuelve más variable llegando a diferir la tensión de ruptura V_{BD} más de 3V entre un ciclo y otro. Por otro lado, la tensión de recuperación V_R presenta una forma y dispersión similar al caso de igual polaridad, pero centrado 1.2V aproximadamente. Esto resulta especialmente interesante ya que se ha constatado que para las dos polarizaciones posibles de V_R se observa el fenómeno de reversibilidad de la ruptura.

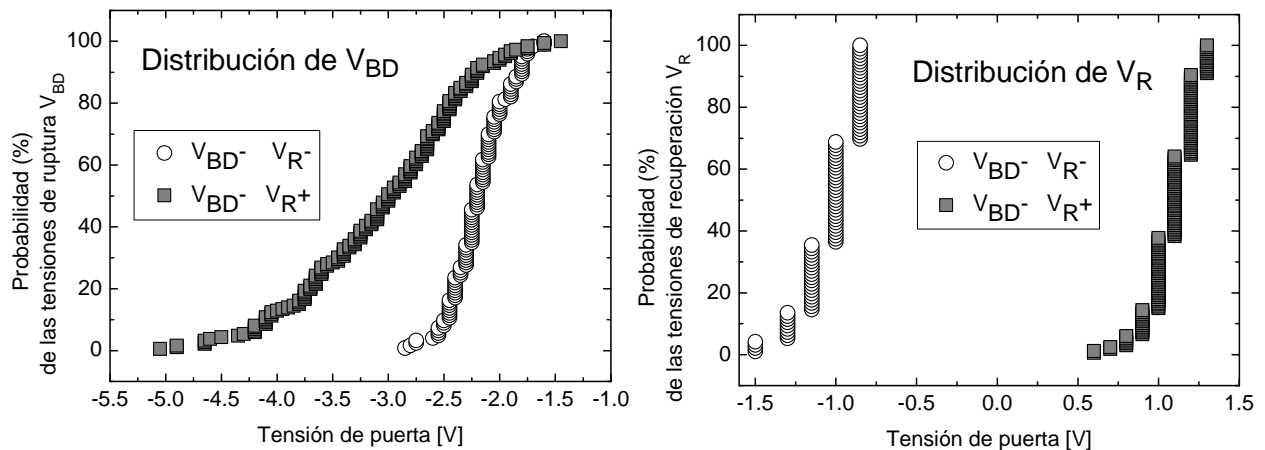


Figura 3-7: Distribución de probabilidad acumulada de las tensiones de ruptura V_{BD} (izquierda) y recuperación V_R (derecha) para las dos polaridades posibles del estrés de recuperación: $V_R < 0V$ (círculos blancos), $V_R > 0V$ (cuadrados grises). Para este último caso se observa una mayor dispersión de la tensión V_{BD} , lo que indica que aplicar una V_R de polaridad positiva incrementa la variabilidad del transitorio de ruptura.

Como la ruptura dieléctrica y su reversibilidad son fenómenos que tienen lugar en el dieléctrico, y que cambian su conductividad, la corriente que atraviesa el óxido tiene un papel muy relevante en la caracterización de ambos fenómenos. Esto se debe a que el estado de degradación del óxido puede determinarse por su conductividad, y por tanto, por el nivel de corriente que atraviesa el óxido medido en el terminal de puerta, que indicará cuán degradado está. Es decir, que las corrientes medidas en el terminal de puerta tras la ruptura y la reversibilidad aportan información sobre el estado conductivo del óxido, y consecuentemente, del nivel de degradación del óxido alcanzado en cada estado. En el siguiente apartado se analizarán y se caracterizarán las corrientes que atraviesan el óxido, tras la ruptura I_{BD} y tras la recuperación I_R .

3.2.3. Análisis de las corrientes de post-ruptura (I_{BD}) y post-recuperación (I_R).

Como se ha comentado, la corriente medida en el terminal de puerta es un parámetro fundamental en la caracterización del dieléctrico de puerta, y por tanto en la caracterización de los fenómenos de ruptura y reversibilidad que tienen lugar en él. Para realizar la caracterización del dieléctrico se ha estudiado la corriente de puerta de post-ruptura I_{BD} y de post-recuperación I_R , que proporcionan información acerca del estado conductivo del dieléctrico, es decir, del daño causado al alcanzar cada estado. En este apartado se estudian la evolución de I_{BD} e I_R con el número de ciclos aplicado, su distribución estadística, y su dependencia con el límite de corriente aplicado o el área del dispositivo.

Evolución de I_{BD} e I_R con el número de ciclos.

La figura 3-8 muestra las corrientes de post-ruptura I_{BD} (cuadrados grises) y de post-recuperación I_R (círculos blancos) correspondientes a las medidas mostradas en la figura 3-4. Los valores de I_{BD} e I_R se han extraído de las características I_G - V_G de post-ruptura y de post-recuperación (ver esquema de medida de la figura 3-1), medidas a una tensión de puerta $V_G = -0.5V$ durante la realización de 336 iteraciones en la misma muestra. Como se puede observar, tras la ruptura se registran corrientes de puerta I_{BD} muy elevadas, del orden de miliamperios, indicando que la conductividad del óxido es muy alta. Este nivel de corriente I_{BD} se repite en la mayoría de los ciclos, sugiriendo que el estado BD, en general, es muy estable, y por tanto, que el nivel de daño causado en el óxido es muy parecido tras cada ruptura. Este resultado muestra que provocada la

primera ruptura, el nivel de degradación del óxido es muy similar, lo que confirma que el límite de corriente realmente limita la degradación del óxido durante el transitorio de ruptura. Sin embargo, es posible apreciar que en algunos ciclos el nivel de corriente registrado es menor, llegando a valores del orden de microamperios. Esto se debe a la presencia de dos modos de ruptura: el modo Hard BD, que es el observado en la mayoría de los ciclos y que se caracteriza por una corriente de puerta muy elevada; y el modo Soft BD, asociado a corrientes no tan elevadas tras la ruptura, y por tanto a un daño menor en el dieléctrico.

Por otro lado, la corriente de post-recuperación I_R es del orden de 100pA, diversos órdenes de magnitud menor que la corriente I_{BD} , y muestra una mayor dispersión relativa, llegándose a observar corrientes de post-recuperación desde 0.1pA a 10 μ A. Esto indica que el estado R no es tan estable como el estado BD, y que el nivel de degradación que permanece en el óxido tras la reversibilidad de la ruptura es más variable. Esta variabilidad indica que en algunos ciclos el daño recuperado es significativamente mayor que en otros. Sin embargo, la dispersión de los valores de I_R disminuye con el paso de los ciclos, tal y como se observa en la figura 3-8 tras 150 ciclos, manteniéndose siempre por encima de 0.1 μ A. Es decir, que con el paso de los ciclos el estado R muestra mayor estabilidad entre ciclos, lo que indica una mayor estabilidad del nivel de degradación del óxido en estado recuperado. Sin embargo, esto también muestra que con el paso de los ciclos el daño que puede ser recuperado es menor que en los primeros ciclos.

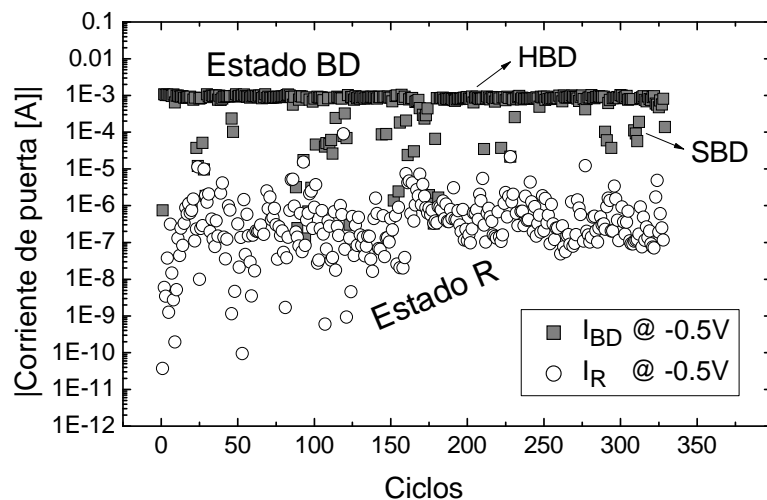


Figura 3-8: Corriente de post-ruptura, I_{BD} , (círculos grises) y corriente de post-recuperación, I_R , (círculos blancos) extraídos de las características I_G - V_G de post-ruptura y post-recuperación, a una tensión de puerta $V_G=-0.5V$. Se pueden observar dos estados conductivos: uno de alta conductividad (estado BD) caracterizado por I_{BD} ; y otro de baja conductividad (estado R) caracterizado por I_R .

En conclusión, la figura 3-8 muestra claramente la presencia de dos estados conductivos presentes en el óxido tras la primera ruptura con límite de corriente, uno de alta conductividad (I_{BD}) y otro de baja conductividad (I_R). Cabe destacar que la separación (ventana) entre ambos niveles es, como mínimo, de 3 órdenes de magnitud, y que por tanto el valor de ambas corrientes no es nada menospreciado desde un punto de vista de consumo. Como tampoco lo es el impacto que pueda tener sobre la funcionalidad del dispositivo cuando este se ha recuperado (**Artículo D**).

Distribución estadística de I_{BD} e I_R .

Para ver con más detalle las observaciones de la sección anterior, en la figura 3-9 se muestra las distribuciones de probabilidad acumulada de las corrientes I_{BD} (cuadrados grises) e I_R (círculos

blancos) de los datos anteriores. Para la corriente I_{BD} se observan claramente los dos modos de ruptura, diferenciados por las dos pendientes de la distribución, donde la parte con menor pendiente corresponde al modo Soft BD, con una corriente de puerta del orden de microamperios. Por otro lado, la parte con mayor pendiente corresponde al modo Hard BD, asociado a valores de corriente de post-ruptura mayores, en este caso del orden de miliamperios. Como se ha comentado, en la mayor parte de los ciclos aplicados el modo predominante ha sido el modo Hard dado que el límite de corriente aplicado es bastante elevado, en este caso $500\mu A$. Además, la pendiente de este modo es muy pronunciada, casi vertical, lo que indica que la conductividad del óxido tras cada ruptura es prácticamente igual, mostrando que el daño causado es prácticamente el mismo a cada iteración de la secuencia de medida, y que efectivamente, el límite de corriente limita la degradación del óxido. Por otro lado, en la distribución de valores de I_R también se distinguen dos pendientes, siendo la menor asociada a la variabilidad de los primeros ciclos del estado R, donde en algunos ciclos la corriente de puerta decae por debajo de los nanoamperios. La distribución de I_R es mucho más ancha que la de I_{BD} indicando que presenta una mayor dispersión relativa, que abarca valores comprendidos entre los 10^{-9} y los 10^{-6} amperios. Sin embargo, la distribución de I_{BD} es mucho más estrecha y vertical, indicando que el estado conductivo alcanzado tras la ruptura es muy estable. Puede observarse que los valores de I_R llegan a solaparse con los valores del modo Soft BD de I_{BD} , debido a la propia dispersión del estado R y los bajos niveles de corriente del modo Soft BD. Sin embargo, cabe resaltar que es el hecho de producirse la ruptura o la recuperación durante los estreses lo que determina el estado conductivo en el que se encuentra el óxido de puerta en este tipo de medidas, y no simplemente el valor de corriente de puerta medido (**Artículo D**).

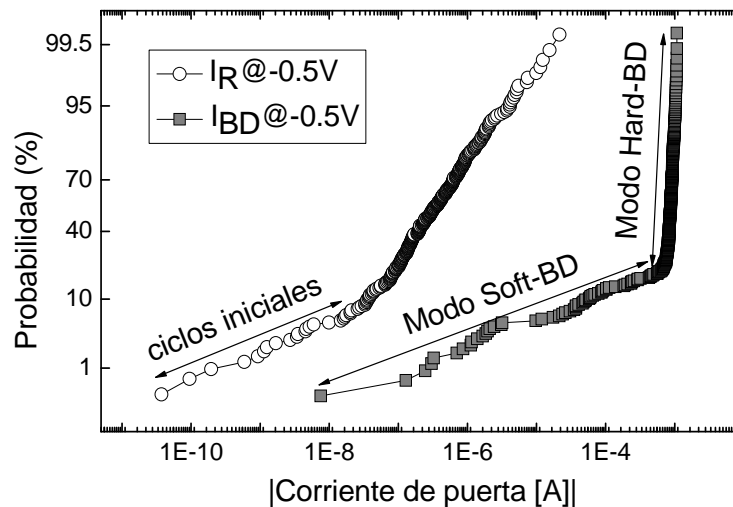


Figura 3-9: Distribuciones de probabilidad acumulada de la corriente de puerta de post-ruptura I_{BD} (cuadrados grises) y de post-recuperación I_R (círculos blancos). Para la distribución de I_{BD} se distinguen dos modos de ruptura: Soft BD y Hard BD. La distribución de I_R es más ancha, indicando mayor variabilidad. También se distinguen los valores de I_R durante los ciclos iniciales, en los que la recuperación del daño en el dieléctrico es mayor.

Efecto de la polaridad del estrés de recuperación.

Para estudiar el efecto de la polaridad de la tensión de estrés de recuperación sobre las corrientes I_{BD} e I_R se han utilizado las medidas representadas en la figura 3-7, en las que la polaridad de la tensión V_R es en un caso negativa (círculos blancos), y para el otro positiva (círculos grises). Para ambos casos la polaridad de V_{BD} es negativa, y el límite de corriente aplicado y el área del dispositivo escogida iguales. Cabe recordar, que en estas medidas se ha obviado el transitorio inicial y por tanto no es posible observar la cola de las distribuciones de I_R mostradas en la figura

3-9. La figura 3-10 muestra las distribuciones de las corrientes I_{BD} (figura 3-10a) e I_R (figura 3-10b) para polaridad de V_R negativa (cuadrados grises) y positiva (círculos blancos). Para las distribuciones de probabilidad acumulada de I_{BD} se observa en ambos casos los dos modos de ruptura, Hard BD y Soft BD (figura 3-10a). Para el modo Soft se observa que los valores de corriente I_{BD} son muy parecidos. Para el modo Hard, los valores de I_{BD} son algo menores cuando V_R es positiva (opuesta a V_{BD}), pero en ambos casos la estabilidad del estado BD es alta. Sin embargo, en las distribuciones de probabilidad acumulada de I_R se observan diferencias según la polaridad de V_R . Cuando la tensión V_R es positiva (opuesta a V_{BD}) la dispersión de los valores de I_R es mucho mayor llegando a diferir 6 órdenes de magnitud aproximadamente entre distintos ciclos. Esta dispersión se produce acompañada de una disminución del valor medio de la misma. Esto indica que cuando la polaridad del transitorio de recuperación es positiva y opuesta al transitorio de ruptura, los valores de I_R son menores, y por tanto, en promedio el dieléctrico alcanza un nivel de recuperación mayor si se aplica una polaridad opuesta a la de ruptura para recuperar la muestra.

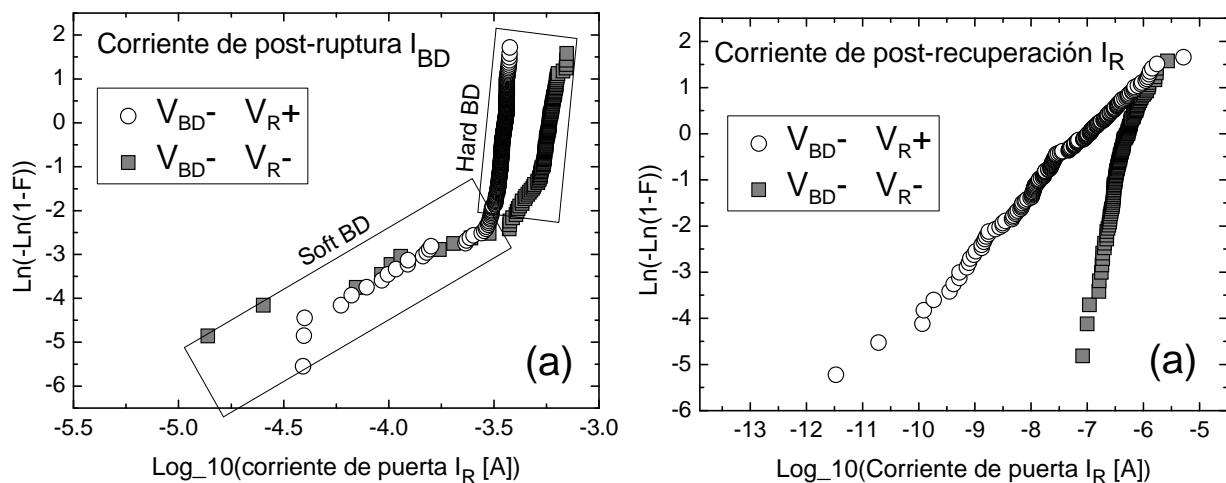


Figura 3-10: Distribución de las corrientes I_{BD} (3-10a) e I_R (3-10b) para polaridad de V_R negativa (círculos blancos) y positiva (cuadrados grises). La polaridad de V_{BD} siempre ha sido negativa, y el límite de corriente y el área del dispositivo también. Para las corrientes I_{BD} se observan los dos modos de ruptura, Soft BD y Hard BD. Se observa una ligera diferencia entre los valores del modo Hard, mientras que para el Soft los valores son similares. Cuando V_R es positiva aumenta la dispersión de I_R pero se reduce el valor medio, indicando que el dieléctrico recupera en mayor medida sus propiedades aislantes cuando la polaridad del transitorio de recuperación es opuesta a la del de ruptura.

En conclusión, la corriente I_{BD} presenta una gran estabilidad a lo largo de los ciclos aplicados ($\sim 1\text{mA}$). Sin embargo la corriente I_R presenta una mayor dispersión. La diferencia entre ambas es, para el caso de misma polaridad de tensión de estrés de recuperación, de tres órdenes de magnitud aproximadamente. Mientras que si la polaridad es opuesta puede llegar a ser de hasta 6 órdenes de magnitud. Por tanto, aplicar una polaridad para recuperar la muestra opuesta a la polaridad aplicada para romperla, hace que los valores de corriente medidos durante el estado R sean en promedio menores (**Artículo C**).

Efecto del límite de corriente sobre I_{BD} e I_R .

Como se ha explicado anteriormente, limitar la corriente durante el transitorio de ruptura es requisito indispensable para poder observar la reversibilidad de la ruptura (figura 3-3). Si no se limita la corriente durante el estrés de ruptura, el daño causado por la ruptura se vuelve irreversible, siendo imposible retornar el dieléctrico a un estado conductivo menor (estado R) que el alcanzado tras la ruptura (estado BD). Para estudiar con más detalle el efecto del límite de

corriente en la observación y repetitividad del fenómeno, se han analizado las corrientes de I_{BD} e I_R para diferentes valores de límite de corriente. La figura 3-11 muestra las distribuciones estadísticas de I_{BD} (izquierda) e I_R (derecha) de tres medidas distintas realizadas en tres muestras diferentes, en las que se ha modificado el valor del límite de corriente: $500\mu\text{A}$ (círculos blancos), 1mA (cuadrados grises), y 2mA (triángulos negros). Los estreses aplicados tanto para provocar la ruptura como su reversibilidad han sido de polaridad negativa. Las muestras utilizadas han sido transistores MOSFET tipo P con iguales dimensiones ($W = 0.15\text{nm}$ y $L = 0.5\text{nm}$). Los valores de I_{BD} e I_R se han obtenido a una tensión de puerta $V_G = -0.5\text{V}$ a partir de las características I_G-V_G de post-ruptura y post-recuperación. Como puede observarse, para el estado BD (figura 3-11a) cuanto mayor es el límite de corriente mayor es el valor medio de la distribución. Esto muestra que cuanto mayor es el límite de corriente aplicado durante el transitorio de ruptura, más daño se genera en el dieléctrico. Para el caso de límite de corriente de $500\mu\text{A}$ se observan claramente dos pendientes en la distribución de I_{BD} , correspondientes a los modos de ruptura HBD (mayor pendiente) y SBD (menor pendiente). Cuando el límite de corriente aplicado es de 1mA , el modo SBD sigue distinguiéndose aunque con menos puntos. Sin embargo, para el límite de corriente de 2mA solo se observa el modo HBD. Esto indica que para límites de corriente bajos ($< 1\text{mA}$) se observa la presencia de los modos de ruptura, HBD y SBD, y que, a medida que se incrementa el valor del límite, la probabilidad de observar el modo SBD disminuye. En cambio, el modo HBD está presente en los tres casos y se caracteriza por distribuciones de I_{BD} con pendiente elevada, es decir con muy poca dispersión. Esto indica que la corriente de post-ruptura I_{BD} presenta valores muy parecidos entre un ciclo y otro, lo cual puede entenderse como que el estado BD es muy estable (exceptuando los ciclos en que se produce Soft BD). Por otro lado, el valor medio de I_R (figura 3-11b) muestra no tener ninguna dependencia con el límite de corriente impuesto durante el transitorio de ruptura, ya que las tres distribuciones se solapan. Sin embargo, se observa que para el caso de límite de corriente de 2mA la distribución de I_R nunca toma valores inferiores a 1nA , lo que la hace más estrecha que en los otros dos casos. Esto parece ser causado por el aumento del valor del límite de corriente durante el transitorio de ruptura, que da lugar a niveles de degradación en el dieléctrico tales que, tras producirse la reversibilidad de la ruptura no se alcanzan valores de I_R tan bajos como con límites de corriente menores. Por tanto, aunque el estado R no presenta ninguna dependencia con el límite de corriente, al aumentarlo las colas de la distribución de I_R se reducen, indicando que a mayor límite de corriente aplicado menor dispersión (**Artículo C**).

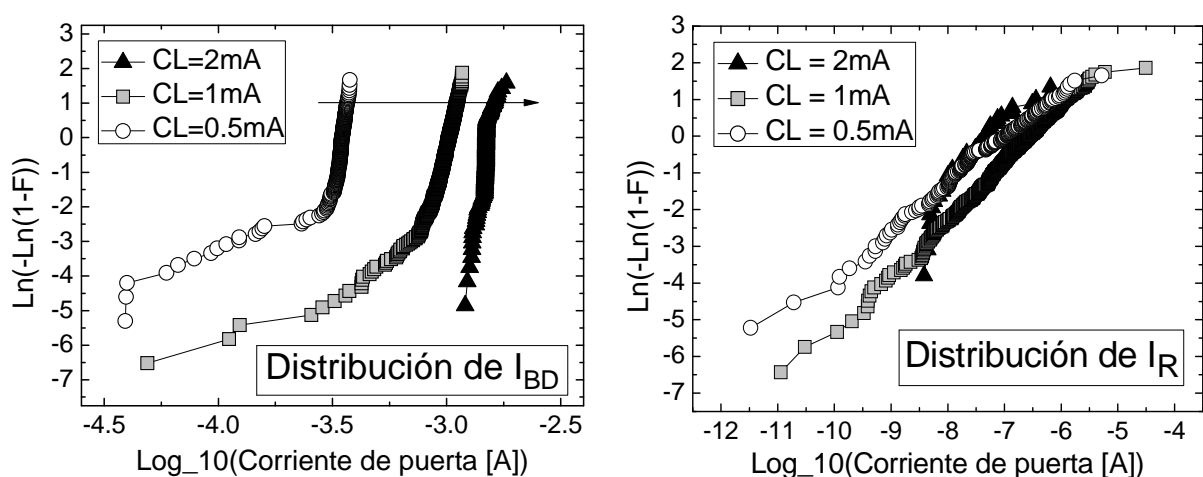


Figure 3-11: Distribuciones de corriente de post-ruptura I_{BD} (izquierda) y de post-recuperación I_R (derecha) para diferentes límites de corriente: $500\mu\text{A}$ (círculos blancos), 1mA (cuadrados grises), y 2mA (triángulos negros). Para el estado BD se observa claramente que cuanto mayor es el límite de corriente mayor es el nivel de degradación. Además, el modo Soft BD deja de observarse, indicando que para valores elevados de límite de corriente este modo es menos probable que se produzca. Para el estado R no se aprecia ninguna dependencia con límite de corriente, aunque si una reducción de la cola inferior de la distribución para el caso 2mA , lo que sugiere que cuanto mayor es el límite de corriente menor es la parte recuperable del daño.

Para verificar la no dependencia de la conducción en el estado R con el límite de corriente, en la figura 3-12 se muestra la distribución conjunta de las corriente I_R registradas para las tres medidas anteriores representadas en la figura 3-11. Como se observa, la distribución muestra una tendencia completamente recta, indicando que todo el conjunto de datos sigue una distribución del tipo Weibull. Esto verifica el resultado observado en la figura 3-11 (derecha), en el que la distribución de corrientes medidas durante el estado alcanzado tras la recuperación es muy parecida, sugiriendo que el estado R es independiente del límite de corriente aplicado durante el transitorio de ruptura. Además, se observa que la distribución de corrientes I_R es muy ancha, indicando que la corriente del estado R presenta una gran dispersión, que comprende valores entre 10pA y 10 μ A. Esto muestra que el estado R es muy variable, y que es necesario estudiar bien la estadística que sigue para poder estudiar el fenómeno de la reversibilidad desde un punto de vista de fiabilidad de dispositivos, y establecer con criterio cual es el daño que debe considerarse a la hora de estudiar el fenómeno a nivel de circuito.

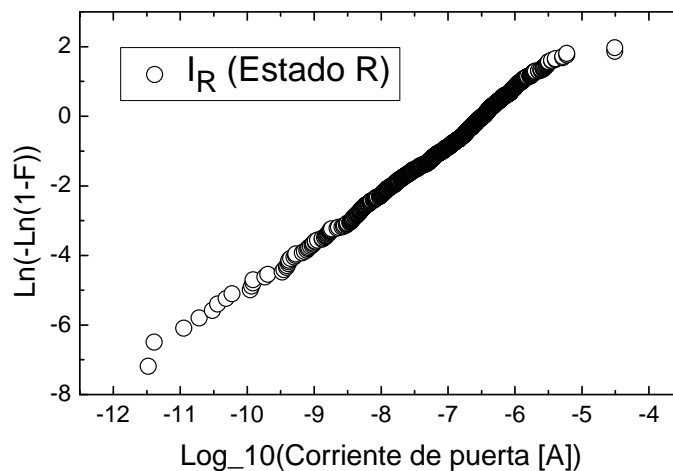


Figura 3-12: Distribución de la corriente I_R para el conjunto de todos los ciclos aplicados en las medidas mostradas en la figura 3-11, en las que se han cambiado las condiciones de límite de corriente (500 μ A, 1mA, y 2mA). Se observa que la distribución de este parámetro es una recta perfecta, lo que indica que sigue una distribución de Weibull. Este hecho confirma que el estado R no presenta ninguna dependencia con el límite de corriente.

Con la finalidad de estudiar de manera más completa la influencia del límite de corriente aplicado durante el transitorio de ruptura sobre el fenómeno de reversibilidad de la ruptura, se ha intentado inducir diferentes niveles de degradación en el dieléctrico (diferentes niveles de corriente de post-ruptura I_{BD}) en una misma muestra. Esto se ha realizado siguiendo la secuencia de medida de la figura 3-1, variando el valor del límite de corriente aplicado durante el estrés de ruptura entre un ciclo y el siguiente de la medida en una misma muestra. En unos casos, se ha empezado con un límite de corriente establecido en 500 μ A, para en los posteriores ciclos incrementarlo progresivamente hasta 1mA. Mientras que en otros se ha empezado con un límite de corriente de 1mA, y se ha disminuido progresivamente hasta 200 μ A. En el primer caso (incremento del límite de corriente entre un ciclo y otro) se ha observado que, una vez provocada la primera ruptura con un límite de corriente de 500 μ A, al aumentar el límite de corriente durante el estrés de ruptura en el siguiente ciclo la reversibilidad no se observa. Sin embargo, en el segundo caso (reducir el límite de corriente con los ciclos), al reducir el nivel de degradación que se puede alcanzar en el óxido entre un ciclo y otro, si se ha observado la reversibilidad de la ruptura, aunque tras unos pocos ciclos (2-4ciclos) de haber cambiado el límite de corriente deja de observarse. Tras haber repetido varias veces ambos experimentos, estos resultados experimentales parecen indicar que tras inducir un cierto nivel de degradación en el óxido mediante un cierto valor de límite de corriente, cambiar dicho valor de límite de corriente lleva a que la reversibilidad deje de observarse, sugiriendo que tras el cambio de límite de corriente se alcanza la ruptura final. Si bien

es verdad que al reducir el límite de corriente puede llegarse a observar la reversibilidad, no se ha conseguido estabilizar el fenómeno con el paso de los ciclos, alcanzándose también la ruptura final. Entendemos que, para esclarecer el efecto del cambio de límite de corriente entre ciclo y ciclo de una medida realizada en una misma muestra sobre el fenómeno de reversibilidad, y si es posible o no provocar diferentes niveles de degradación del dieléctrico, deben realizarse más estudios y experimentos al respecto.

3.2.4. Estudio de la dependencia de la reversibilidad con el área del dispositivo.

Como se ha explicado en la introducción, es conocido que la ruptura dieléctrica es un fenómeno local, que afecta a una zona determinada del óxido de puerta. Con el fin de observar la condición de fenómeno local de la ruptura, y para comprobar si tras la reversibilidad de la ruptura también existe o no algún tipo de dependencia de la corriente a través del dieléctrico con el área de la zona activa del dispositivo, en este apartado se analizan las corrientes I_{BD} e I_R del primer ciclo de la secuencia mostrada en la figura 3-1 en diferentes muestras con distintas áreas de canal. Las muestras utilizadas para este estudio han sido transistores MOSFET tipo P, con dimensiones de canal comprendidas entre $W/L=0.25\mu\text{m}/0.15\mu\text{m}$ y $W/L=1\mu\text{m}/0.5\mu\text{m}$. Como se ha explicado en la sección 3-1, el procedimiento de medida que se realizó consiste en aplicar estreses de ruptura y de recuperación en forma de rampa de tensión a la puerta del transistor con el resto de terminales conectados a tierra. Tras la aplicación de los estreses, se realizaron las curvas de caracterización del transistor (I_G-V_G , I_D-V_G y I_D-V_D) de post-ruptura y post-recuperación.

La figura 3-13 muestra la corriente de post-ruptura I_{BD} (círculos grises) y de post-recuperación I_R (círculos blancos), extraídas a una tensión de puerta $V_G=-0.9\text{V}$ de las características I_G-V_G de post-ruptura y post-recuperación durante el primer ciclo de la secuencia mostrada en 3-1. Como se puede observar, para el estado BD (círculos grises) la corriente de puerta medida no presenta ninguna dependencia con el área, indicando que efectivamente, la conducción tras la ruptura es un fenómeno local. Además, en el estado R (círculos blancos) tampoco se observa dependencia de la corriente de puerta con el área activa del dispositivo, indicando que la conducción tras la reversibilidad también es un fenómeno local, que se produce a través de una pequeña zona del área del dispositivo, a la que hemos denominado camino conductor. Este resultado sugiere que, una vez producida la primera ruptura, la corriente que atraviesa el óxido es un fenómeno fuertemente localizado, independientemente del estado conductivo en el que se encuentre el óxido (**Artículo D**).

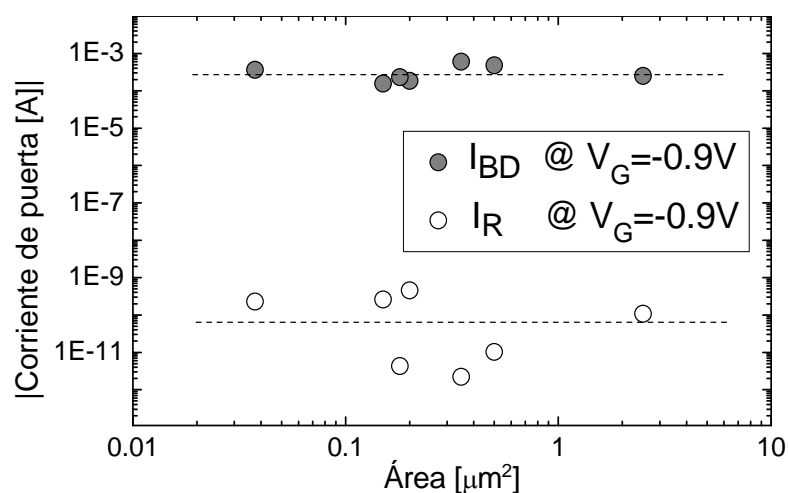


Figura 3-13: Corrientes de post-ruptura I_{BD} (círculos grises) y corrientes de post-recuperación I_R (círculos blancos) medidos durante el primer ciclo de la secuencia de 3-1 para diversos transistores con diferente área. Como puede observarse, tanto para el estado BD como para el estado R no existe una dependencia de la corriente de puerta con el área, indicando que tras la primera ruptura la corriente que atraviesa el óxido es un fenómeno local.

3.2.5. Estudio de la localización de la ruptura a lo largo del canal.

También se ha analizado la localización de la ruptura a lo largo del canal, y si esta varía con el paso de los ciclos aplicados. Este análisis se ha realizado mediante el parámetro α , que se calcula a partir de las corrientes medidas en los terminales de drenador y fuente durante la característica I_G - V_G (ecuación 3-1) [33]. Cuando el parámetro α es aproximadamente 1 significa que la corriente de puerta que atraviesa el óxido fluye hacia el drenador, indicando que la ruptura está localizada muy cerca del drenador. En cambio, cuando su valor tiende a 0 la corriente fluye en mayor medida del terminal de puerta al terminal de fuente, indicando que la ruptura esta fuertemente localizada cerca de la fuente.

$$\alpha = \frac{I_D}{I_D + I_S} \quad \text{Ecuación 3-1 [33]}$$

La figura 3-14 muestra la evolución del parámetro α calculado para dos muestras en las que se han realizado más de 200 iteraciones de la secuencia 3-1. Para la muestra 1 (círculos), se observa que el parámetro $\alpha = 1$, lo que indica que la ruptura está fuertemente localizada cerca del drenador, indistintamente del estado conductivo (color gris para el estado BD, y color blanco para el estado R). Además, α no varía con el paso de los ciclos durante toda la medida. Lo mismo sucede con la muestra 2, donde $\alpha=0$, indicando que la ruptura esta localizada cerca de la fuente, también para ambos estados conductivos del óxido. Es decir, que tanto para el estado BD como para el R la conducción es un fenómeno local, y que una vez provocada la primera ruptura, la conducción siempre se produce por la misma localización, independientemente del estado conductivo.

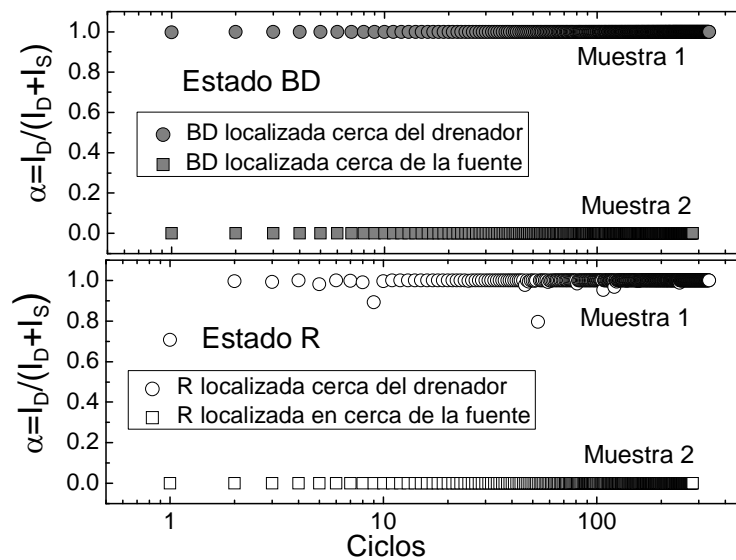


Figura 3-14: Evolución del parámetro $\alpha=I_D/(I_D+I_S)$ con los ciclos aplicados. Este parámetro permite determinar la posición del camino conductor a lo largo del canal del dispositivo [33]. Esto se ha analizado para dos muestras, considerando una localización distinta en cada una: Localización en el drenador (muestra 1, círculos) y localización en la fuente (muestra 2, cuadrados). Tanto en el estado BD (símbolos grises) como el estado R (símbolos blancos), la corriente a través del óxido esta fuertemente localizada, y además no varía con el paso de los ciclos, sugiriendo que es el mismo camino conductor el que controla los dos estados.

Port tanto hay tres resultados muy remarcables que cabe recopilar. El primero es el explicado a partir de la figura 3-2, donde tras observar la reversibilidad de la ruptura, la corriente a través del óxido I_R es menor que tras la ruptura (I_{BD}), pero mayor que la fresca, indicando que la mayor parte

del daño causado es recuperado, pero no completamente. El segundo es el mostrado en la figura 3-13, en que ambas corrientes, I_{BD} e I_R , no presentan ninguna dependencia con el área, sugiriendo que la conducción del óxido tras la primera ruptura es un fenómeno local, independientemente del estado conductivo del dieléctrico. Y el tercero es la evolución del parámetro α mostrada en la figura 3-14, donde se observa que tras la primera ruptura α no varía con el paso de los ciclos, ni con el cambio de estado. Esto indica que la localización del daño a lo largo del canal, causante de la conducción del óxido, siempre es la misma tanto en los diferentes estados conductivos del dieléctrico, BD o R.

Estos resultados sugieren que tras provocar la primera ruptura, la corriente a través del óxido está localizada en una zona del canal del transistor, denominada camino de ruptura o camino conductor. Incluso cuando la muestra es recuperada y el dieléctrico se encuentra en el estado R, la corriente que atraviesa el óxido sigue estando fuertemente localizada, y en la misma región que en el estado BD. Por tanto, puede atribuirse la conducción del óxido a un mismo camino conductor creado durante la primera ruptura, que se cierra parcialmente al recuperar la muestra, y vuelve a abrirse al provocar una nueva ruptura. Es decir, se puede atribuir la conducción de ambos estados al mismo *path* de ruptura, que se abre y se cierra al cambiar el estado conductivo del óxido (**Artículo D**).

Para forzar la ruptura en una localización u otra a lo largo del canal durante el primer estrés de ruptura, bien cerca del drenador, o bien cerca de la fuente, se han probado distintas configuraciones de la mesa de puntas. Y se ha comprobado experimentalmente que la manera más efectiva para forzar la localización del camino conductor es aplicando un mayor potencial entre la puerta y el terminal cerca del cual quiere provocarse la ruptura respecto del resto de los terminales. Por ejemplo, si se quiere forzar que el camino conductor esté localizado cerca del terminal de fuente, debe aplicarse un mayor potencial entre la puerta y la fuente que entre la puerta y el resto de terminales. Esto se ha conseguido conectando el terminal de fuente a tierra, mientras se aplica el estrés al terminal de puerta, manteniendo el resto de terminales flotantes (puntas levantadas del equipo de medida en los terminales de drenador y sustrato). Análogamente, se puede realizar lo mismo para la localización cerca del drenador.

En el siguiente apartado se estudiará el cambio de localización del camino conductor a lo largo del canal del transistor en una misma muestra, mediante la técnica expuesta en el párrafo anterior, y los efectos que tiene sobre la observación del fenómeno de reversibilidad de la ruptura.

Cambio de localización de la ruptura.

Para estudiar si es posible crear más de un camino conductor en distintas localizaciones del canal en una misma muestra, y si es posible alternar entre una y otra localización, se ha intentado cambiar la localización del camino conductor entre un ciclo y otro de una misma medida. Para realizarlo se ha utilizado la técnica explicada en el apartado anterior, alternando un mayor potencial entre puerta y fuente o entre puerta y drenador durante el estrés de ruptura, para provocar que el camino conductor se forme cerca del terminal de fuente o cerca del terminal de drenador, respectivamente. Durante el estrés de ruptura se ha impuesto el mismo valor de límite de corriente, independientemente del potencial aplicado en uno u otro terminal. El estrés de recuperación se ha realizado aplicando la tensión de estrés en el terminal de puerta y el resto de terminales a tierra.

Para estudiar si se produce o no cambio de localización de la ruptura se han analizado las corrientes por los cuatro terminales de un transistor pMOSFET con dimensiones $W=1\mu\text{m}/L=0.5\mu\text{m}$. A partir de las corrientes analizadas, se ha estudiado el parámetro α , el cual se muestra en la figura 3-15 para una medida de 10 ciclos realizada en una misma muestra, durante el

estado BD (cuadrados negros) y durante el estado R (círculos blancos), a una tensión de puerta $V_G = -0.5V$. En el primer ciclo, se ha intentado forzar la localización del camino conductor cerca del terminal de drenador, imponiendo un potencial mayor entre puerta y drenador. Como puede observarse, tras provocar la ruptura durante el primer ciclo, el parámetro α es igual a 1, indicando que el camino conductor, efectivamente, se ha formado cerca del terminal de drenador. Tras producirse la reversibilidad de la ruptura, se observa que α sigue siendo igual a 1, indicando que la corriente a través del óxido durante el estado R sigue fuertemente localizada cerca del drenador. Una vez finalizado el primer ciclo, durante el estrés de ruptura de los ciclos 2 y 3 se ha intentado cambiar la localización del camino conductor, forzando un mayor potencial entre puerta y fuente, con el resto de terminales al aire. Como se observa, tras la ruptura $\alpha=0$, indicando que la corriente a través del óxido está fuertemente localizada cerca del terminal de fuente. Sin embargo, tras observar la reversibilidad el parámetro α es aproximadamente 0.7, indicando que la corriente que fluye a través del óxido durante el estado R lo hace en parte por el camino conductor creado cerca de la fuente, y en parte por el camino conductor creado cerca del drenador, siendo mayor esta última contribución. Algo parecido se observa durante el tercer ciclo. Tras la ruptura la corriente a través del óxido está fuertemente localizada cerca del terminal de fuente, mientras que tras su reversibilidad $\alpha = 0.2$, indicando que la corriente de post-recuperación a través del óxido fluye de nuevo por ambos caminos conductores, pero esta vez lo hace en mayor medida por el camino conductor situado cerca de la fuente. Durante los ciclos cuatro y cinco, se ha procedido a cambiar de nuevo la localización del camino conductor, forzando un mayor potencial entre puerta y drenador. Al realizarlo, observamos que $\alpha=1$, tanto para el estado BD como para el R, indicando que se ha vuelto a abrir el camino conductor localizado cerca del terminal de drenador. A partir del ciclo seis, se ha forzado siempre un mayor potencial cerca de la fuente, para intentar abrir de nuevo el camino conductor localizado cerca de la fuente, creado durante el segundo ciclo. Sin embargo, se observa que el parámetro α sigue tomando valores próximos a 1 en ambos estados durante los ciclos 6, 7 y 8, indicando que no se produce cambio de localización del camino conductor. Sin embargo, tras intentarlo durante 3 ciclos sin éxito, en el ciclo 9 observamos que si se produce el cambio de localización. Durante el ciclo 10, $\alpha=1$ tanto para el estado BD como para el R, indicando que el camino conductor cerca de la fuente vuelve a predominar. En el ciclo 11, la muestra ha alcanzado la ruptura final, no volviéndose a observar la reversibilidad.

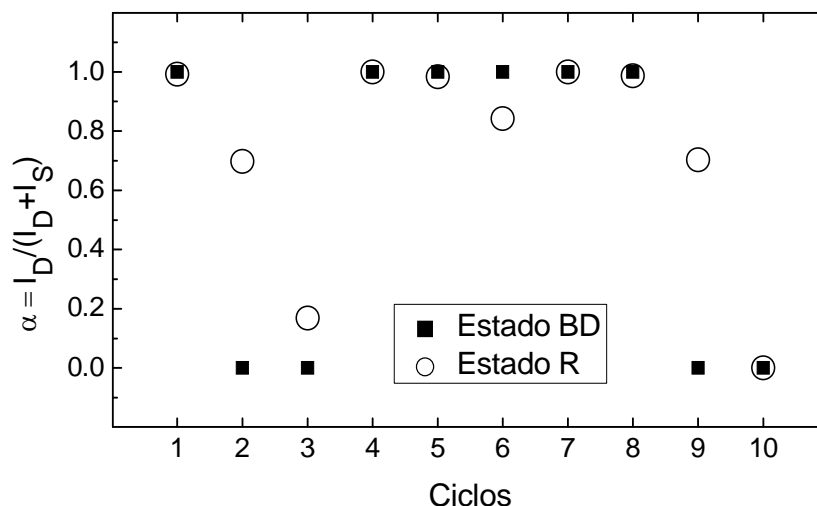


Figura 3-15: Evolución del parámetro α con el paso de los ciclos aplicados en una misma muestra tras la ruptura (cuadrados negros) y tras observar su reversibilidad (círculos blancos). En el primer ciclo se ha forzado la ruptura cerca del terminal de drenador. En los ciclos 2 y 3 se ha forzado un mayor potencial cerca de la fuente, para cambiar la localización de la ruptura. Durante los ciclos 4 y 5 se ha forzado un mayor potencial cerca del drenador para volver a abrir el camino conductor creado cerca del drenador durante el primer ciclo. Y finalmente se ha vuelto a forzar un mayor potencial cerca de la fuente durante el resto de ciclos. En este último caso se observa que la localización del camino conductor no cambia hasta el noveno ciclo, tres ciclos después de intentarlo.

A modo de conclusión, crear dos caminos conductores en una misma muestra en localizaciones diferentes, drenador y fuente, es un proceso que puede realizarse, como se ha demostrado, pero que es difícil de controlar. Sin embargo, la figura 3-15 indica que es posible crear dos caminos conductores y alternar entre uno y otro mediante la consecución de ciclos de ruptura-recuperación, al menos en las muestras de las que disponemos.

La carga que se inyecta en el dieléctrico hasta la ruptura ha sido tradicionalmente utilizada como parámetro para caracterizar la ruptura [96]. Aquí también utilizamos la carga inyectada, pero para caracterizar la reversibilidad de la ruptura. Así, en el siguiente apartado se presentará la carga inyectada en el dieléctrico hasta la recuperación como parámetro para caracterizar la reversibilidad de la ruptura, y se estudiará su dependencia con el límite de corriente, la polaridad de la tensión de estrés, o la temperatura de trabajo.

3.2.6. Estudio de la Carga inyectada hasta la recuperación (Q_R).

Para caracterizar el proceso de reversibilidad de la ruptura dieléctrica (transitorio R) se ha utilizado el parámetro Q_R (Charge-to-Recovery), que se ha definido como la carga inyectada en el dieléctrico durante el estrés de recuperación hasta que se observa la reversibilidad de la ruptura. Este parámetro se obtiene a partir de la corriente a través del óxido y el tiempo transcurrido hasta que se produce la reversibilidad, tal y como muestra la expresión 3-2, durante el estrés de recuperación, que para estas medidas se ha utilizado un estrés S-RVS (ver sección 1.4.2.4 del capítulo 1).

$$Q_R = \int_0^{t_R} I_G(t) \cdot dt$$

Ecuación 3-2

Dependencia de Q_R con la polaridad del estrés de recuperación:

La figura 3-16 muestra los valores de Q_R obtenidos en dos medidas realizadas en muestras de iguales dimensiones y con mismo límite de corriente. En ambos casos se ha utilizado el mismo estrés de ruptura, que en este caso han sido CL-RVS de polaridad negativa. Sin embargo, para un caso se ha utilizado un estrés de recuperación S-RVS de polaridad negativa (círculos grises), y en el otro un estrés S-RVS de polaridad positiva (círculos blancos). Para el caso de tensiones de estrés de recuperación negativas, los valores presentan mayor dispersión (círculos grises), aproximadamente un orden de magnitud de diferencia entre los valores de Q_R obtenidos en los diferentes ciclos. Sin embargo, para el caso de tensiones de estrés de polaridad positiva (opuesta a la polaridad de las tensiones de estrés de ruptura, círculos blancos) los valores de Q_R son mucho más uniformes, variando muy poco entre ciclo y ciclo, indicando que el proceso de recuperación es mucho más estable y repetitivo. Por tanto, se puede concluir que la polaridad del estrés de recuperación afecta a la variabilidad del proceso de recuperación. Por otra parte, no se ha encontrado ninguna dependencia de Q_R con el número de ciclos en ninguno de los casos.

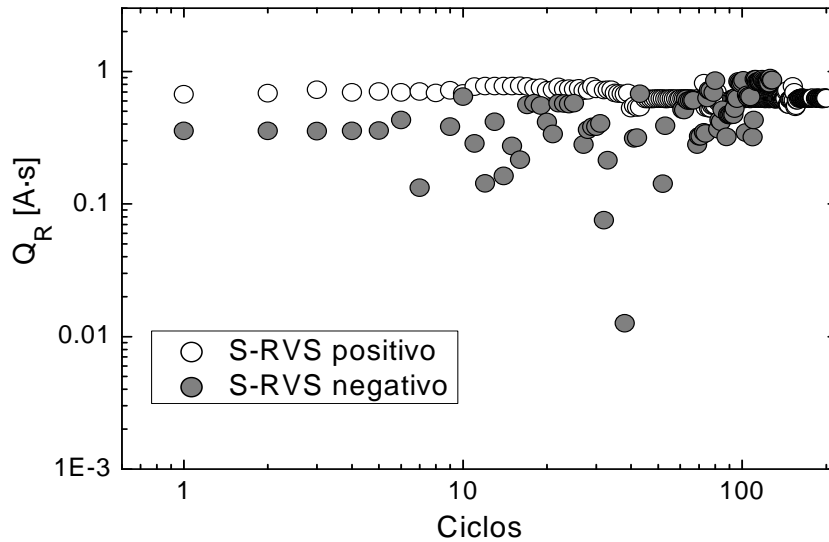


Figure 3-16: Evolución de Q_R para dos medidas: una con estrés de recuperación S-RVS de polaridad negativa (círculos blancos), y otra con estrés de recuperación S-RVS de polaridad positiva (círculos grises). En ambos casos se ha utilizado un estrés de ruptura de polaridad negativa. Para el caso de ambos estreses (ruptura y recuperación) de polaridad negativa, Q_R presenta mayor dispersión. Sin embargo, para el caso de estrés de recuperación de polaridad positiva, el proceso de recuperación es mucho más estable y repetitivo.

La figura 3-17 muestra la distribución de weibull de los datos anteriores. Para el caso de tensiones de estrés de recuperación de polaridad negativa se observa una pronunciada cola de valores (círculos grises). Esto indica que para el caso de polaridad de estrés de recuperación igual a la polaridad de estrés de ruptura hay una mayor dispersión de valores de Q_R que para el caso de igual polaridad (círculos blancos). En este otro caso, la distribución es mucho más vertical, indicando una gran uniformidad de los valores. Otro punto destacable es que las partes superiores de ambas distribuciones se solapan. Esto es debido a que para niveles mayores de Q_R , la degradación es tan grande que no se observa la reversibilidad de la ruptura, lo que sugiere que existe una cantidad máxima de Q_R por la cual es observable la reversibilidad de la ruptura. **(Artículo C)**.

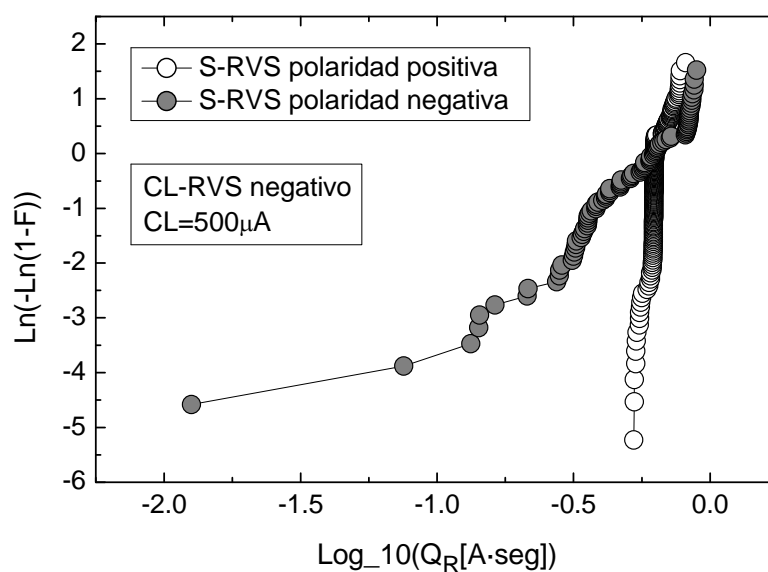


Figura 3-17 Distribución de Weibull de Q_R obtenida en dos medidas, una con un estrés de recuperación S-RVS de polaridad negativa (círculos blancos), y la otra con un estrés de recuperación S-RVS de polaridad positiva (círculos grises). En ambos casos, el estrés de ruptura se ha realizado aplicando CL-RVS de polaridad negativa. Para el caso S-RVS positivo, es decir, de polaridad opuesta al CL-RVS de ruptura, se observa mucha menos dispersión.

Dependencia de Q_R con el límite de corriente del transitorio de ruptura:

El efecto del límite de corriente sobre la carga inyectada hasta la recuperación (Q_R), se ha analizado a partir de las mismas medidas que las utilizadas en la figura 3-11, en las que se han definido diferentes valores de límite de corriente. Recordar que en este caso, en el procedimiento de medida se han aplicado estreses de polaridad negativa, tanto de ruptura (CL-RVS) como el de recuperación (S-RVS). La figura 3-18 muestra las distribuciones de Q_R obtenidas en tres medidas distintas con límite de corriente de $500\mu\text{A}$ (círculos blancos), 1mA (cuadrados grises), y 2mA (triángulos negros), respectivamente. Se observa que cuanto mayor es el límite de corriente durante el transitorio de ruptura, mayor es el valor medio de la distribución de Q_R . Por tanto, cuanto mayor es el daño causado durante el transitorio de ruptura, mayor es la carga inyectada en el dieléctrico requerida para que se produzca la reversibilidad de la ruptura. (**Artículo C**).

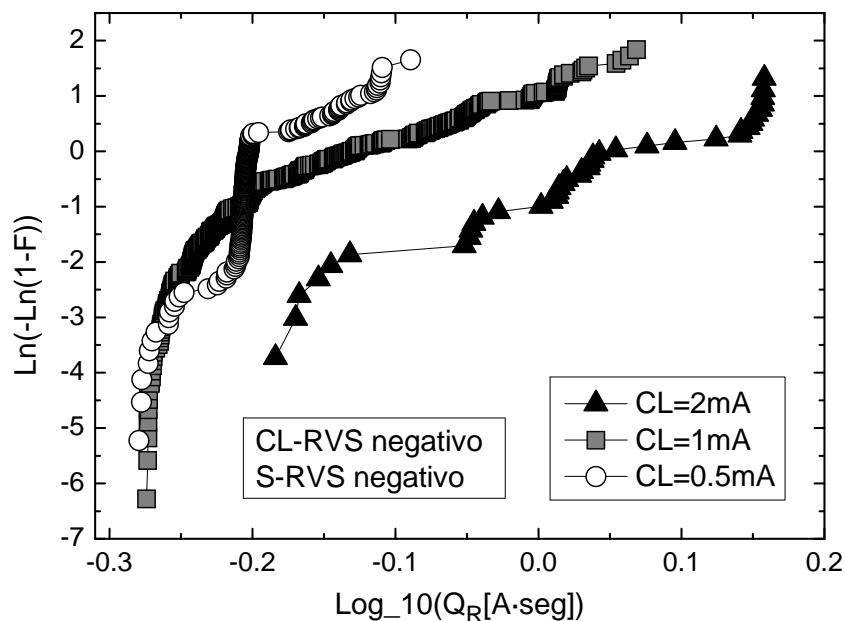


Figura 3-18: Distribución de Q_R obtenida a partir de las medidas de la figura 3-11 para diferentes límites de corriente: $500\mu\text{A}$ (círculos blancos), 1mA (cuadrados grises), y 2mA (triángulos negros). Cuanto mayor es el límite de corriente establecido durante el estrés de BD mayor es el valor medio de la distribución. Esto sugiere que cuanto mayor es el daño creado en el dieléctrico, más carga inyectada en el óxido es necesaria para recuperar la muestra.

Como Q_R es una función de I_{BD} y del tiempo transcurrido hasta la recuperación t_R , esta observación es coherente con lo observado en la figura 3-11, donde la corriente de post-ruptura I_{BD} es mayor cuanto mayor es el límite de corriente impuesto. Sin embargo, al observar la dispersión de las tres distribuciones no puede observarse una dependencia clara con el valor del límite de corriente impuesto. Esto sugiere que la variabilidad de Q_R (que caracteriza el proceso de reversibilidad) es la misma para diferentes niveles de degradación del óxido tras su ruptura.

Distribución de Weibull del parámetro Q_R .

Para profundizar más sobre la estadística de la carga inyectada hasta la recuperación (Q_R), en esta sección se ha estudiado el comportamiento estadístico de este parámetro. Para este estudio, se ha usado un límite de corriente de $500\mu\text{A}$, y polaridad de los estreses de ruptura y de recuperación negativa en todas las medidas. La figura 3-19 muestra la distribución del parámetro Q_R obtenida a partir de todos los ciclos de doce medidas realizadas bajo las mismas condiciones de límite de

corriente, y de polaridad de los estreses, tras aplicar diversos ciclos de la secuencia mostrada en la figura 3-1 (círculos blancos). Además, también se muestra la distribución de Q_R correspondiente al décimo ciclo de cada una de las doce medidas anteriores (círculos grises), por lo que solo tiene doce puntos. Se observa que ambas distribuciones pueden describirse por la estadística de Weibull ya que presentan una pendiente constante, y además con parámetros de distribución similares. Este hecho sugiere que la estadística del proceso de recuperación puede ser obtenida en un número reducido de muestras aplicando diversos ciclos de ruptura-recuperación de la secuencia de 3-1, simplificando la caracterización de Q_R mediante la aplicación de varios ciclos en una misma muestra. Es decir, que realizar múltiples ciclos en una misma muestra permite reducir el número de muestras necesarias para construir la estadística de Q_R . Además, estas distribuciones pueden utilizarse para determinar la probabilidad de ocurrencia de la reversibilidad de la ruptura en el dispositivo para un valor de carga inyectada dado.

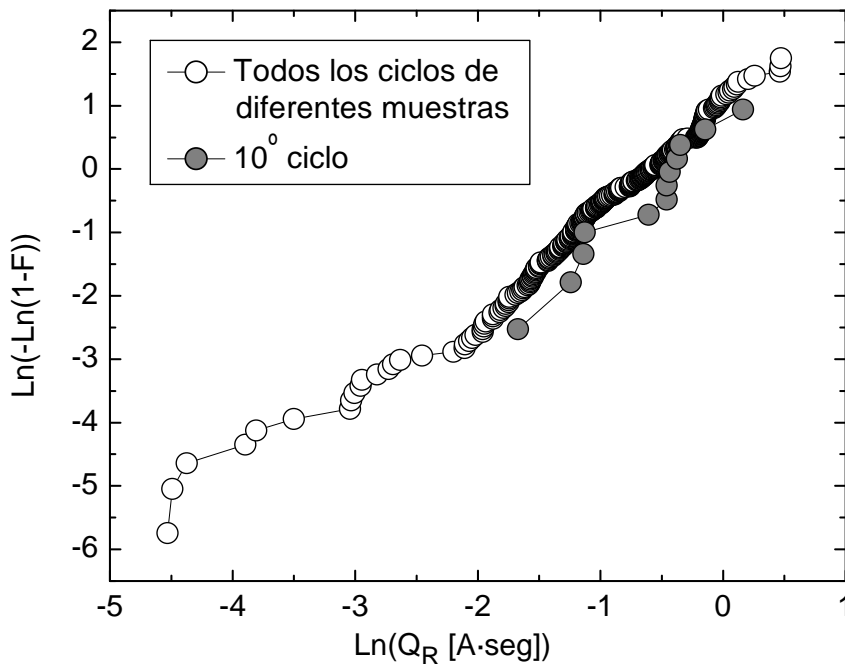


Figura 3-19: Distribuciones de Q_R obtenidas a partir de realizar múltiples ciclos en doce muestras (círculos blancos), y a partir del décimo ciclo de cada una de las doce muestras. Como se observa, ambas distribuciones siguen una estadística de Weibull, y con parámetros de la distribución parecidos.

3.2.7. Dependencia del fenómeno de reversibilidad con la temperatura.

Con el fin de realizar un estudio más completo de los parámetros que caracterizan el fenómeno de reversibilidad de la ruptura, en esta sección se analiza la dependencia de la carga inyectada Q_R , y de las corriente de post-ruptura I_{BD} y de post-recuperación I_R con la temperatura de trabajo del dispositivo. Para realizar este estudio, se han hecho diferentes medidas variando la temperatura de trabajo de un dispositivo a otro, o en el mismo dispositivo tras un número determinado de ciclos. Para estas medidas se ha utilizado el mismo límite de corriente en el transitorio de ruptura (1mA), la misma polaridad para el estrés de ruptura (CL-RVS negativo), y para el estrés de recuperación (S-RVS positivo), y dispositivos de iguales dimensiones. La figura 3-20 muestra el esquema del procedimiento de medida implementado para realizar este tipo de medidas. Esta secuencia de estreses y características es parecida a la mostrada en la figura 3-1. Sin embargo, en este caso tras un número determinado de ciclos se puede aumentar la temperatura de trabajo, y seguir realizando iteraciones de la secuencia.

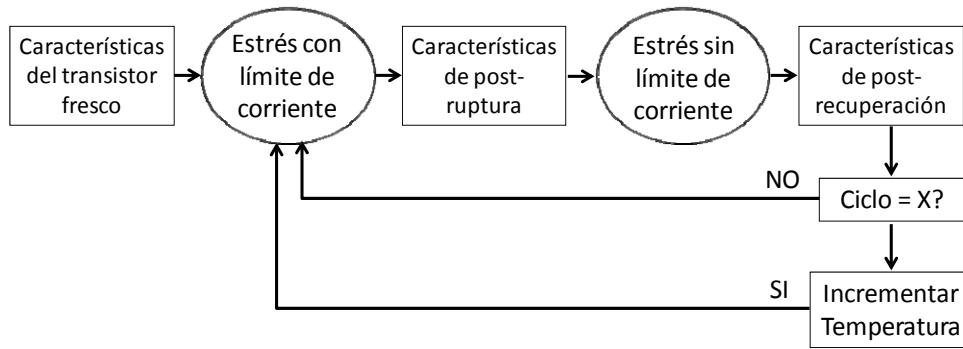


Figura 3-20: Secuencia implementada para realizar medidas a diferentes temperaturas. Tras un número determinado de ciclos se puede aumentar la temperatura y seguir realizando iteraciones de la secuencia en la misma muestra. O bien también puede cambiarse la muestra tras incrementar la temperatura.

Dependencia de I_{BD} e I_R con la temperatura.

La figura 3-21 muestra la evolución de las corrientes de post-ruptura I_{BD} y de post-recuperación I_R obtenidas tras realizar 80 ciclos de la secuencia 3-20 en una misma muestra, en la que la temperatura de trabajo se ha aumentado 50°C cada 20 ciclos, desde 25°C (temperatura ambiente) hasta 175°C . Como puede observarse, para cada temperatura de trabajo, el valor medio de I_{BD} disminuye a medida que aumenta la temperatura, y la dispersión de los valores parece aumentar. Como la corriente de post-ruptura es un parámetro tradicionalmente utilizado para medir el nivel de degradación del óxido causado por la ruptura, este resultado parece indicar que la conductividad del estado BD decrece con la temperatura, y por tanto, que a mayor temperatura de trabajo menos daño se crea en el óxido. Sin embargo, cabe recordar que el efecto del daño creado en el óxido durante el transitorio de ruptura puede asemejarse al comportamiento de un camino conductor, ya que se comporta como tal, y que la resistividad de los conductores aumenta con la temperatura. Por tanto, el decremento del valor medio de la corriente I_{BD} al aumentar la temperatura de trabajo parece ser causado por un incremento de la resistividad de la zona dañada por donde circula la corriente tras la ruptura, y no que se haya creado menos daño en el óxido. Contrariamente, para el estado R no se aprecia ningún tipo de dependencia con la temperatura, lo que sugiere que la temperatura no tiene una influencia tan fuerte sobre la degradación que permanece en el dieléctrico durante el estado R.

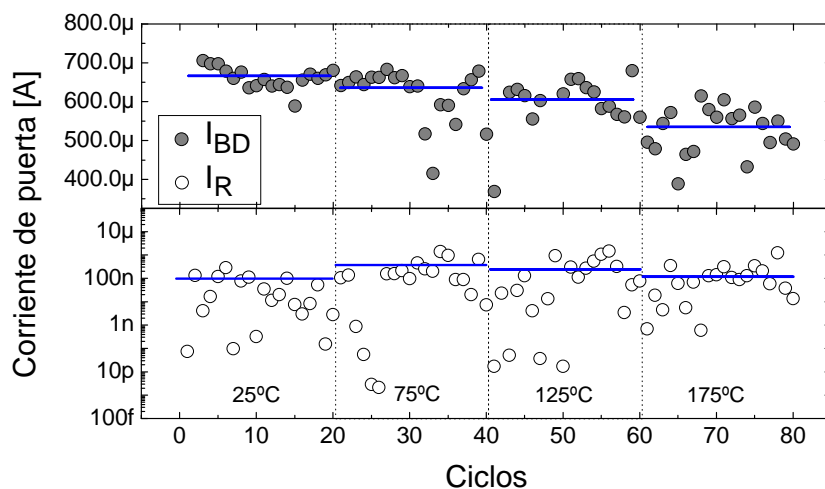


Figura 3-21: Evolución de las corrientes I_{BD} (círculos grises) e I_R (círculos blancos) tras aplicar 80 ciclos en una misma muestra en la que se ha aumentado la temperatura 50°C cada 20 ciclos, desde 25°C a 175°C . Para el estado BD, cuando la temperatura aumenta el valor medio de I_{BD} disminuye y su dispersión aumenta. Por el contrario, para el estado R no se aprecia ningún tipo de dependencia con la temperatura.

Efecto de la temperatura sobre Q_R .

La figura 3-22 muestra las distribuciones estadísticas de los valores de Q_R obtenidos para la medida anterior, separadas por temperaturas: 25°C (círculos blancos), 75°C (cuadrados rojos), 125°C (triángulos azules) y 175°C (rombos verdes). Puede observarse que cuanto mayor es la temperatura de trabajo del dispositivo, menor es el valor medio de las distribuciones y mayor su dispersión. El incremento del valor medio indica que a mayor temperatura menos carga inyectada se requiere para observar la recuperación. En la figura 3-18 se observó que a menor límite de corriente impuesto durante el transitorio de ruptura, menor era la degradación generada en el dieléctrico. En este sentido, la disminución de la carga inyectada, Q_R , con la temperatura de trabajo, también parece indicar una disminución del daño generado en el dieléctrico durante el transitorio de ruptura con la temperatura. Sin embargo, cabe recordar que el camino conductor se comporta como un filamento metálico, sugiriendo que la resistividad del camino conductor puede incrementar con la temperatura, tal como sucede con la resistividad de los metales. Por otro lado, el aumento de la dispersión de Q_R con la temperatura indica que la variabilidad del proceso de recuperación aumenta.

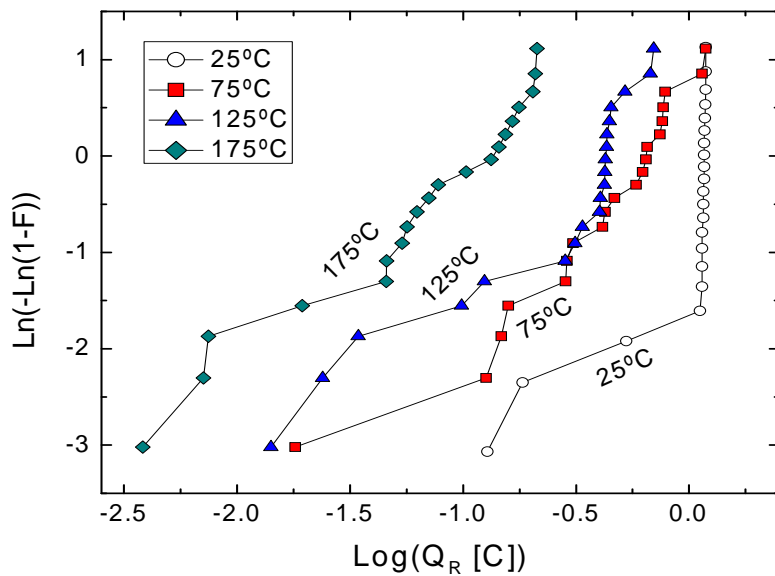


Figura 3-22: Distribuciones de Q_R obtenidas a partir de las medidas de la figura 3-21, separadas por temperaturas: 25°C (círculos blancos), 75°C (cuadrados rojos), 125°C (triángulos azules), 175°C (rombos verdes). Al aumentar la temperatura, el valor medio de las distribuciones disminuye y la dispersión aumenta. Esto indica que a menor temperatura más carga es requerida para observar la recuperación, aunque más estable es el proceso de recuperación.

También se ha analizado la dependencia con la temperatura del tiempo de recuperación t_R , definido como el tiempo necesario para observar la reversibilidad de la ruptura desde que se inicia el S-RVS. Como se puede apreciar en la tabla 3-1, el valor medio de t_R decrece con la temperatura, indicando que los mecanismos que desencadenan la reversibilidad de la ruptura se aceleran al aumentar la temperatura de trabajo.

Temperatura [°C]	25°C	75°C	125°C	175°C
Mean time to BD Recovery [s]	584	446	335	211

Tabla 3-1: Valor medio del tiempo medido hasta la recuperación t_R para las diferentes temperaturas de la medida anterior. Cuanto mayor es la temperatura, menor es el tiempo necesario para observar la reversibilidad de la ruptura.

En conclusión, con el aumento de la temperatura de trabajo los valores de I_{BD} decrecen ligeramente, indicando que el nivel de degradación obtenido en el estado BD disminuye, mientras que el del estado R no varía. Además, la carga inyectada hasta la recuperación Q_R necesaria para observar la recuperación también decrece, al igual que el tiempo hasta la reversibilidad. Estos resultados parecen indicar que las altas temperaturas de trabajo aceleran o favorecen el proceso de reversibilidad en el dieléctrico. Desde un punto de vista de fiabilidad, este resultado tiene cierta relevancia ya que en condiciones normales de operación, estos dispositivos alcanzan en los circuitos integrados temperaturas mucho más elevadas que la temperatura ambiente.

Es conocido que los efectos de la ruptura dieléctrica afectan al funcionamiento de los transistores, y consecuentemente, a la funcionalidad los circuitos integrados de los cuales forman parte [97]. Para estudiar si la recuperación de las propiedades aislantes del dieléctrico al producirse la reversibilidad de la ruptura puede suponer una mejor en el funcionamiento de los transistores respecto a la ruptura, en el siguiente apartado se analiza detalladamente el impacto de la ruptura y su reversibilidad en la funcionalidad de transistores MOSFET.

3.3. Impacto en el funcionamiento y la fiabilidad de transistores MOSFET.

En este apartado se ha estudiado el efecto de la ruptura (estado BD) y su reversibilidad (estado R) en el funcionamiento de transistores MOSFET. Además, se ha analizado la dependencia de los parámetros que caracterizan la funcionalidad del transistor, como la corriente de drenador (I_D) o la tensión umbral (V_{th}), con factores como la temperatura de trabajo, el límite de corriente establecido durante el transitorio de ruptura, o la polaridad de los estreses aplicados para provocar la ruptura y su reversibilidad.

Para realizar este estudio se han utilizado transistores pMOSFET de igual área ($1\mu\text{m} \times 0.35\mu\text{m}$). Siguiendo la secuencia 3-1, los estreses aplicados han sido CL-RVS de polaridad negativa para el estrés de ruptura y S-RVS de polaridad positiva para provocar la recuperación de la ruptura. El límite de corriente durante el transitorio de ruptura se ha fijado en $500\mu\text{A}$. Las características post-ruptura y post-recuperación del transistor se han registrado, y se han utilizado para analizar el efecto de la ruptura y su reversibilidad en el funcionamiento del transistor.

La figura 3-23 muestra las características I_D-V_D (izquierda) e I_D-V_G (derecha) tanto del transistor fresco (líneas negras en la figura 3-23a y 3-23b) como las obtenidas tras provocar la ruptura y la reversibilidad del primer ciclo de la secuencia de medida mostrada en 3-1. Además se han considerado dos localizaciones del camino conductor diferentes: cerca del drenador (triángulos azules) y cerca de la fuente (círculos rojos). Para la ruptura localizada en el drenador (triángulos azules en 3-23c y 3-23d) se observa que las características del transistor tras la ruptura se distorsionan completamente debido al comportamiento resistivo del camino conductor creado en el dieléctrico, que provoca una fuerte contribución de corriente procedente del terminal de puerta hacia el terminal de drenador. Es decir, que la corriente de canal medida en el terminal de drenador es causada por esta fuerte contribución de corriente de puerta a través del óxido, que predomina sobre el efecto de campo. Por tanto, las tensiones que gobiernan la corriente de canal en el estado BD no es V_{DS} , si no que es la tensión entre los extremos del camino conductor, V_{GD} . Por otro lado, cuando la ruptura está localizada cerca del terminal de fuente (círculos rojos en 3-23e y 3-23f) se observa también que las características del transistor se distorsionan, pero ahora con una fuerte reducción de la corriente de canal del orden de nA. Esto indica que el efecto de campo no está presente o es muy débil, y lo que predomina es la conductividad a través del camino conductor entre puerta y fuente. Por tanto, se puede concluir que en ambos casos el efecto de campo es prácticamente nulo cuando el dispositivo está roto debido a la fuerte conductividad del camino conductor.

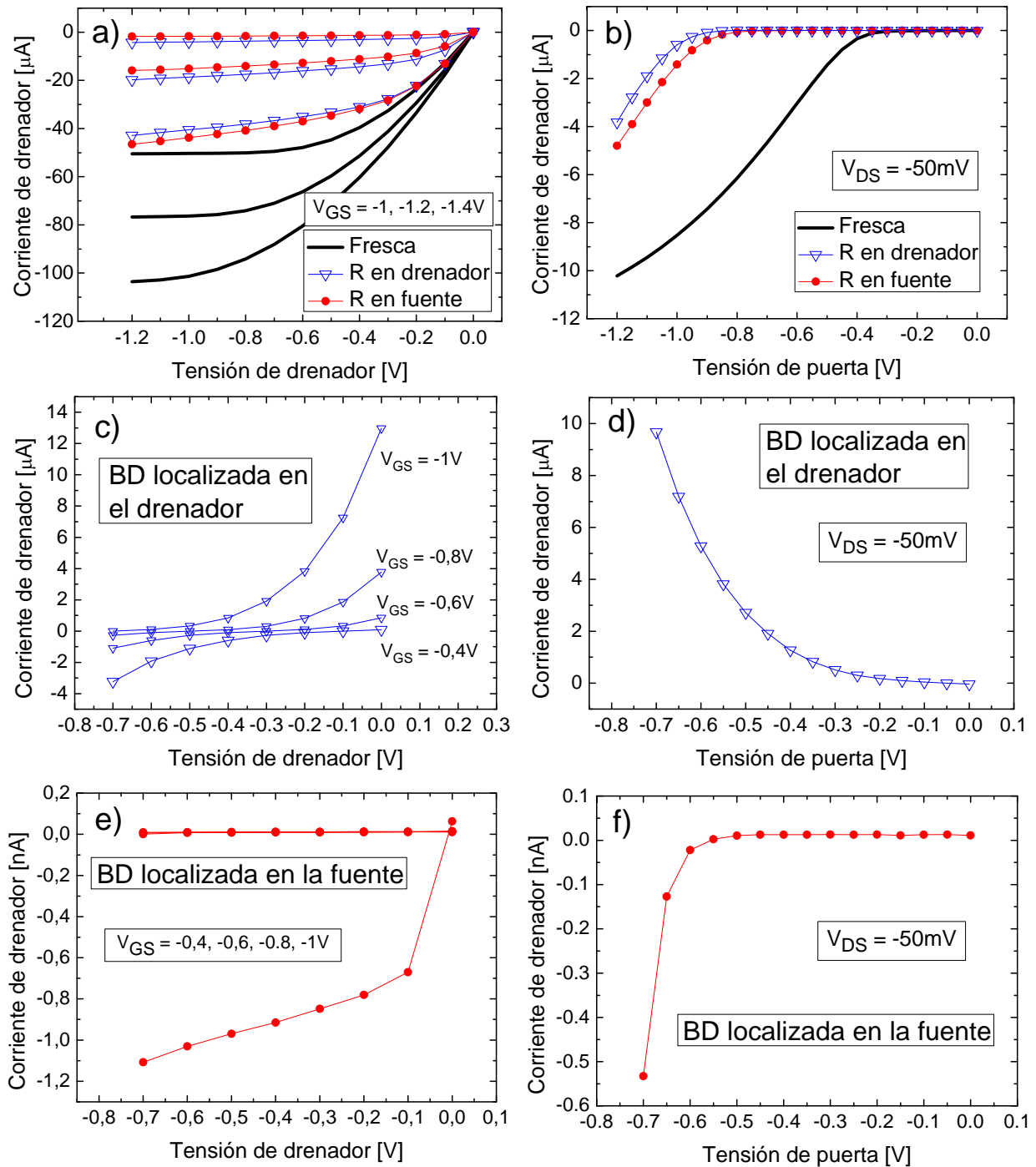


Figura 3-23: Características I_D - V_D (izquierda) e I_D - V_G (derecha) del transistor. (a) y (b) Características del dispositivo fresco (línea negra), y del dispositivo recuperado cuando el camino conductor está localizado cerca del terminal de drenador (triángulos azules), y cerca de la fuente (círculos rojos). (c) y (d) Características del dispositivo en el estado BD con el camino conductor localizado cerca del drenador. (e) y (f) Características del dispositivo en el estado BD con el camino conductor localizado cerca de la fuente. Tras la ruptura las características del transistor se pierden por completo, con un significativo incremento/decremento de la corriente de drenador para una ruptura localizada cerca del drenador/fuente. Sin embargo, tras inducir la reversibilidad de la ruptura las características del transistor se restablecen, indicando que al recuperar las propiedades aislantes del dieléctrico, la funcionalidad del transistor perdida al provocar la ruptura también se recupera.

Cuando se provoca la reversibilidad y se recupera la muestra, las características del transistor obtenidas son las mostradas en 3-23a y 3-23b, para ambas localizaciones: cerca del drenador (triángulos azules), y cerca de la fuente (círculos rojos). Como puede observarse, tras producirse la

reversibilidad se recuperan parcialmente las características del transistor, independientemente de la localización del camino conductor. En la característica I_D-V_D se observa que de nuevo existe una dependencia con V_G aunque con una ligera reducción de la corriente de canal respecto de la característica fresca. Por otra parte, en la característica I_D-V_G se observa un aumento de la tensión umbral en comparación con la característica obtenida para el transistor fresco. Estos resultados se observan exactamente igual para ambas localizaciones del camino conductor, lo que parece indicar que el efecto del camino conductor una vez cerrado es muy débil, y que de nuevo predomina el efecto de campo en el transistor. Por tanto, se puede concluir que una vez provocada la ruptura y abierto el camino conductor a través del dieléctrico, predomina la conductividad de éste sobre el efecto de campo. Mientras que una vez inducida la reversibilidad y cerrado el camino conductor, es el efecto de campo el que de nuevo predomina sobre la ahora baja conductividad del camino conductor (**Artículo D**).

3.3.1. Evolución de las características del transistor.

En este apartado se ha analizado cómo evolucionan las características del transistor en el estado recuperado en función de los ciclos ruptura-recuperación realizados. Para llevar a cabo este estudio, se ha tenido en cuenta el caso de localización del camino conductor cerca del drenador y se ha analizado la variación de la corriente de drenador I_D y la tensión umbral V_{th} en el estado R durante más de 300 ciclos de la secuencia de ruptura recuperación de la figura 3-1.

La tensión umbral (V_{th}) en el estado R se ha obtenido a partir de la característica I_D-V_G de post-recuperación. Por otra parte, el parámetro V_{th} se ha definido como la tensión de puerta necesaria para generar una corriente de canal de $0.1\mu A$ cuando $V_D=-50mV$. La figura 3-24 muestra la evolución de V_{th} a lo largo de los 336 ciclos de ruptura-recuperación. Como se puede observar, tras el primer ciclo la tensión umbral sufre un aumento significativo ($-900mV$), incrementando $500mV$ respecto su valor fresco ($-400mV$). Sin embargo, con la evolución de los ciclos V_{th} disminuye progresivamente hasta estabilizarse en $-800mV$, lo que indica que la tensión umbral del estado R disminuye ligeramente con el número de ciclos aplicados. Los ciclos en los que la tendencia de V_{th} se desvía de la tendencia anterior, se han estudiado con detenimiento, y corresponden a ciclos donde la reversibilidad de la ruptura no se observa correctamente.

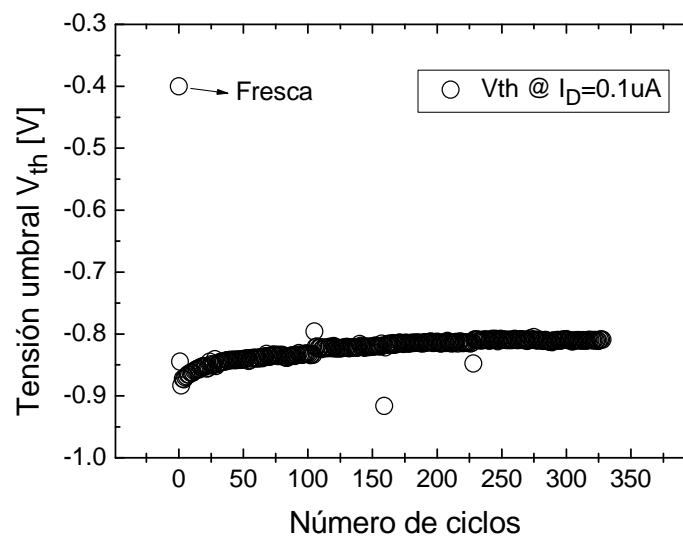


Figura 3-24: Evolución de la tensión umbral V_{th} obtenida a partir de la característica I_D-V_G de post-ruptura cuando $I_D=0.1\mu A$ a $V_D=-50mV$, en función de los 336 ciclos de ruptura-recuperación realizados. Tras el fuerte incremento de V_{th} causado por la primera ruptura, a medida que se realizan ciclos de ruptura-recuperación, V_{th} disminuye ligeramente hasta estabilizarse en $-800mV$.

La figura 3-25 muestra la evolución de la corriente de canal I_D en el estado R obtenida a partir de la característica I_D-V_D de post-recuperación a unas tensiones $V_G=-1V$ y $V_D=-1.2V$ durante los 336 ciclos que ha durado esta medida. Tras la primera recuperación I_D sufre una reducción del 80% (aproximadamente) respecto a la I_D fresca, lo que indica que, efectivamente, al recuperar las características del transistor no se vuelve a alcanzar el nivel fresco. Pero de nuevo, con el paso de los ciclos se observa que I_D incrementa ligeramente, hasta estabilizarse alrededor de los $30\mu A$.

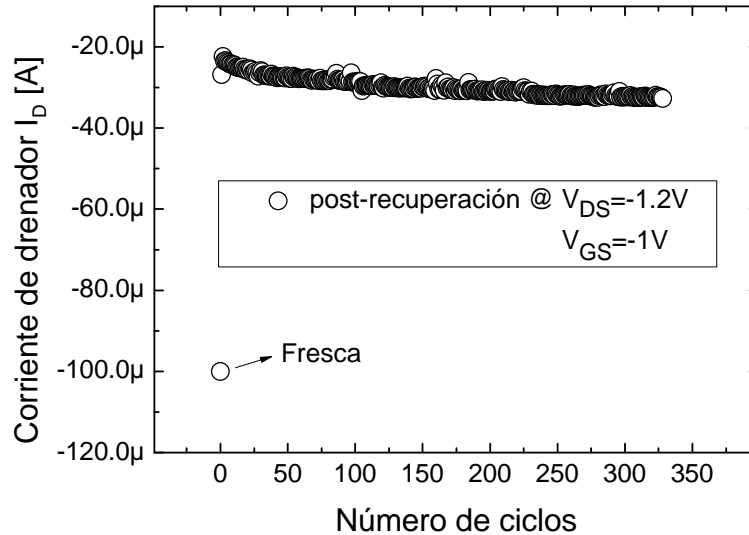


Figura 3-25: Evolución de la corriente drenador I_D obtenida a partir de la característica I_D-V_D a $V_D=-1.2V$ y $V_G=-1V$, tras 336 ciclos. Tras la reducción causada por la primera ruptura, I_D se relaja ligeramente hasta estabilizarse en $30\mu A$.

De los resultados representados en las figuras 3-24 y 3-25 se concluye que tras el primer ciclo de ruptura-recuperación de la secuencia 3-1, en el estado R permanece un cierto nivel de degradación o daño respecto del dispositivo fresco. Sin embargo, con el paso de los ciclos el nivel de degradación que se observa en las características recuperadas decrece ligeramente, sugiriendo que la repetición del fenómeno de ruptura y su reversibilidad mejora, en cierta medida, el funcionamiento del dispositivo en el estado R.

3.3.2. Dependencia de las características del transistor con la temperatura.

En esta sección se estudia el efecto de la temperatura sobre las características del transistor, tanto del dispositivo roto (estado BD) como recuperado (estado R). Para realizar este estudio se han analizado las características de un transistor pMOSFET tras la ruptura y tras la recuperación durante varios ciclos, incrementando la temperatura de trabajo en el mismo dispositivo cada cierto número de ciclos.

La figura 3-25 muestra la evolución de I_D del estado BD en función del número de ciclos registrados a partir de la característica I_D-V_D de post-ruptura a una tensión $V_D=-0.7V$ y diferentes tensiones de puerta. La corriente I_D se ha representado normalizada respecto a la anchura del canal del transistor para poder comparar los resultados ya que la anchura del transistor variaba en algunas muestras. La longitud del canal de los transistores utilizados fue siempre la misma en todos los dispositivos. Por tanto, en la figura 3-25 se muestra la evolución de I_D/W en función del número de ciclos en dos muestras diferentes, una en la que la localización del camino conductor tiene lugar cerca del drenador (figura 3-25a), y otra en la que dicha localización tiene lugar cerca de la fuente (figura 3-25b). La temperatura de trabajo de esta medida se ha aumentado $50^\circ C$ cada

20 ciclos, desde 25°C a 175°C. Para el caso del camino conductor situado cerca del drenador (figura 3-25a) se observa que la corriente I_D aumenta al aumentar V_G (para una misma V_{DS}) en todo el rango de temperaturas estudiado. Esto se debe a la fuerte contribución de la corriente de puerta que fluye hacia el drenador a través del camino conductor, la cual aumenta al aumentar la tensión entre los extremos del propio camino conductor debido a su comportamiento resistivo. Sin embargo, cuando la temperatura aumenta, I_D disminuye ligeramente debido a que, como se ha visto en el apartado 3.2.7, cuanto mayor es la temperatura menor es la corriente a través del óxido durante el estado BD (ver figura 3-21). Para el caso del camino conductor localizado cerca de la fuente (figura 3.25b), la corriente I_D es muy pequeña dado que toda la corriente fluye a través del camino conductor desde la puerta hacia la fuente. Además, se observa un incremento de la corriente I_D con la temperatura de trabajo, que para los valores de I_D medidos, puede ser causado por la energía térmica subministrada a la estructura. Por otro lado, las bajas corrientes medidas corroboran que la capa de inversión es nula, y en consecuencia que no hay evidencias de que se produzca el efecto de campo en el estado BD. Análogamente, se puede interpretar que la misma situación ocurre para el caso del camino conductor localizado cerca del drenador, solo que la fuerte contribución de corriente por el camino conductor enmascara esta observación.

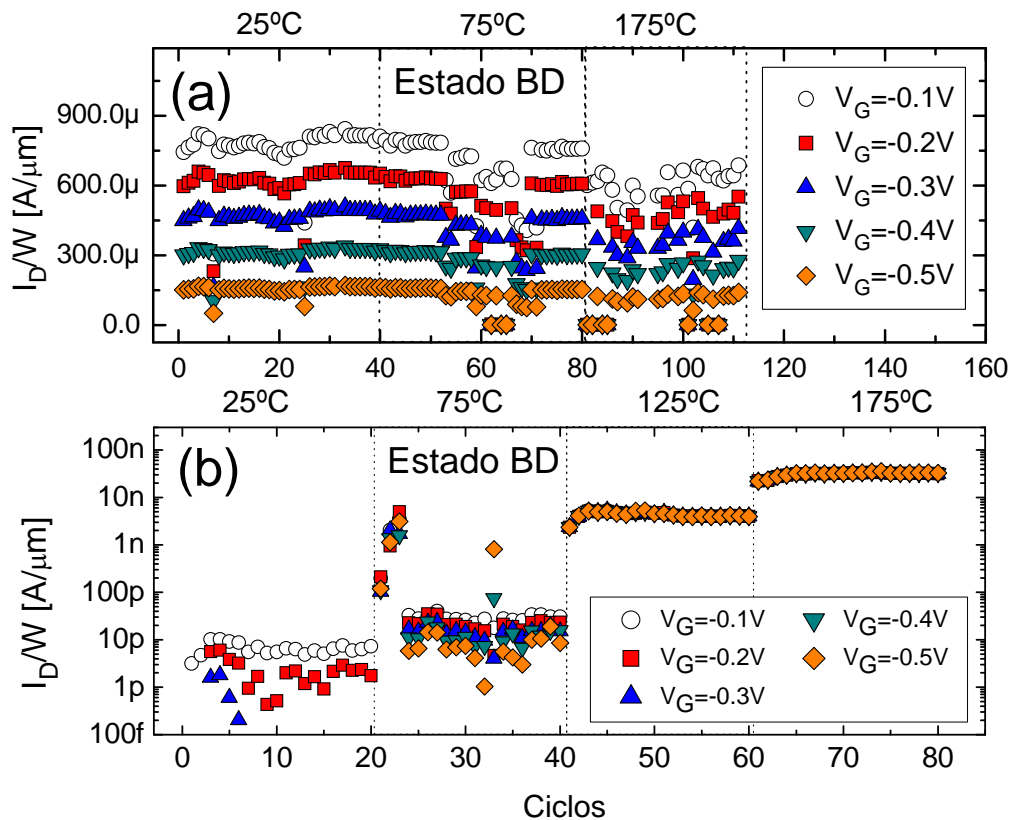


Figura 3-26: Corriente I_D normalizada respecto la anchura del transistor en función de los ciclos aplicados. Esta corriente se ha obtenido a partir de la característica I_D - V_D de post-ruptura (estado BD) para $V_D=-0.7\text{V}$ y diferentes V_G . El camino conductor está localizado cerca del terminal de drenador (a) o cerca del terminal de fuente (b). Para la localización del camino conductor cerca del drenador se observa un fuerte incremento de I_D debido a la corriente de puerta que fluye por el camino conductor hacia el drenador. Para la localización del camino conductor cerca de la fuente se observa una importante reducción de I_D debido a la elevada corriente que fluye por el camino conductor desde la puerta hacia la fuente.

La figura 3-27 muestra la evolución de la corriente I_D normalizada respecto la anchura del transistor con el número de ciclos para el estado R de las mismas medidas de la figura anterior. El valor de I_D se ha obtenido a partir de la característica I_D - V_D de post-recuperación para una tensión

$V_D = -0.7V$ y diferentes valores de V_G . La figura 3-26a muestra la evolución de I_D/W en función del número de ciclos cuando el camino conductor está próximo al drenador, mientras que en figura 3-26b se representa el caso del camino conductor localizado cerca de la fuente. Como se puede observar, en la evolución de la corriente I_D recuperada no se aprecia diferencias significativas entre ambas localizaciones, aumentando la corriente I_D ligeramente con los ciclos aplicados, tal y como se ha observado en la sección 3.3.1, y con la temperatura de trabajo. Se puede observar también como los valores de corriente I_D normalizada respecto la anchura son prácticamente iguales en ambas localizaciones del camino conductor. Esto indica que la densidad de corriente I_D es la misma en los dos dispositivos. Por tanto, cuando se recupera el dispositivo, y se alcanza de nuevo el estado R, el efecto de campo predomina sobre la conductividad del camino conductor, volviéndose a recuperar el funcionamiento del dispositivo. Mientras que, como hemos visto en la figura 3-26, en el estado BD es el camino conductor quien gobierna el dispositivo.

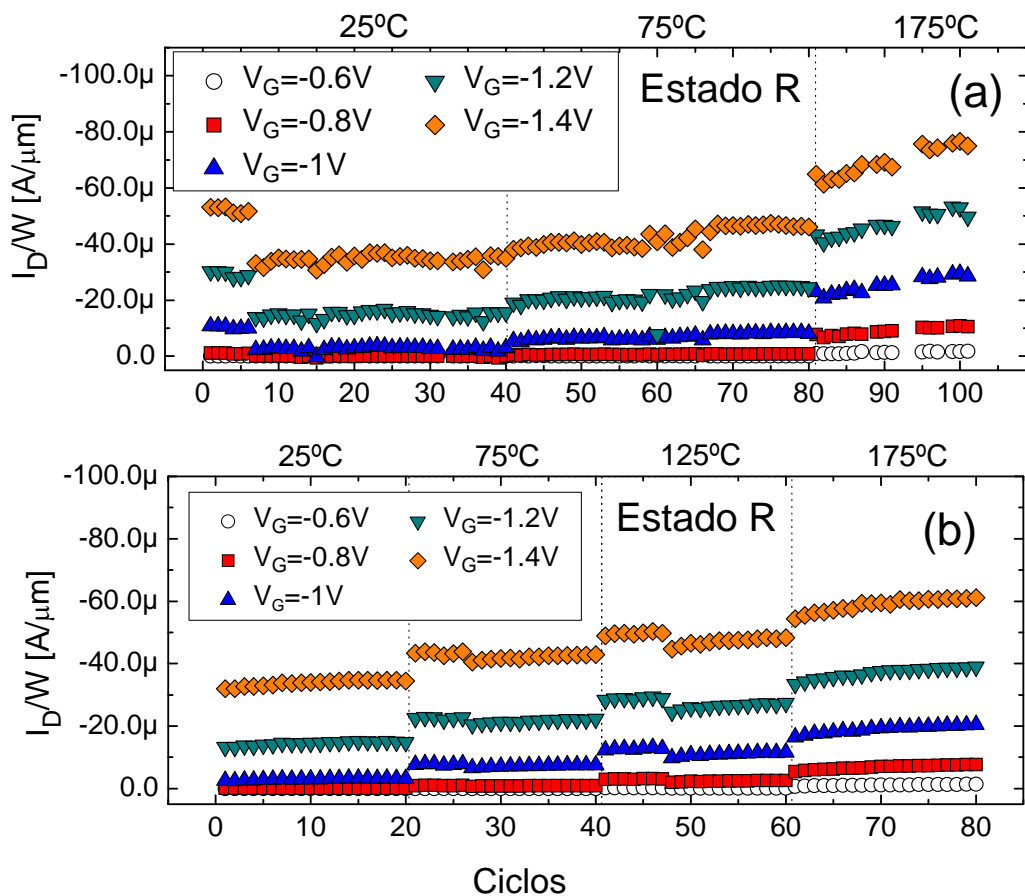


Figura 3-27: Corriente I_D normalizada respecto la anchura del transistor en función de los ciclos aplicados. Esta corriente se ha obtenido a partir de la característica I_D-V_D de post-recuperación una vez alcanzado el estado R para $V_D = -0.7V$ y diferentes V_G . El camino conductor está localizado (a) cerca del terminal de drenador y (b) de la fuente. Para ambas localizaciones se observa que la densidad de corriente I_D/W es muy parecida, indicando que una vez alcanzado el estado R, el efecto de campo del transistor predomina sobre la conductividad del camino conductor.

En conclusión, para el estado BD se observa que en el caso de localización del camino conductor cerca del terminal de drenador, la elevada corriente I_D medida decrece ligeramente con la temperatura. Mientras que para la localización en la fuente, se observa menos reducción. Por otro lado, para el estado R se observa que la corriente I_D normalizada es prácticamente igual en ambos casos indicando que ahora es el efecto de campo el que domina la corriente de drenador. Además, la temperatura incrementa I_D con los ciclos aplicados respecto la primera recuperación. Asumiendo que las características del transistor también pueden ser una medida del daño creado

en el estado BD, o del nivel de recuperación del estado R, estos resultados confirman que a mayor temperatura menor es el daño generado durante el transitorio de BD, y mayor el grado de recuperación al producirse la reversibilidad.

3.3.3. Dependencia de las características del transistor con la polaridad de los estreses.

Para completar el estudio del impacto de la ruptura y su reversibilidad en el funcionamiento de los transistores, se ha estudiado también el efecto de la polaridad de los estreses aplicados para provocar la ruptura y su reversibilidad en las características del transistor. Para realizar este análisis se han realizado múltiples medidas en transistores MOSFET, tanto tipo P como tipo N, con áreas similares. Estas muestras se han sometido a la secuencia de medida mostrada en la figura 3-1 para un mismo valor de límite de corriente, pero considerando las dos polaridades de estrés, tanto para el de ruptura como para el de recuperación.

Las figuras 3-28 y 3-29 muestran un ejemplo de las características I-V típicas de los estreses de ruptura (línea negra) y recuperación (cuadrados rojos) de cada uno de los casos resultantes, para ambos tipos de transistor, pMOSFET (figura 3-28) y nMOSFET (figura 3-29). La línea negra gruesa muestra la corriente registrada hasta la primera ruptura, que corresponde a la característica fresca del transistor. En ambos casos (pMOSFET y nMOSFET), el caso A corresponde a CL-RVS de BD negativo y RVS de R positivo. El caso B corresponde a CL-RVS de BD positivo y RVS de R positivo. El caso C corresponde a CL-RVS de BD negativo y RVS de R negativo. Y el caso D corresponde a CL-RVS de BD positivo y RVS de R negativo.

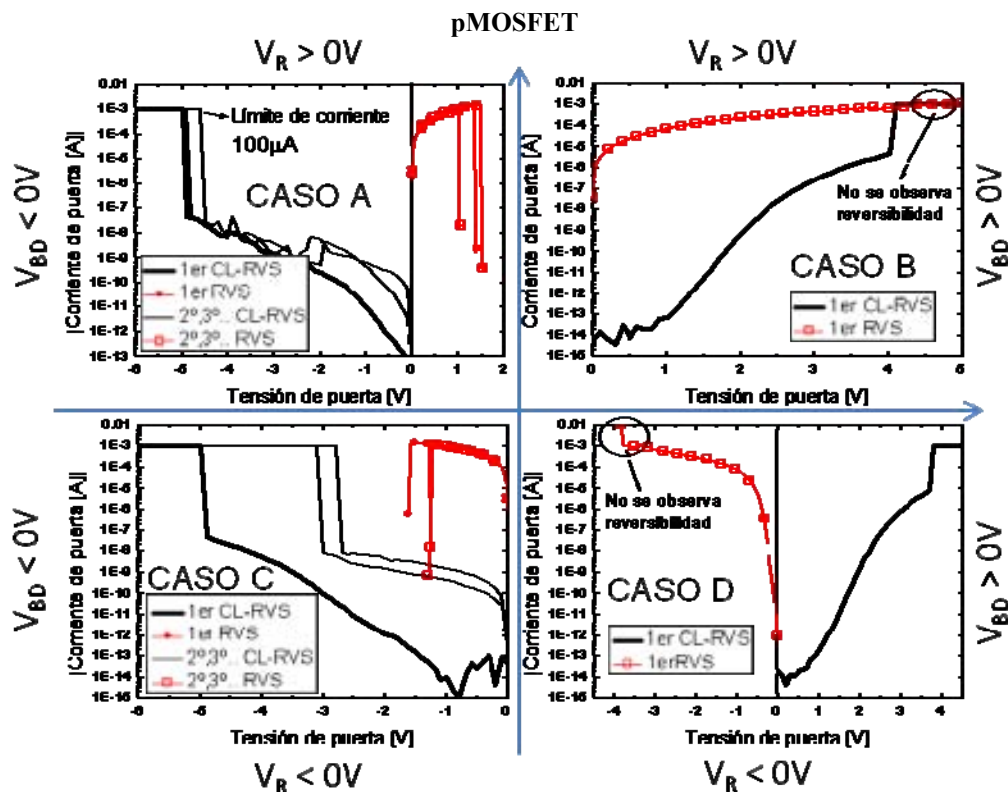


Figura 3-28: Curvas I-V del estrés de ruptura (líneas negras) y el estrés de recuperación (cuadrados rojos) en pMOSFETs, para las diferentes combinaciones de polaridad de estrés: (A) CL-RVS negativo y RVS positivo, (B) CL-RVS positivo y RVS positivo, (C) CL-RVS negativo y RVS negativo, (D) CL-RVS positivo y RVS negativo. La reversibilidad de la ruptura dieléctrica en transistores pMOSFET solo se observa cuando el estrés de ruptura se realiza a tensiones de polaridad negativa.

nMOSFET

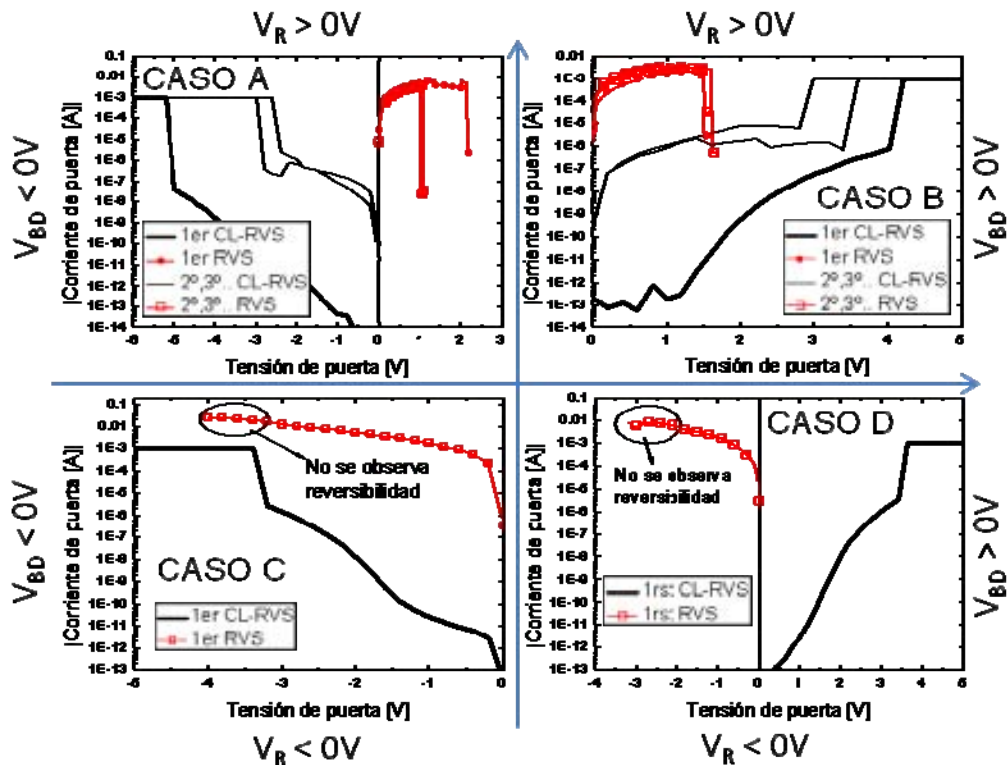


Figura 3-29: Curvas I-V del estrés de ruptura (líneas negras) y el estrés de recuperación (cuadrados rojos) en nMOSFETs, para las diferentes combinaciones de polaridad de estrés: (A) CL-RVS negativo y RVS positivo, (B) CL-RVS positivo y RVS positivo, (C) CL-RVS negativo y RVS negativo, (D) CL-RVS positivo y RVS negativo. La reversibilidad de la ruptura dieléctrica en transistores nMOSFET solo se observa cuando el estrés de recuperación se realiza a tensiones de polaridad positiva.

La primera observación de este estudio es que no en todos los casos de polaridad de estrés es observable la reversibilidad de la ruptura. Para los transistores tipo P la reversibilidad de la ruptura solo es observable cuando el estrés de ruptura es de polaridad negativa (casos A y C), independientemente de la polaridad del estrés de recuperación. Sin embargo, para los transistores tipo N, la reversibilidad solo se observa cuando la polaridad del estrés de recuperación es positiva (casos A y B), independientemente de la polaridad del estrés de ruptura. Como puede observarse, mientras que en los transistores tipo P la observación de la reversibilidad depende de la polaridad del estrés de ruptura (negativa), en los transistores tipo N depende de la polaridad del estrés de recuperación (positiva). Estos resultados parecen indicar que el efecto de la polaridad, y por tanto de la inyección de carga en el dieléctrico, tiene una gran relevancia en el fenómeno de reversibilidad.

Para los casos en los que sí se observa la reversibilidad se han analizado las características del transistor recuperado. La figura 3-30 muestra las características I_D-V_G frescas (cuadrados) y recuperadas (círculos) para el caso A, en un transistor tipo P (izquierda, símbolos sólidos) y otro tipo N (derecha, símbolos abiertos). Para el pMOSFET se observa un aumento de V_{th} en la característica I_D-V_G de post-recuperación respecto la característica fresca. Sin embargo, para el caso del nMOSFET la tensión umbral es más pequeña que la obtenida en la característica fresca. Además, la pendiente de la zona supra umbral también aumenta, indicando un ligero incremento de la movilidad [98]. Este resultado para el nMOS es sorprendente ya que aparentemente el dispositivo mejora su funcionamiento tras la reversibilidad respecto el dispositivo fresco. Sin embargo, solo se observa para este caso (caso A de nMOSFET en 3-27). Para el otro caso en el que la reversibilidad es observable para los transistores tipo N, ocurre lo mismo que para todos los casos del P, que la tensión umbral decrece.

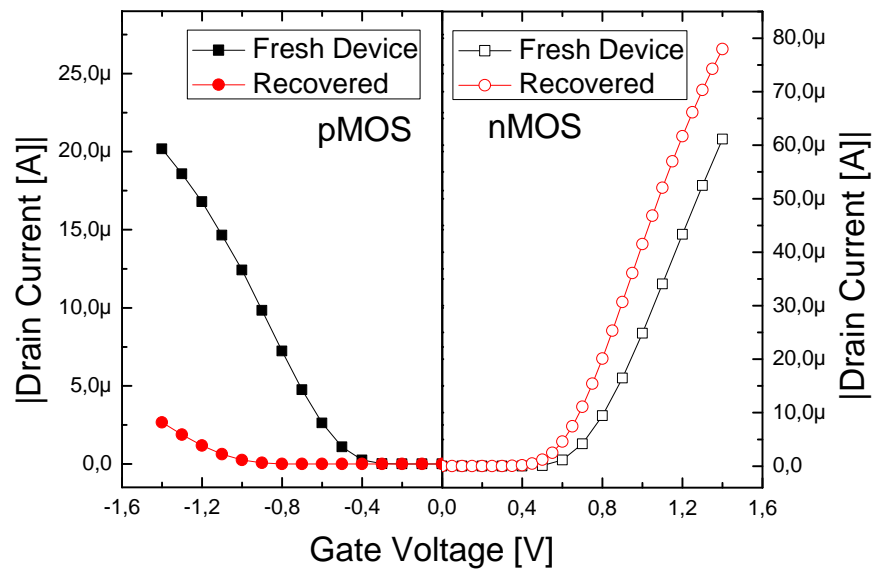


Figura 3-30: Características I_D - V_G frescas (cuadrados) y recuperadas (círculos) obtenidas tras aplicar estreses con polaridades correspondientes al caso A de las figuras 3-28 y 3-29, para un pMOSFET (símbolos sólidos, izquierda) y para un nMOSFET (símbolos abiertos, derecha). Para el pMOSFET, tras la reversibilidad de la ruptura, V_{th} aumenta respecto el valor del transistor fresco. Sin embargo, para el nMOSFET se observa un ligero decremento respecto de la V_{th} fresca.

Para estudiar con más profundidad el efecto de la polaridad sobre las características del transistor, y concretamente el caso del nMOSFET que parece mejorar sus prestaciones tras la recuperación, también se han analizado las características I_D - V_D de los casos en que se observa la reversibilidad. La figura 3-31 muestra las características I_D - V_D frescas (cuadrados) y recuperadas (círculos) extraídas para una sola V_G , para ambos casos del pMOSFET y del nMOSFET en que se observa la reversibilidad de la ruptura (casos A y C en figura 3-28, y casos A y B en figura 3-29, respectivamente). Como puede observarse, para el pMOSFET se observa en ambos casos que la corriente de canal sufre una reducción significativa (60% aproximadamente) respecto el valor fresco (figura 3-31a). Esta reducción, corrobora una vez más, que tras la reversibilidad parte del daño queda en el dieléctrico, y por tanto, que el dispositivo nunca llega a alcanzar el estado fresco. Para el caso B del nMOSFET (símbolos sólidos en figura 3-31b) se observa una disminución de I_D , como sucede en los casos del pMOSFET. Sin embargo, esta reducción no es tan significativa (~15%). Pero sorprendentemente, para el caso A del nMOSFET (símbolos abiertos en 3-31b) se observa un incremento considerable de la corriente I_D respecto al fresco (~70%), resultado acorde con lo observado en 3-30 con la tensión umbral del nMOSFET. Hay dos observaciones acerca de este incremento de la corriente I_D respecto la fresca: la primera es el aumento de la pendiente de I_D en la zona lineal; la segunda es el incremento de la pendiente en la región de saturación lo cual parece un efecto de canal corto debido al efecto de modulación de canal. Estos resultados pueden ser explicados por la evidencia de carga negativa atrapada en la región dañada alrededor del camino conductor [99] la cual soporta la conducción. La carga atrapada puede causar una pendiente mayor en la zona de trabajo lineal, además puede contribuir con la formación significativa de estados interfaciales N_{it} a lo largo del canal, incrementando el número de portadores minoritarios [98]. La segunda observación podría ser debida a una reducción de la longitud del canal, también causada por el atrapamiento de carga cerca de la región PWell del drenador, que reduce la longitud efectiva del transistor. Dado que la reversibilidad en nMOSFETs se observa solamente cuando se aplica un estrés de recuperación positivo, la polaridad del estrés de ruptura debe tener un papel muy importante en la elevada corriente I_D medida. Y que puede ser explicada por la aparición de carga negativa atrapada alrededor del camino conductor durante el transitorio de BD.

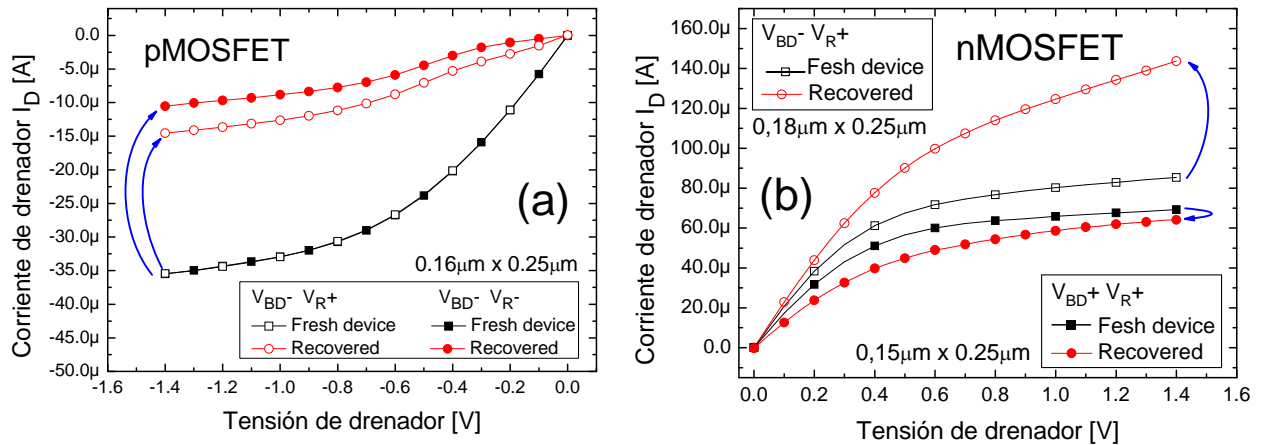


Figura 3-31: Características I_D - V_D frescas (cuadrados) y recuperadas (círculos) de un transistor pMOS (izquierda) correspondientes a los casos A (símbolos vacíos) y C (símbolos sólidos), y de un nMOS (derecha) correspondientes a los casos A (símbolos abiertos) y B (símbolos sólidos). Para el caso de los pMOSFET siempre se observa una fuerte reducción de la corriente I_D respecto de la fresca, que es mayor para el caso A. En cambio, para el caso de los nMOS, en el caso (B) también se observa la reducción de I_D , aunque mucho menor. Sin embargo, para el caso A se observa un fuerte incremento, que aparenta ser debido al estrés de ruptura de polaridad negativa.

Cabe destacar que estos resultados no se limitan a ciclos concretos de algunas muestras, si no que son cualitativamente repetibles entre ciclo y ciclo o de muestra a muestra. Para estudiar la estabilidad de este fenómeno se han analizado las características del transistor tras varias iteraciones para los cuatro casos mostrados en la figura 3-31, correspondientes a los casos A y C del pMOSFET, y a los casos A y B del nMOSFET. La figura 3-32 muestra la evolución del incremento de la corriente de drenador ΔI_D respecto la corriente I_D fresca durante el estado R obtenida en varias muestras tras realizar diversos ciclos. La figura 3-32a muestra los casos A y C del pMOSFET, y la figura 3-32b muestra los casos A y B del nMOSFET. Además se han utilizado diferentes áreas de canal para comprobar el efecto del área en el nivel de recuperación. El valor del límite de corriente siempre se ha impuesto en $500\mu\text{A}$. Para los pMOSFET se observa que la corriente I_D recuperada siempre se ve reducida respecto la fresca ya que siempre se observan incrementos de corriente de drenador ΔI_D negativos, entre un 50% y 75% para estas medidas. Como puede observarse para el caso C (cuadrados) se observa que el nivel de recuperación de I_D es mayor que para el caso A (triángulos), ya que ΔI_D es menor. Pero además, en ambos casos se observa una dependencia con la anchura del canal, que es debido a que el estado R está dominado por el efecto de campo, y por tanto I_D es directamente proporcional a la anchura el canal. Por tanto, cuanto mayor es la anchura del canal del transistor menor será el efecto del daño que permanece al recuperar la muestra sobre las características del transistor recuperadas. Por otro lado, para el nMOSFET, en el caso B se observa una reducción de I_D , como en ambos casos del pMOSFET. Mientras que para el caso A siempre se observa el incremento de I_D respecto de la fresca. Además, también se observa dependencia con la anchura del canal del transistor. Para el caso A, sucede como para los pMOSFET, cuanto mayor es la anchura menor es el incremento de I_D . Esto corrobora, en cierto modo, la suposición de que es el efecto de la carga negativa atrapada lo que provoca este incremento de I_D , y que cuanto mayor es la anchura del canal menor es el efecto de la carga atrapada alrededor del camino conductor.

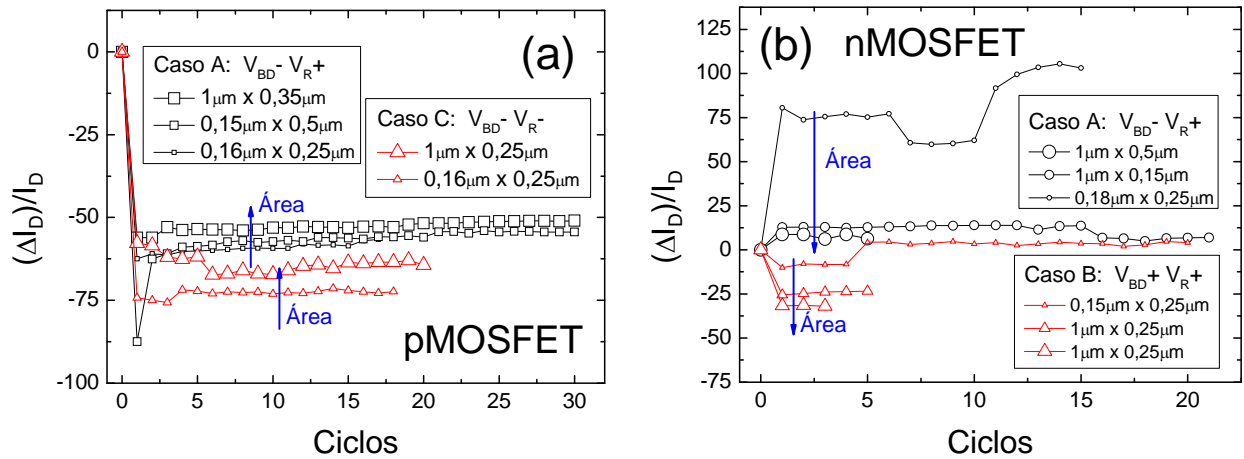


Figura 3-32: Evolución del incremento de corriente de drenador ΔI_D recuperada respecto fresca tras varios ciclos, correspondientes a los casos A (cuadrados abiertos) y C (triángulos abiertos) del pMOSFET (a), y los casos A (redondas abiertas) y B (triángulos abiertos) del nMOSFET (b). Para los transistores pMOSFET, tras la primera ruptura la corriente I_D sufre una fuerte reducción, que es mayor cuanto menor es la anchura del canal del transistor, sugiriendo que cuanto mayor es la anchura menor es el efecto del camino conductor en el estado R. Para el caso B de los transistores nMOSFET, se observa también una ligera reducción de la corriente I_D , pero que aumenta con la anchura. Para el caso A del nMOSFET, sorprendentemente, se observa un fuerte incremento de I_D , que es mayor cuanto menor es la anchura del canal, sugiriendo que el efecto del camino conductor en el estado R es mayor cuanto menor es la anchura.

3.4. Impacto de la reversibilidad de la ruptura en el funcionamiento de circuitos.

En las tecnologías actuales, con un fuerte escalado de las dimensiones de los dispositivos, los efectos de los mecanismos de degradación sobre la funcionalidad de los dispositivos deben seguir estudiándose, como por ejemplo los efectos que puede causar la ruptura dieléctrica al producirse en un transistor. De esta manera, se puede estudiar como afectan estos mecanismos a la funcionalidad de los circuitos cuando se producen en uno de sus dispositivos, y ver si este sigue realizando su función, o si por el contrario sus prestaciones se ven afectadas [97].

Como se ha visto en la sección anterior, la fuerte reducción de la corriente de puerta que se observa al producirse la reversibilidad de la ruptura supone una mejora en el funcionamiento de los transistores en comparación a la ruptura dieléctrica. Para estudiar si la reversibilidad puede además conllevar una mejora de la fiabilidad de los circuitos, se ha estudiado el impacto de la ruptura y de la reversibilidad en la funcionalidad de algunos circuitos, tales como puertas lógicas, o el oscilador en anillo de cinco etapas. De esta forma se ha analizado como afecta el estado conductivo del dieléctrico del transistor, estado BD o estado R, en la funcionalidad de estos circuitos. Para realizar este estudio, se han utilizado los resultados explicados con anterioridad y se han implementado modelos circuitales integrables dentro de las herramientas de simulación de circuitos, lo que ha permitido analizar como afecta a la funcionalidad de los circuitos estudiados.

3.4.1. Modelado del estado BD y del estado R.

Existen diferentes modelos circuitales que simulan la ruptura dieléctrica, y que pueden ser incluidos en simuladores de circuitos para analizar el efecto de la ruptura en el comportamiento del dispositivo o del circuito al que pertenecen. En este trabajo se ha utilizado el modelo D-R (Diodo-Resistencia) para emular el comportamiento de un transistor con ruptura dieléctrica, ya

que se ajusta muy bien al comportamiento resistivo del camino conductor [97]. Este modelo, no solo permite simular los efectos de un camino conductor, sino que además permite simular la localización del camino conductor a lo largo del canal. La figura 3-33 muestra el modelo D-R para un transistor con ruptura (a) cerca de la fuente, (b) cerca del drenador, o (c) en medio del canal. El par de diodos expresan la bidireccionalidad del fenómeno, ya que la corriente a través del camino conductor puede fluir en ambos sentidos, en función de la polaridad de la tensión entre los extremos del camino conductor. Este modelo es especialmente útil precisamente por los dos factores expuestos: 1) refleja la bidireccionalidad de la corriente a través del camino conductor; y 2) permite incluir la localización como parámetro, y así estudiar el efecto de un transistor con ruptura dieléctrica en una localización del canal determinada. Por otro lado, como se ha demostrado en este capítulo, tras la reversibilidad parte del daño permanece en el óxido, provocando que la conducción del óxido sea un fenómeno local, también en el estado R, aunque con una fuerte reducción respecto al estado BD. Este modelo, además permite simular los efectos del camino conductor en función del estado conductivo del dieléctrico del transistor, bien tras sufrir la ruptura (estado BD), o bien tras su reversibilidad (estado R). Esto se realiza cambiando el valor nominal de la resistencia del modelo, siendo para el estado BD del orden de decenas de $k\Omega$ (estado de alta conductividad), y para el estado R de decenas de $M\Omega$ (estado de baja conductividad). Por tanto, la simulación de cada estado del dispositivo puede ser realizada simplemente cambiando el valor de la resistencia.

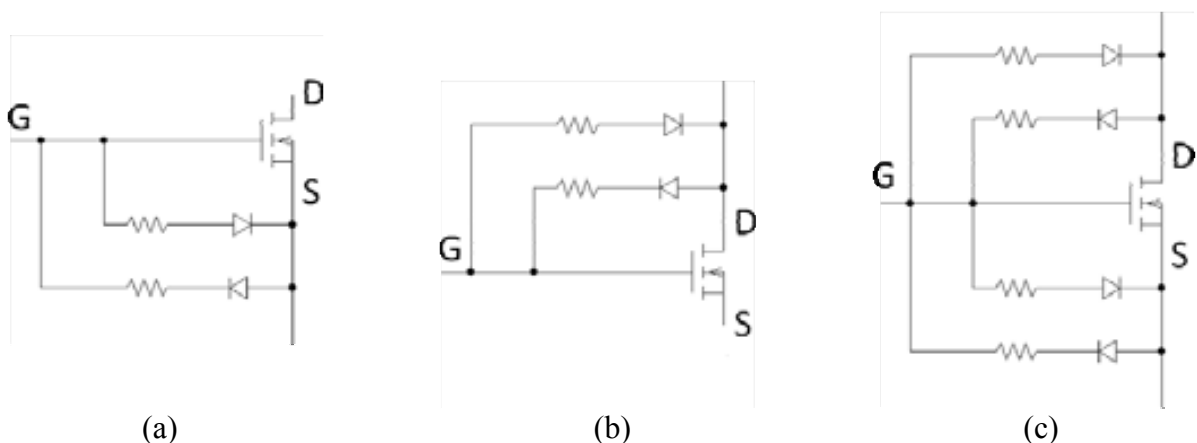


Figura 3-31: Modelo D-R (diodo-resistencia) de la ruptura dieléctrica [97] La figura muestra el circuito equivalente para cada una de las localizaciones del camino conductor (a) cerca del terminal de fuente, (b) cerca del drenador, y (c) en medio del canal. El modelo consta de una doble unión con una resistencia y un diodo en cada rama, puestos en sentidos opuestos para expresar el hecho de que la corriente a través del camino conductor puede fluir en ambos sentidos.

3.4.2. Modelado del estado BD y el estado R en un transistor.

El modelado de las características del transistor se ha realizado mediante la extracción de los parámetros SPICE siguiendo el procedimiento de extracción de los parámetros BSIM4 [99]. Las características frescas, rotas y recuperadas del transistor se han obtenido combinando el modelo BSIM4 del transistor para describir la corriente de canal, y el modelo D-R para incluir el efecto de la corriente de puerta a través del camino conductor durante los estados BD y R.

Par comprobar que el modelo funciona y se ajusta a la caracterización realizada en la sección anterior, se ha simulado el modelo y se han comparado las características I_D-V_D del transistor fresco, roto y recuperado de las medidas experimentales con las obtenidas en la simulación. La figura 3-34 muestra las características I_D-V_D experimentales del transistor fresco (círculos negro,

figura 3-32a), roto (símbolos abiertos, figura 3-32b), y recuperado (círculos blancos, figura 3-32a). Las líneas continuas corresponden a los resultados de la simulación, utilizando los valores de resistencia obtenidos a partir de las medidas realizadas. Como puede observarse el modelo se ajusta perfectamente con las medidas experimentales, lo que corrobora que puede ser utilizado tanto para simular el dispositivo roto, como recuperado (**Artículo B**).

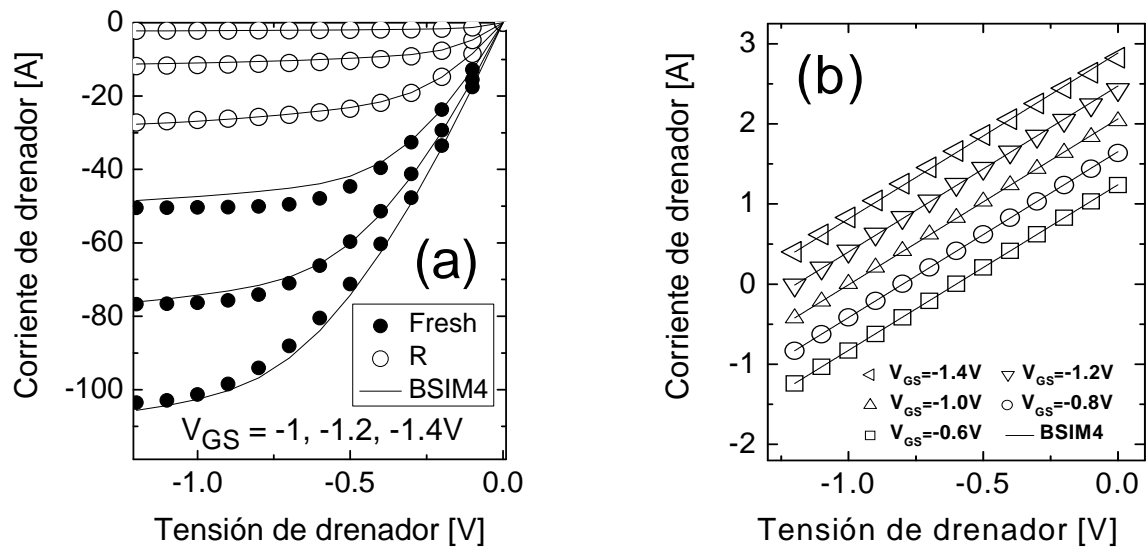


Figura 3-34: (a) Características I_D - V_D experimentales del transistor fresco (círculos negros) y recuperado (círculos blancos), (b) y del transistor roto (símbolos abiertos). Tanto en (a) como en (b), en línea continua se representan los resultados de las simulaciones obtenidas mediante el modelo D-R. Como puede observarse las simulaciones se ajustan a las curvas experimentales, indicando que el modelo es bueno tanto para emular el estado BD, como el R.

3.4.3. Verificación del modelo a nivel de circuito.

Para analizar los efectos de la ruptura y su reversibilidad en el funcionamiento de circuitos, se ha incluido el modelo previamente explicado en la sección anterior en el simulador de circuitos PSPICE. Los circuitos que se han analizado son el oscilador en anillo de 5 etapas, y las puertas lógicas Inversor, NAND, NOR.

En primer lugar, las características del transistor en el estado BD y el R obtenidas a partir de la simulación del modelo (figura 3-34) se han incluido dentro del simulador de circuitos para estudiar el impacto en la funcionalidad de un oscilador en anillo de 5 etapas. El camino conductor se ha considerado en el terminal de drenador del transistor pMOSFET de la tercera etapa, tal como muestra la figura 3-35a. La salida del oscilador para los estados fresco (cuadrados), roto (triángulos) y recuperado (círculos) se muestra en la figura 3-35b. En la figura se puede observar claramente como el oscilador tiene un periodo de aproximadamente 30ns cuando todos sus dispositivos están frescos. Tras la ruptura de ese transistor, el oscilador deja de comportarse como tal y presenta una salida plana (triángulos), lo que indica que su funcionalidad se ha perdido por completo. Sin embargo, cuando el transistor se encuentra en el estado R, el circuito vuelve a oscilar (círculos), pero a una frecuencia inferior a la del oscilador con el dispositivo fresco, siendo el periodo de aproximadamente 80ns, lo que supone una disminución de la frecuencia de oscilación de más del 65%. Aún así, esto muestra que tras la reversibilidad, la funcionalidad del circuito también es recuperada, aunque significativamente dañada.

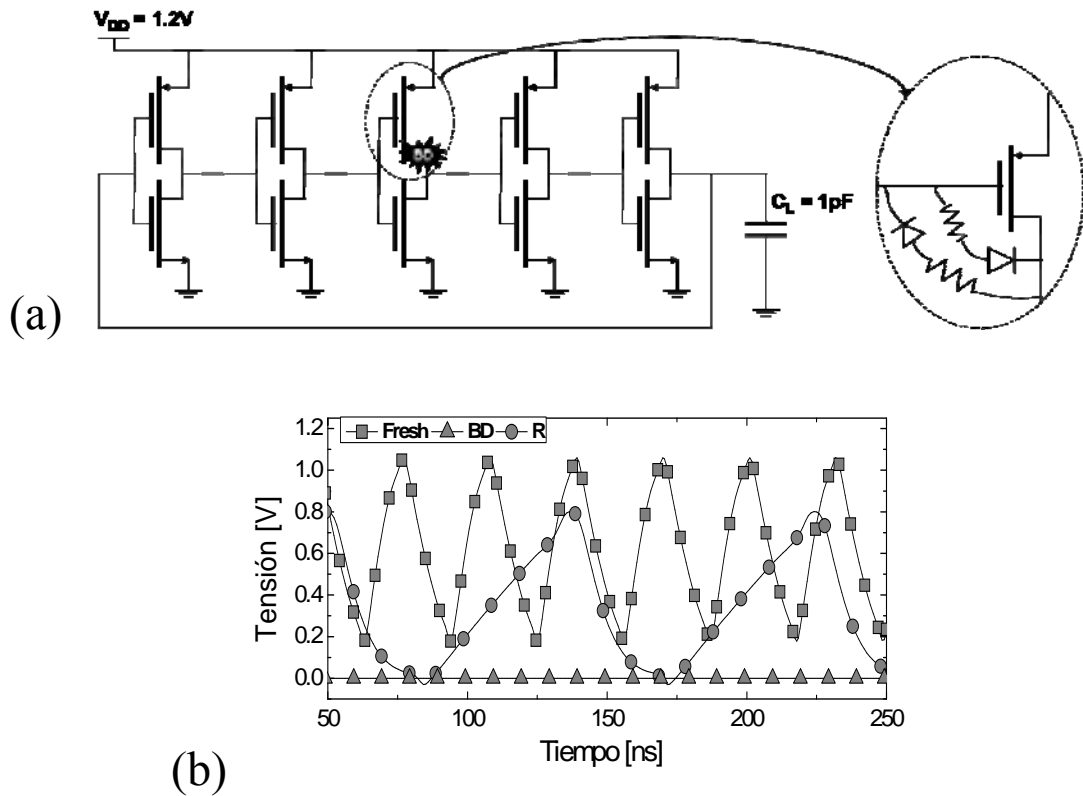


Fig. 3-35: (a) Oscilador en anillo de 5 etapas utilizado para analizar los efectos de la ruptura y su reversibilidad sobre la funcionalidad de circuitos. La ruptura dieléctrica se ha considerado en el drenador del tercer transistor tipo P. Las características del transistor se han descrito mediante el modelo BSIM4 para la corriente de canal y el modelo D-R para la corriente de ruptura. (b) Respuesta del circuito con el transistor tipo P de la tercera etapa fresco (cuadrados), roto (triángulos), y recuperado (círculos). Tras la ruptura la funcionalidad se pierde. Sin embargo tras la reversibilidad el circuito vuelve a oscilar, aunque con una significativa reducción de la frecuencia de oscilación.

También se ha observado el impacto de la ruptura y su reversibilidad en el funcionamiento de diferentes puertas lógicas. Para este estudio se han escogido la puerta Inversor, la NAND, y la NOR, y se ha considerado para cada una, primero todos los transistores frescos, segundo con un transistor en el estado BD, y tercero con ese mismo transistor en el estado R. Los resultados obtenidos se muestran en la tabla 3-1, donde A y B son las entradas digitales de las puertas lógicas, y F, BD y R las salidas cuando los dispositivos están frescos, cuando uno sufre una ruptura, y cuando esa ruptura es recuperada, respectivamente. Como puede observarse, tras la ruptura la funcionalidad de las puertas lógicas se pierde, obteniendo resultados erróneos en la salida. Sin embargo, cuando el transistor pasa del estado BD al R la funcionalidad lógica de las puertas se recupera, coincidiendo los resultados obtenidos en la simulación con la función esperada de cada puerta lógica.

Input		INV			NAND			NOR		
A	B	F	BD	R	F	BD	R	F	BD	R
0	0	1	0	1	1	0	1	1	0	1
1	0	0	1	0	1	1	1	0	0	0
0	1	-	-	-	1	0	1	0	1	0
1	1	-	-	-	0	0	0	0	0	0

Tabla 3-1: Salida digital obtenida para las puertas lógicas Inversor, NAND y NOR, cuando todos los transistores están frescos (F), cuando uno sufre una ruptura (BD) y cuando esa ruptura es recuperada (R). Tras la ruptura, la función lógica de las puertas se pierde, mientras que tras la reversibilidad su funcionalidad es recuperada.

En conclusión, tras la ruptura, no solo se pierden las características del transistor, si no que también se puede ver afectada la funcionalidad del circuito del que forman parte. Sin embargo, tras la reversibilidad de la ruptura del dispositivo, la funcionalidad del circuito puede ser recuperada, aunque no completamente, como el caso del oscilador en anillo. Por tanto, cuando se estudia el efecto de la ruptura dieléctrica a nivel de circuitos, es importante también considerar que en condiciones de operación dentro los circuitos, los transistores no solo pueden sufrir la ruptura, si no que también pueden ser recuperados. Por tanto, el estado R presentado en este trabajo puede tener un fuerte impacto en la fiabilidad, no solo de los dispositivos, si no que también de los circuitos (**Artículo B**).

4. Aplicaciones de la reversibilidad de la ruptura: el *memFET*.

Como se ha comentado en el capítulo 2, la fenomenología de la ruptura dieléctrica y su reversibilidad presenta muchas similitudes con el fenómeno Resistive Switching (RS) analizado tradicionalmente en estructuras MIM y MIS (Metal-Insulator-Metal/ Metal-Insulator-Semiconductor) de 2 terminales, y que se utiliza en aplicaciones de memoria no volátil (ReRAM, Resistive Random Acces Memory). Los dispositivos ReRAM están tomando mucho interés debido a sus prestaciones como dispositivo de memoria, escalabilidad, y bajo consumo [74]. Sin embargo, la fabricación de estas estructuras MIM/MIS conlleva la utilización de materiales como tierras raras con grosores de dieléctrico del orden de 100nm, lo que las hace en muchos casos incompatibles con los procesos de fabricación CMOS estándares.

En este capítulo se explora la posibilidad de utilizar transistores MOSFET con dieléctrico high-k ultra delgado para el uso de memorias no volátiles. Esto ha dado lugar a la definición de un nuevo concepto de dispositivo, el memFET (memory Field-Effect-Transistor), de 4 terminales, que, como veremos, presenta ventajas adicionales respecto a las tradicionales estructuras MIM/MIS de 2 terminales, utilizadas para la implementación de memorias.

Inicialmente, en este capítulo se presentan los conceptos más comunes relacionados con los dispositivos de memoria ReRAM, que se aplicarán también cuando se analice el funcionamiento del memFET. Posteriormente, se presenta el memFET, del cual se analizarán las ventajas que presenta su uso como dispositivo de memoria frente a los dispositivos de 2 terminales, estudiando la mejora en las prestaciones que puede ofrecer el uso de dos terminales más (fuente y drenador).

4.1. Resistive Switching para la implementación de memorias.

La figura 4-1 muestra las similitudes entre el fenómeno de reversibilidad de la ruptura dieléctrica y el efecto RS, mediante las características I_G - V_G en las que se observa el cambio sucesivo entre dos estados conductivos, observado en el dieléctrico de puerta ultra delgado de un transistor pMOSFET. Para tensiones de puerta bajas ($<-1V$) coexisten dos estados conductivos en el óxido: uno de alta conductividad, al que hemos denominado anteriormente estado BD (líneas azules hasta

la recuperación), que se corresponde con el estado LRS (Low Resistance State), y otro de baja conductividad, al que hemos denominado estado R (líneas rojas hasta la ruptura), que se corresponde con el estado HRS (High Resistance State). Los estreses de ruptura se han realizado mediante rampas de tensión de polaridad negativa con un límite de corriente (CL-RVS) preestablecido en $500\mu\text{A}$. Los estreses de recuperación se han realizado mediante rampas de tensión de polaridad negativa sin límite de corriente (RVS). Las tensiones de ruptura (V_{BD}) y recuperación (V_R) del fenómeno de reversibilidad de la ruptura, se corresponden ahora con las tensiones V_{SET} y V_{RESET} del efecto RS.

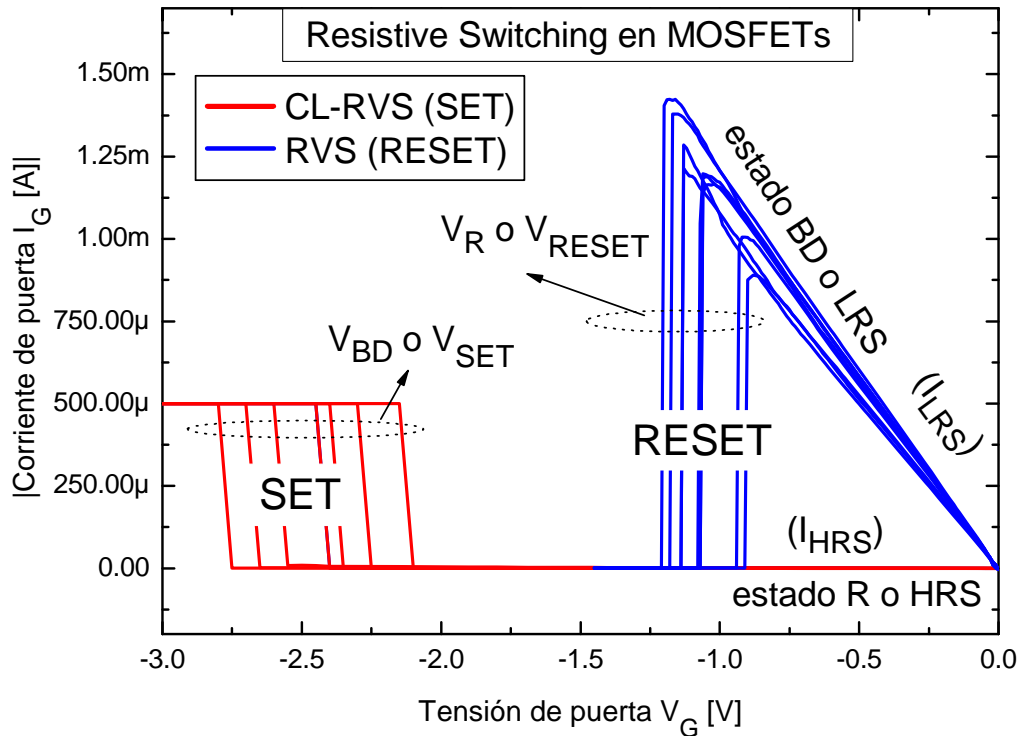


Figura 4-1: Características I-V del fenómeno RS observadas en el dieléctrico de puerta de un transistor pMOSFET ($W=0.5\mu\text{m}/L=0.35\mu\text{m}$, $EOT=2.9\text{nm}$). Para tensiones bajas se observan dos estados conductivos en el dieléctrico de puerta del transistor: uno de baja resistividad llamado estado LRS o BD (líneas azules hasta la recuperación), y otro de alta resistividad llamado estado HRS o R (líneas rojas hasta la ruptura).

Los dos estados conductivos LRS y HRS se caracterizan por una corriente muy elevada a través del dieléctrico (I_{LRS}), y por una corriente mucho menor (I_{HRS}), respectivamente. La información se almacena en la conductividad del camino conductor, detectándose el estado lógico del dispositivo a través de la corriente que atraviesa el dieléctrico. En el siguiente apartado se explica el mecanismo por el cual se almacena la información, utilizando las corrientes a través del dieléctrico I_{LRS} e I_{HRS} durante los estados LRS y HRS, respectivamente.

4.1.1. Almacenamiento de la información: Corriente I_G .

Si se observan los niveles de corriente a través del óxido medidos (figura 4-1), se aprecia una diferencia significativa de magnitud entre I_{LRS} e I_{HRS} causada por la diferencia entre los niveles conductivos del camino conductor, cuando éste está abierto (estado LRS) o cerrado (estado HRS). La figura 4-2 ilustra este hecho mediante la representación del camino conductor y la magnitud de corriente que por él fluye. Para el estado LRS (izquierda), la zona dañada (rojo) es mucho mayor, y por tanto, la corriente que fluye a través suyo (flecha amarilla) es mucho mayor que durante el

estado HRS. El funcionamiento del dispositivo de memoria consiste en medir el nivel de corriente y detectar el estado lógico almacenado en la resistividad del dieléctrico. Para realizar esto, debe medirse la corriente a un set de tensión fijo para ambos estados, tal y como se verá más adelante.

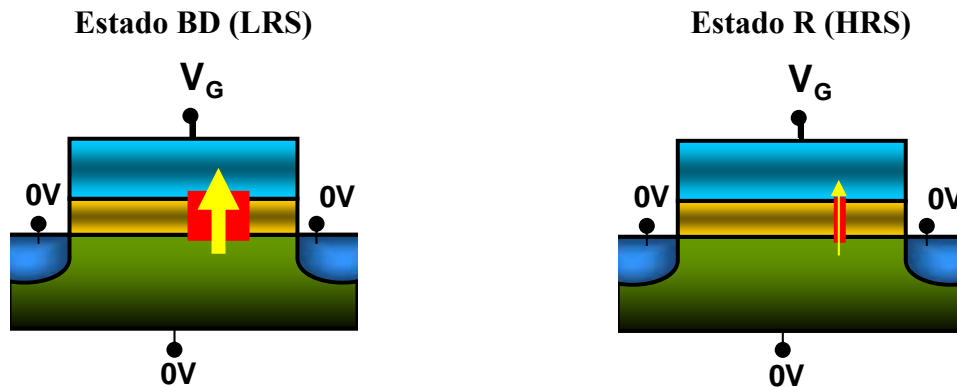


Figura 4-2: Representación de los estados conductivos del óxido: (izquierda) estado LRS con el camino conductor abierto, y (derecha) estado HRS con el camino conductor cerrado. El daño en el óxido se representa mediante la zona roja, y la corriente que fluye a través suyo con una flecha amarilla.

En el siguiente apartado se define la tensión V_{path} , entendida como la diferencia de potencial aplicada entre los extremos del camino conductor, y mediante la cual se realizan las operaciones lectura/escritura, es decir, los procesos de detección y programación del estado lógico del dispositivo de memoria, respectivamente.

4.1.2. Tensión entre los extremos del camino conductor V_{path} .

La tensión V_{path} se define como la tensión aplicada entre los extremos del camino conductor. La definición de este parámetro es clave para el análisis y caracterización del fenómeno desde un punto de vista de memorias, dado que es esta tensión la que permite programar los estados del dispositivo, y detectarlos mediante la medida de la corriente a través del óxido.

Para los dispositivos de memoria convencionales (2 terminales) la tensión de camino conductor equivale a la tensión aplicada entre el terminal de puerta y el terminal de sustrato, tal y como muestra la ecuación 4-1.

$$V_{\text{path}} = V_{\text{GB}} = V_{\text{G}} - V_{\text{B}} \quad \text{Ecuación 4-1}$$

Para el caso de transistores, como se incorporan los terminales de drenador y fuente, deben tenerse en cuenta las tensiones aplicadas en los 4 terminales, las cuales pueden provocar una variación del potencial en el óxido en la dirección longitudinal del canal. Si el potencial a lo largo del canal no es uniforme, V_{path} queda definida en función de la localización del camino conductor a lo largo del canal. Así, si se aplica una tensión diferente de cero, por ejemplo en los terminales de puerta y drenador, con los terminales de fuente y sustrato conectados a tierra, entonces el potencial en el óxido ya no es uniforme a lo largo del canal. Cerca del terminal de drenador, el potencial en el óxido será V_{GD} , mientras que cerca de la fuente será V_{GS} . Por tanto, si el camino conductor se encuentra localizado cerca del terminal de drenador, V_{path} quedará definida por la caída de potencial en el extremo del canal cercano al drenador, es decir, por los potenciales

aplicados en los terminales de puerta y drenador. Mientras que si está localizada cerca de la fuente quedará definida por los potenciales aplicados en los terminales de puerta y fuente. Las ecuaciones 4-2 y 4-3 definen la tensión entre los extremos del camino conductor, V_{path} , para ambas localizaciones, observadas en los trabajos realizados en esta tesis.

Localización del camino conductor cerca del terminal de drenador:

$$V_{path}=V_{GD}=V_G-V_D \quad \text{Ecuación 4-2}$$

Localización del camino conductor cerca del terminal de fuente:

$$V_{path}=V_{GS}=V_G-V_S \quad \text{Ecuación 4-3}$$

Para transistores de canal largo, también puede darse que el camino conductor esté localizado en medio del canal. En esta situación, V_{path} se define como la caída de potencial entre los terminales de puerta y sustrato, es decir, como en la ecuación 4-1. Sin embargo, para las longitudes de canal de los transistores estudiados, la ruptura dieléctrica siempre se ha observado localizada, o bien cerca del terminal de drenador, o bien cerca del terminal de fuente.

En el siguiente apartado se explicarán los procesos escritura/lectura (programación/detección del estado del dispositivo), que se realizan mediante la tensión V_{path} aplicada en los extremos del camino conductor.

4.1.3. Ventana de tensiones de escritura/lectura: V_{write}/V_{read} .

En esta sección se presentan las ventanas de tensiones utilizadas para los procesos de escritura (V_{write}) o programación del estado, y lectura (V_{read}) o detección del estado, realizado mediante las tensiones V_{SET} y V_{RESET} . Y la ventana de tensiones de lectura o detección del estado, realizado mediante la tensión V_{read} .

La figura 4-3 muestra la característica I_G-V_G típica del fenómeno RS unipolar extraída de un transistor MOSFET tipo P, con el resto de terminales conectados a tierra. La ventana de tensiones de escritura (V_{write} , recuadro verde) es el rango de tensiones V_{path} comprendido entre V_{SET} y V_{RESET} , con el cual pueden realizarse los procesos de SET y RESET (programación del estado lógico). Por otro lado, la ventana de tensiones de lectura (V_{read} , recuadro amarillo) es el rango de tensiones V_{path} en el cual coexisten los dos estados conductivos del dieléctrico, LRS y HRS, y que no comprende los valores de tensión correspondientes a la ventana de escritura. En la figura 4-3 se muestra la ventana de tensiones de lectura corresponde al rango de tensiones por debajo de V_{RESET} en valor absoluto, y que en la característica del ejemplo es aproximadamente $V_{path}<|1V|$.

Analizando la figura, se aprecia que si se quiere maximizar la separación entre los estados lógicos (I_{LRS} e I_{HRS}) para una tensión concreta de lectura, debe aplicarse una tensión V_{read} lo más elevada posible. Por otro lado, el rango de tensiones de lectura está limitado por la tensión V_{RESET} , a partir de la cual se puede provocar un proceso de RESET, y por tanto, el cambio de estado durante la lectura. Además, cuando se han estudiado las tensiones V_{SET}/V_{RESET} del efecto RS en transistores se ha observado que V_{RESET} disminuye con los ciclos y presenta una dispersión elevada (sección 3.2.2). Por tanto, a la hora de definir las tensiones de lectura, existe un compromiso entre la tensión de lectura que maximiza la relación entre las corrientes I_{LRS} e I_{HRS} , y la variabilidad que presenta V_{RESET} , para no provocar un cambio de estado al realizar un proceso de lectura.

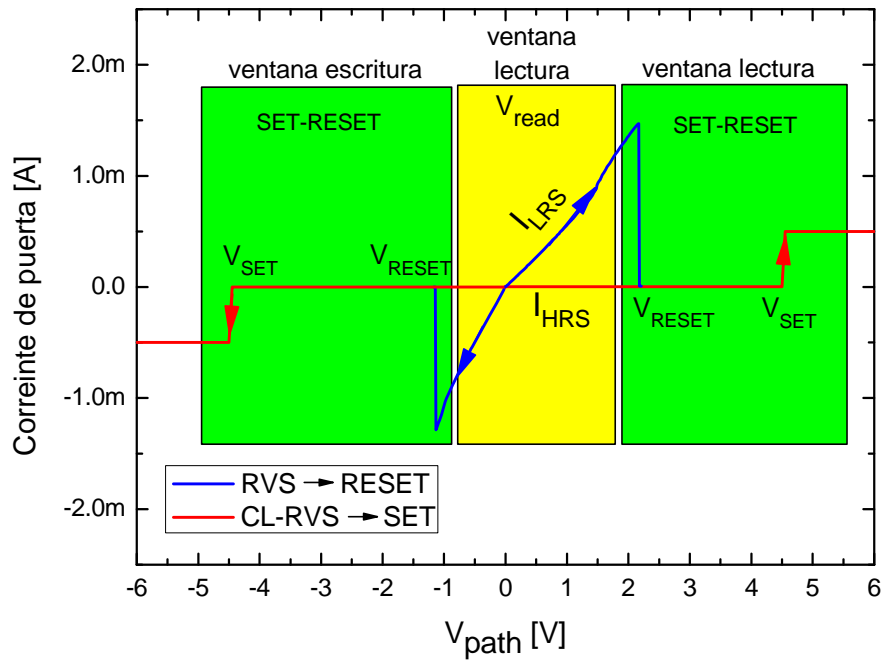


Figura 4-3: Ventana de tensiones de escritura (recuadro verde) y ventana de tensiones de lectura V_{read} (recuadro amarillo), representada sobre la característica I-V típica del fenómeno RS en MOSFETs. La separación entre ambas ventanas queda definida por los valores de V_{RESET} , teniendo en cuenta su variabilidad y evolución con el paso de los ciclos, para no realizar un proceso de escritura al aplicar una tensión de lectura demasiado elevada.

Los sistemas de memoria actuales tienen unos requisitos estrictos que deben cumplirse en cuanto a consumo durante los procesos de escritura y lectura, y al tiempo de programación y detección de estado. En el caso de las memorias no volátiles es deseable el consumo cero para mantener el estado si no se producen operaciones de lectura o escritura [100]. Se ha comprobado la retención de los estados LRS y HRS, programando el dispositivo en uno u otro estado, y comprobando si se mantiene pasado un cierto intervalo de tiempo. Se ha constatado que el estado conductivo del dieléctrico del transistor estudiados en esta tesis no ha variado tras más de un mes ($>10^7$ segundos).

Para estudiar con mayor profundidad el proceso de escritura, en el siguiente apartado se estudiará el transitorio de recuperación de la ruptura dieléctrica para analizar el tiempo y el consumo de energía del proceso de escritura (RESET).

4.1.4. Proceso de escritura: Energía de recuperación.

Actualmente, los sistemas de memoria requieren dispositivos con características muy estrictas en cuanto al consumo y velocidad, tanto de los procesos de lectura como de los de escritura [101]. En este sentido, en este apartado se analiza el proceso de escritura RESET, correspondiente al fenómeno de la reversibilidad de la ruptura (RESET) dieléctrica. El dispositivo utilizado ha sido un transistor MOSFET tipo P, con dimensiones $W=1\text{nm}/L=0.35\text{nm}$. Los estreses aplicados para realizar esta medida han sido rampas de tensión escalonadas S-RVS de polaridad positiva para el estrés de recuperación (RESET), y rampas de tensión con límite de corriente CL-RVS de polaridad negativa para el de ruptura (SET). El límite de corriente durante los CL-RVS se ha establecido en $500\mu\text{A}$. Para llevar a cabo este estudio, se modificó el procedimiento de medida de manera que la señal registrada en el terminal de puerta durante el estrés de recuperación se ha conectado a la entrada de un convertor I/V, para poder llevar la señal de corriente medida en forma de tensión a la entrada de un osciloscopio. En el osciloscopio se ha programado la función *trigger* para que se dispare al detectar el salto en tensión que le llega al osciloscopio y registra el

cambio de tensión, que se corresponde al decremento brusco de corriente característico de la reversibilidad de la ruptura.

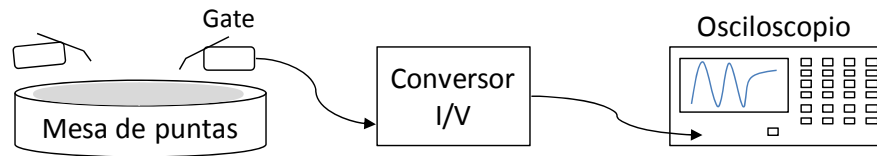


Figura 4-4: Procedimiento experimental de medida implementado para estimar la duración y la energía del transitorio de reversibilidad de la ruptura. La señal de corriente medida en el terminal de puerta se ha conectado a la entrada de un convertor I/V, y cuya salida ha sido capturada con un osciloscopio.

A partir de la señal capturada, se ha hecho una estimación del tiempo que dura el transitorio de reversibilidad, y el decremento de tensión observado, y así, poder estudiar la energía consumida durante el transitorio de RESET. Además, también se ha medido y registrado la característica I-V del estrés mediante el analizador de semiconductores, entre otros motivos, para comprobar que la reversibilidad de la ruptura se haya producido normalmente, o para determinar la tensión de recuperación para el cálculo de la energía consumida.

La figura 4-5 muestra la captura del osciloscopio del transitorio de recuperación medida durante el 3er ciclo de cambio entre estados. Como puede observarse, antes de producirse la recuperación, la tensión medida en el osciloscopio es de $-0.6V$, correspondiente a la elevada corriente medida en el terminal de puerta en los instantes previos a la reversibilidad. Al producirse la reversibilidad, la tensión medida por el osciloscopio decrece rápidamente $460mV$, con un comportamiento sobreamortiguado, que finalmente se estabiliza en $-0.1V$, indicando que la corriente a través del camino conductor medida en el terminal de puerta ya ha decrecido, y que por tanto la muestra se encuentra en el estado HRS. El tiempo transcurrido entre que la tensión empieza a decrecer y cuando alcanza el valor de relajamiento de la función sobreamortiguada, es inferior a $0.5\mu\text{segundos}$. En esta medida, la tensión de recuperación ha sido $V_{\text{RESET}} = -1.3V$

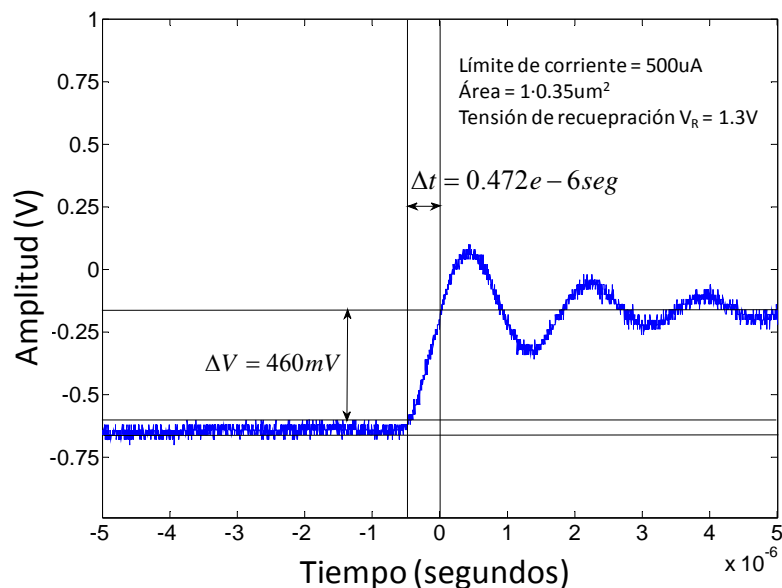


Figura 4-5: Medición del transitorio de recuperación al producirse la reversibilidad de la ruptura durante un estrés de recuperación en rampa de tensión escalonada (S-RVS). Para realizar esta medida, la señal de corriente medida en el terminal de puerta durante el estrés de recuperación se ha conectado a un convertor I/V, y así poder capturar la señal de tensión resultante con un osciloscopio. Se observa que el transitorio de recuperación correspondiente al proceso de escritura RESET tiene una duración inferior a $0.5\mu\text{seg}$.

Para el cálculo de la energía consumida durante el transitorio, se ha utilizado una primera aproximación, mediante el cálculo de la potencia consumida durante el intervalo de tiempo que dura el transitorio. A través de la ley de Ohm podemos relacionar la tensión medida por el osciloscopio y la corriente medida en el terminal de puerta mediante la resistencia del conversor I/V (ecuación 4-4).

$$V = -R \cdot I_{ox} \Rightarrow \Delta V = -R \cdot \Delta I_{ox} \Rightarrow \Delta I_{ox} = -\frac{\Delta V}{R} = 460e-6A \quad \text{Ecuación 4-4}$$

Donde ΔV es el decremento de la tensión medida en el osciloscopio, ΔI_{ox} es el decremento de la corriente a través del camino conductor, y R la resistencia del conversor I/V ($R=1k\Omega$).

Para realizar un cálculo preliminar de la energía se ha realizado el cálculo de la potencia para cada instante, utilizando los valores de I_{ox} medidos y la tensión aplicada durante el transitorio ($V_R=1.3V$). Para obtener la energía se ha realizado la integral respecto al tiempo definida por el intervalo de tiempo que dura el transitorio (ecuación 4-5), tal como se ilustra en la figura 4-5.

$$E = \int P \cdot dt = \int I_{ox} \cdot dt \cdot V_R = \frac{\Delta I_{ox} \cdot t}{2} \cdot V_R = 1.495e-10W \cdot s = 149.5pW \cdot s = 149.5pJ \quad \text{Ecuación 4-5}$$

Cabe destacar que la medición del tiempo y el cálculo de la energía consumida durante el transitorio de recuperación que se han presentado, son el resultado de un estudio preliminar, en la que la resolución del conversor, el uso de cables, o el efecto del propio osciloscopio pueden limitar la exactitud de esta medida. Sin embargo, como primera estimación, puede concluirse que el tiempo y la energía consumida durante el transitorio de reversibilidad son como máximo $0.5\mu s$ y $150pJ$.

En el siguiente apartado se explicará el parámetro α , utilizado en aplicaciones de memoria para determinar la relación entre los estados ON y OFF, correspondientes a los estados LRS y HRS del efecto RS, respectivamente.

4.1.5. Ratio entre estado ON y estado OFF: α .

Una de las prestaciones más importantes relativas a los dispositivos de memoria es la relación entre estados, y viene determinado por la sensibilidad del sistema de almacenamiento. El parámetro α se define como el cociente entre la resistividad del estado HRS y la del LRS, llamadas R_{high} y R_{low} , respectivamente (ecuación 4-6). O equivalentemente, esta relación también puede expresarse como la relación entre las corrientes I_{LRS} e I_{HRS} . Para el fenómeno RS observado en transistores MOSFET en los trabajos realizados, el parámetro α obtenido ha sido aproximadamente 10^3 , lo que indica que el estado LRS es tres órdenes de magnitud mayor que el estado HRS.

$$\alpha = \frac{I_{LRS}}{I_{HRS}} = \frac{R_{high}}{R_{low}} \quad \text{Ecuación 4-6}$$

Para los trabajos realizados en esta tesis: $\alpha = 10^3$

Como se ha comentado (sección 4.1.3), para maximizar el parámetro α debe escogerse el valor de V_{read} más elevado posible (en valor absoluto), respetando el compromiso que existe con el rango

de valores de escritura, concretamente V_{RESET} . Este compromiso es un aspecto crítico en el diseño de memorias ReRAM, y está muy limitado por la tecnología y materiales utilizados.

En el siguiente apartado se presenta un nuevo concepto de dispositivo multi funcional, al que hemos denominado memFET, del cual se explicarán sus ventajas y aplicaciones

4.2. El memFET.

El memFET (memory Field-Effect-Transistor) es un dispositivo multifunción de cuatro terminales, que está basado en el efecto de campo y el fenómeno de RS en transistores MOSFET. En aplicaciones de memoria, el memFET presenta ventajas respecto al uso de dispositivos de dos terminales, gracias a una mejora en el procedimiento de lectura que se consigue con el uso de los terminales de drenador y fuente. Además, este dispositivo puede usarse con otras finalidades, que se explicarán al final de esta sección. Cabe resaltar que se ha solicitado un patente internacional del memFET y sus aplicaciones [102].

4.2.1. Almacenamiento de la información: Corriente I_D .

El funcionamiento del memFET se basa, al igual que los dispositivos en los que el RS tiene lugar, en la creación de un camino conductor a través del dieléctrico. Sin embargo, mediante el uso de los terminales de drenador y fuente, se puede mejorar el proceso de lectura respecto a los dispositivos de dos terminales para aumentar la relación entre estados detectando el estado del dispositivo mediante la corriente de canal I_D . En este apartado se analiza la corriente de canal I_D del memFET durante los estados LRS y HRS, cuando se aplica una diferencia de potencial entre los terminales de drenador y fuente, y como puede mejorarse el procedimiento de lectura, aplicando diferentes tensiones en los terminales de puerta, fuente y drenador.

La figura 4-6 muestra las características del memFET durante los estados LRS (cuadrados grises) y HRS (círculos blancos) con el camino conductor localizado cerca del terminal de drenador. Como se ha comentado en la sección 3.3, cuando se alcanza el estado LRS las características del transistor se pierden por completo debido a la alta conductividad del camino conductor. Durante este estado, si se realiza una característica I_D - V_D , como se está aplicando una tensión entre los extremos del camino conductor ($V_{\text{path}}=V_{\text{GD}}$), una elevada corriente fluye a través de él, impidiendo observar el efecto de campo del transistor. Por otro lado, cuando se provoca la reversibilidad de la ruptura, y se alcanza el estado HRS, se recuperan las características del transistor. Como durante el estado HRS la resistividad del camino conductor es muy alta, el efecto de campo si se observa, y predomina sobre la corriente que fluye por el camino conductor.

Por tanto, para la corriente I_D , no solo se observan dos magnitudes de corriente diferente, sino que también dos comportamientos eléctricos diferentes. Uno en el que la corriente medida en el terminal de drenador depende linealmente de la tensión aplicada entre los extremos del camino conductor, que en este caso corresponde a V_{GD} , debido a que predomina la conductividad del camino conductor sobre la corriente de canal del transistor (estado LRS). Y otro en el que la corriente medida en el drenador depende del efecto de campo del transistor, que predomina sobre la corriente a través del camino conductor, el cual se encuentra parcialmente cerrado (estado HRS), y que depende de las tensiones V_G y V_{DS} (ver figura 3-23 en sección 3.3). Además, se observan dos situaciones en función del signo de la corriente I_D medida durante el estado LRS. Cuando V_D es más pequeña que V_G , la corriente que fluye a través de camino conductor lo hace desde el terminal de puerta hacia el drenador. Mientras que si V_D es mayor que V_G , la corriente fluye del terminal de drenador hacia el de puerta. Este cambio de mecanismo de conducción del

memFET se ilustra en la figura 4-7, donde se representan las contribuciones de corriente en el terminal de drenador del memFET en función del estado del dispositivo. La región en color rojo indica la zona del óxido dañada por la ruptura, correspondiente al camino conductor, y las flechas amarillas las contribuciones de corriente.

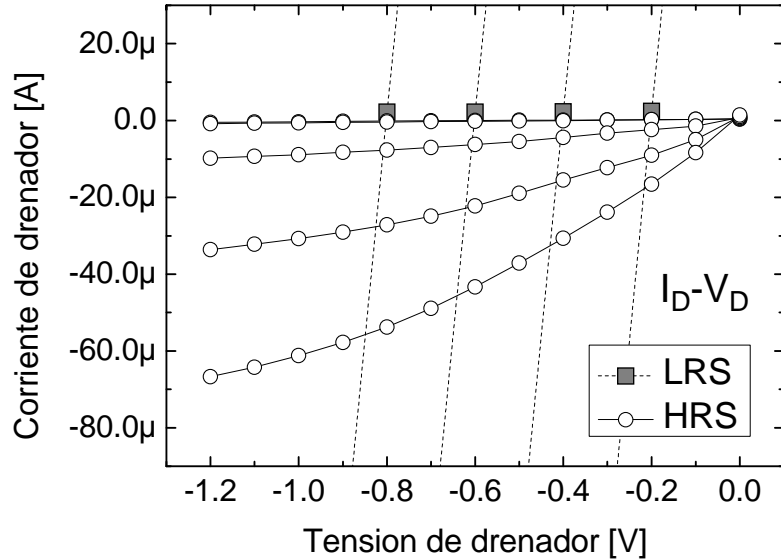


Figura 4-6: Características de un transistor pMOSFET, en el estado BD (cuadrados grises) y en el estado R (círculos blancos). Tras la ruptura las características del transistor se pierden por completo debido a la elevada corriente a través del camino conductor. Mientras que tras la recuperación, las características del transistor son recuperadas parcialmente, y el efecto de campo se observa de nuevo.

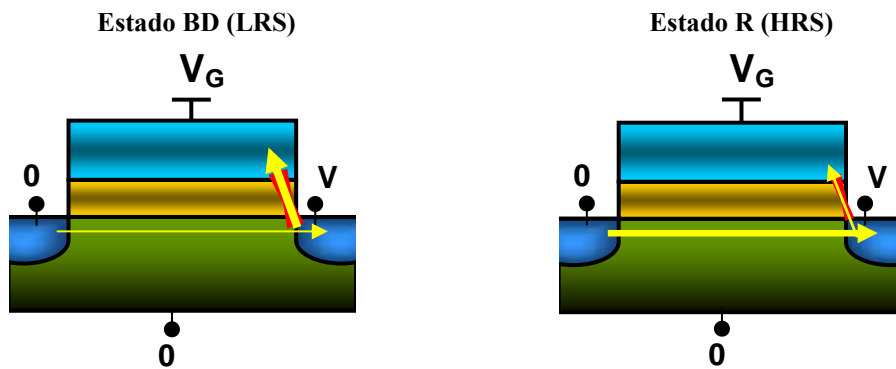


Figura 4-7: Representación de las contribuciones de corriente en el terminal de drenador del memFET. Para el estado LRS (izquierda) toda la corriente es debida a la conductividad del camino conductor al aplicar una tensión V_{path} . En esta situación no se observa efecto de campo. Para el estado HRS (derecha) la contribución del camino conductor es mucho menor debido a su baja conductividad. En esta situación el efecto de campo es observado de nuevo, y al aplicar una tensión V_{DS} se observa una contribución de corriente de canal en el terminal de drenador [102].

En el siguiente apartado se presenta el método para realizar el procedimiento de lectura para el memFET, basado en este cambio de mecanismo de conducción del memFET en función del estado del dispositivo, y que presenta ciertas ventajas respecto a los dispositivos de memoria de solo dos terminales.

4.2.3. Procedimiento de lectura del memFET.

Para entender el funcionamiento del memFET, y ver las ventajas que puede comportar en cuanto al procedimiento de lectura para maximizar la relación entre los estados conductivos del dieléctrico, es necesario tener presente el cambio de mecanismo que gobierna el funcionamiento del transistor en cada estado, y hacer hincapié en el papel de la tensión V_{path} , parámetro clave en este punto.

La figura 4-8 muestra las características I_D-V_D de un memFET para diferentes tensiones V_{path} , y para ambos estados del dispositivo, LRS y HRS. Notar que esto ha implicado una variación en el procedimiento de medida para la extracción de las características del dispositivo, ya que en lugar de extraer la característica I_D-V_D para diferentes V_G , se ha extraído para diferentes V_{path} . Por tanto, se ha implementado el procedimiento de medida teniendo en cuenta las tensiones aplicadas en los extremos del camino conductor, que para este caso corresponde a V_{GD} , dado que la localización de la ruptura se ha provocado cerca del terminal de drenador. Esto significa que para aumentar V_{DS} y mantener constante $V_{path}=V_{GD}$, también se ha tenido que aumentar V_G . Además, se ha representado para transistor MOSFET tipo P (figura 4-8a) y tipo N (figura 4-8b). Los símbolos representan los datos experimentales obtenidos durante las medidas, mientras que las líneas representan la simulación de estas características mediante los modelos eléctricos que describen el comportamiento del memFET expresados en las ecuaciones 4-7 y 4-8. El modelo ofrece una visión más simplificada de las dos corrientes que contribuyen a la corriente I_D .

$$I_D = I_{CH} - I_{RS} \quad \text{Ecuación 4-7}$$

Donde I_D es la corriente medida en el terminal de drenador, I_{CH} es la corriente de canal debido a V_{DS} y V_G , y I_{RS} es la corriente a través del camino conductor causada por V_{path} . Notar que I_{RS} se ha expresado con signo opuesto debido a que la corriente a través del camino conductor fluye del terminal de drenador al terminal de puerta para tensiones V_{path} de polaridad negativa. Los valores de I_{CH} e I_{RS} dependen del estado del dispositivo (LRS y HRS). I_{CH} es despreciable para el estado LRS, mientras que para el estado HRS puede ser descrita por la expresión de la corriente de canal de la ecuación 1-4. I_{RS} se puede describir por la ley potencial de la ecuación 4-8, y corresponde a los valores de las corrientes I_{LR} e I_{HRS} , que dependen de la resistividad del camino conductor.

$$I_{RS} = a \cdot V_{path}^b \quad \text{Ecuación 4-8}$$

Donde los parámetros a y b dependen del estado conductivo, LRS y HRS, y se han obtenido empíricamente a partir de las medidas realizadas en el estudio y caracterización de la reversibilidad de la ruptura en transistores MOSFET (sección 3.2.1).

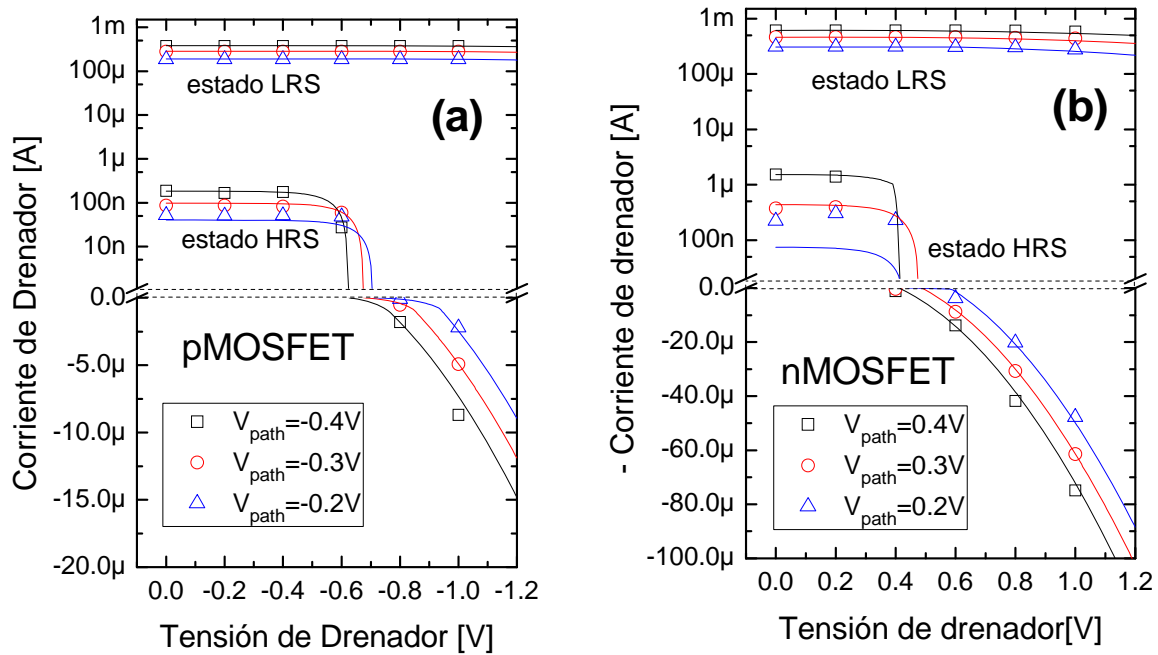


Figura 4-8: Característica I_D - V_D del memFET para diferentes tensiones V_{path} , cuando el camino conductor está localizado cerca del drenador, (a) para un transistor pMOSFET, y (b) para un transistor nMOSFET. Los puntos son los datos experimentales obtenidos con las medidas realizadas, mientras que las líneas representan la simulación del modelo según las ecuaciones 4-7 y 4-8. Cuando el dispositivo está en el estado LRS la corriente de drenador es muy elevada y solo depende de la tensión V_{path} . Cuando el dispositivo está en el estado HRS la corriente es mucho menor y depende fuertemente de la tensión aplicada en el drenador.

En la figura 4-8, para el estado LRS, en ambos tipos de dispositivo, se observa que la característica I_D - V_D no varía con V_{DS} , mientras que sí depende de la tensión V_{path} aplicada. Esto se debe a que durante este estado la alta conductividad del camino conductor enmascara el efecto de campo. Por tanto, la corriente I_D medida dependerá solamente de la tensión V_{path} aplicada, y como V_{path} es constante para cada característica I_D - V_D extraída, éstas tienen una forma completamente plana. Sin embargo, para el estado HRS se observa que la corriente I_D depende tanto de V_{path} como de V_{DS} . Esto es debido a que ahora el efecto de campo predomina sobre la conducción del camino conductor. Por tanto, al aplicar una tensión en la puerta y un potencial entre drenador y fuente, habrá un flujo de corriente entre estos dos terminales a través del canal. Como se ha tenido que aumentar V_G a medida que se incrementa V_{DS} para mantener V_{path} constante, esto provoca que durante el estado HRS, la característica I_D - V_D varíe al variar V_{DS} . Analizando el estado HRS detenidamente observamos que, cuando $V_{DS}=0V$ la corriente medida en el terminal de drenador es solo causada por la tensión V_{path} aplicada, del orden de $100nA$, debido a la baja conductividad del camino conductor. Para esta situación, el memFET solo utiliza los terminales de puerta y sustrato, ya que los terminales de drenador y fuente se encuentran a una tensión de $0V$. A medida que se aumenta la tensión V_{DS} , se observa que por debajo de los $-0.5V$ la característica también presenta un comportamiento plano. Esto es debido a que el memFET está operando en la región subumbral, siendo aún la corriente a través del camino conductor la única contribución de corriente en el terminal de drenador. Cuando V_{DS} alcanza los $-0.6V$ (aproximadamente), el memFET entra en la zona lineal. Al seguir aumentando V_{DS} la corriente I_D empieza a decrecer, aproximándose cada vez más a $0V$, indicando que las contribuciones de corriente a través de camino conductor y de canal se aproximan en magnitud, pero al tener direcciones opuestas se anulan (figura 4-8). Si se aumenta más V_{DS} , llega un momento en que la corriente I_D cambia de signo, debido a que $V_{path}=V_{GD}$ se mantiene constante, alcanzando valores de hasta $-15\mu A$ a una tensión $V_{DS}=-1.2V$.

Esto se debe a que ahora la contribución de corriente de canal es mayor que la corriente causada por el camino conductor. En la figura 4-8 se observa claramente este cambio de signo, que se corresponde a la situación de operación descrita por la condición 4-1.

$$V_{\text{path}} < V_{\text{DS}}$$

Condición 4-1

En resumen, para el estado LRS la tensión V_{path} es la que determina la corriente I_{D} , independientemente de las tensiones V_{DS} o V_{G} , ya que predomina la conductividad del camino conductor. Mientras que para el estado HRS, la corriente I_{D} viene dada por las tensiones V_{DS} y V_{G} , independientemente de la tensión V_{path} , dado que en este estado predomina el efecto de campo del transistor. Cabe recordar que las tensiones V_{G} y V_{DS} sí están relacionadas con V_{path} , ya que la tensión $V_{\text{path}}=V_{\text{GD}}$ cuando el camino conductor está localizado cerca del drenador, y $V_{\text{path}}=V_{\text{GS}}$ cuando el camino conductor está localizado cerca del terminal de fuente. Sin embargo, una vez determinada V_{path} puede implementarse el procedimiento de lectura con las tensiones en los terminales de fuente, drenador, puerta y sustrato que más convengan para aumentar la relación entre estados, sin entrar en conflicto con la tensión de escritura V_{RESET} . Este hecho puede ser utilizado para introducir un nuevo método discriminatorio para determinar el estado lógico del dispositivo, ya que la corriente medida en el terminal de drenador, para un mismo conjunto de tensiones de lectura durante los estados LRS y HRS, no solo puede variar en magnitud, sino que además puede hacerlo en signo. Además, esta diferencia puede ser incrementada aumentando V_{DS} , y aumentando al mismo tiempo V_{G} para mantener V_{path} constante, tal y como se aprecia en la figura 4-8.

Otra manera de entender el funcionamiento del memFET es redibujando las características anteriores para obtener la característica $I_{\text{D}}-V_{\text{path}}$ para diferentes V_{DS} . Esta figura de mérito permite comprobar de nuevo la dependencia de los estados LRS y HRS con V_{DS} y V_{path} . La figura 4-9 muestra las características $I_{\text{D}}-V_{\text{path}}$ para distintas V_{DS} , para ambos estados del dispositivo, y para ambos tipos de transistor MOSFET, tipo P (figura 4-9a) y tipo N (figura 4-9b). Las características se han elaborado realizando el promediado de todos los ciclos aplicados durante esta medida, que para este caso han sido 82 ciclos. Para el estado LRS, en ambos tipos de transistores, la no dependencia de I_{D} con V_{DS} es más evidente ya que las diferentes curvas $I_{\text{D}}-V_{\text{path}}$ tomadas para diferentes V_{DS} se solapan completamente. Sin embargo, sí se aprecia la dependencia con V_{path} , ya que al aumentarla aumenta la corriente I_{D} . Por otro lado, para el estado HRS se observa también una clara dependencia de I_{D} con V_{DS} , ya que las diferentes características $I_{\text{D}}-V_{\text{path}}$ varían para cada V_{DS} . Cuando ambas contribuciones de corriente, I_{CH} e I_{RS} , se igualan, la característica pasa por cero. Al superarse la tensión umbral, I_{CH} se hace mayor que I_{RS} , y al tener sentidos opuestos se produce el cambio de signo de I_{D} . Como $V_{\text{path}}=V_{\text{GD}}$, también se aprecia dependencia con V_{path} , ya que al aumentarla aumenta V_{G} , y consecuentemente, se obtiene una corriente I_{D} mayor para una misma V_{DS} .

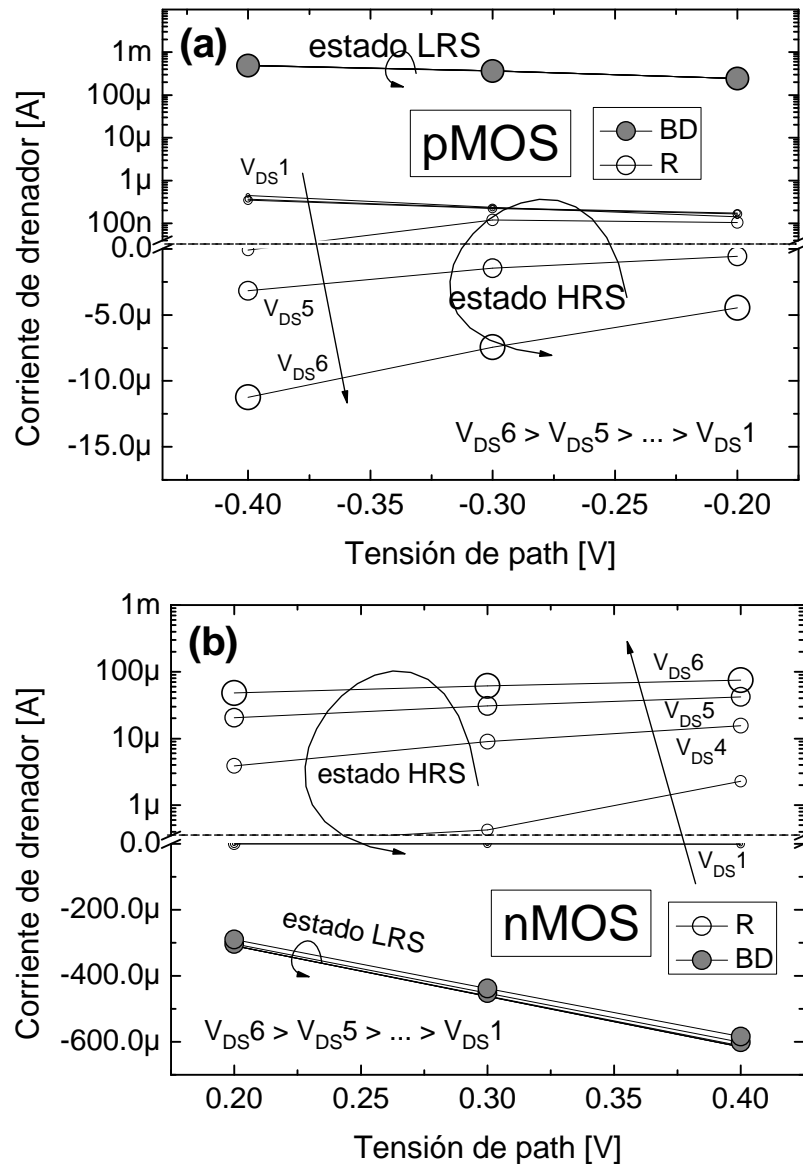


Figura 4-9: Característica I_D - V_{path} del memFET para diferentes tensiones V_{DS} , con el camino conductor localizado en el drenador, y para ambos tipos de transistor: (a) para un transistor nMOSFET, y (b) para un transistor pMOSFET. Los puntos son los datos experimentales, mientras que las líneas representan la simulación del modelo. Cuando el dispositivo está en el estado LRS (círculos grises) la corriente de drenador es muy elevada y solo depende de la tensión V_{path} . Cuando el dispositivo está en el estado HRS (círculos blancos) la corriente es mucho menor y depende fuertemente de la tensión aplicada en el drenador, así como de V_G , que a su vez están relacionadas con $V_{path}=V_{GD}$ (localización de la ruptura cerca del drenador).

Para comparar la mejora en el parámetro α que supone el memFET respecto el uso de 2 terminales, la figura 4-10 muestra la corriente I_D medida durante 70 ciclos en un transistor pMOSFET con el camino conductor localizado en el drenador. Como se aprecia en la figura ambos estados, LRS y HRS, han sido obtenidos a una $V_{path} = -0.4V$, pero para dos V_{DS} distintas. Cuando $V_{DS}=0V$, el memFET se comporta como un dispositivo de memoria convencional, ya que drenador y fuente no intervienen en el procedimiento de medida al estar conectados a $0V$. En este caso la corriente medida en el drenador corresponde a la causada por el camino conductor al aplicar una tensión entre sus extremos, en este caso entre puerta y drenador. Cuando $V_{DS}=-1V$, para el estado LRS los puntos se solapan con el caso anterior, indicando que la contribución de corriente de canal es despreciable durante el estado LRS, y que por tanto la corriente I_D en este estado no depende de V_{DS} . Por otro lado, cuando el dispositivo se encuentra en el estado HRS, si se aplica una tensión $V_{DS}=0V$ la corriente I_D medida corresponde a la corriente I_{LRS} de un

dispositivo de memoria convencional, causada por la baja conductividad del camino conductor. Sin embargo, al aplicar una tensión $V_{DS}=-1V$, se produce el efecto de campo, dando lugar a una corriente de canal I_{CH} elevada. Para este caso, como se cumple la condición 4-1 ($V_{path}<V_{DS}$), la corriente de canal tiene sentido opuesto a la corriente que fluye por el camino conductor. Como el efecto de campo en el estado HRS predomina sobre la conductividad del camino conductor, la corriente de canal para este conjunto de tensiones aplicado será mayor que la causada por el camino conductor, provocando una corriente I_D de signo contrario. Para el caso de esta medida, en el estado HRS, se ha pasado de una corriente de canal $I_{DHRS}=100nA$ para $V_{DS}=0V$, a una corriente $I_{DHRS}=-10\mu A$ para $V_{DS}=-1V$, para una misma tensión $V_{path}=-0.4V$.

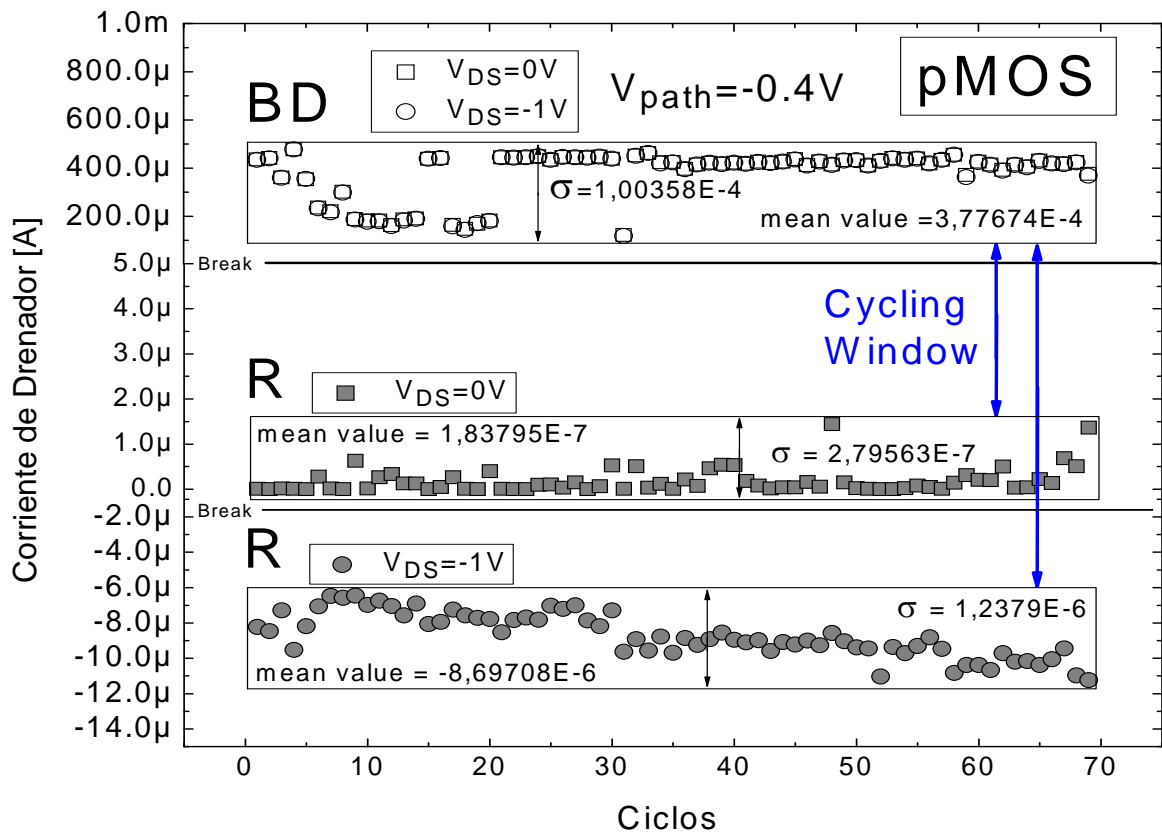


Figura 4-10: Evolución de I_D con los ciclos aplicados (70 ciclos) medidos en el memFET con el camino conductor localizado en el terminal de drenador. Se han registrado los valores de I_D para dos V_{DS} distintas, $V_{DS}=0V$ (cuadrados) y $V_{DS}=-1V$ (círculos). En ambos casos se ha aplicado una $V_{path}=-0.4V$. Para el estado LRS (círculos y cuadrados blancos) los puntos se solapan indicando que no existe dependencia con V_{DS} en este estado. Para el estado HRS (círculos y cuadrados grises) se observa una incremento en magnitud de I_D al aumentar V_{DS} , además del cambio de signo [102].

En conclusión, el memFET ofrece una importante ventaja respecto los dispositivos de memoria convencionales de dos terminales, que es el control de la corriente durante el estado HRS mediante la introducción de los terminales de drenador y fuente. Este control puede utilizarse, con el objetivo de maximizar la relación entre estados, siguiendo dos metodologías. La primera consiste en establecer un conjunto de tensiones que reduzca el nivel de corriente del estado HRS, mediante un potencial V_{DS} que hace que se cancelen ambas contribuciones de corriente, I_{CH} e I_{RS} . La segunda, consiste en aumentar más el potencial V_{DS} , también durante el estado HRS, para que se cumpla la condición 4-1. Esto hace que la corriente I_{CH} sea mayor que I_{RS} , provocando el cambio de signo de I_D (ecuación 4-7) [102].

Además de poderse utilizar como dispositivo de memoria, que mejora las prestaciones y el control respecto los dispositivos de memoria no volátil convencionales (ReRAMs), el memFET también puede implementarse para realizar otras funcionalidades, que pueden ser usadas con otra finalidad. En el siguiente capítulo se presentarán algunas de las funcionalidades y aplicaciones que se han explorado para el memFET, durante los trabajos realizados en esta tesis.

4.3. Otras aplicaciones del memFET de 4 terminales.

Además de dispositivo de memoria de un solo bit, el memFET puede usarse con otras finalidades. En esta sección se explican algunas funcionalidades estudiadas para el memFET, como su uso para implementar memorias con capacidad para almacenar más de un bit de información (multibit ReRAM), o como dispositivos de conexión (switch) dentro de un circuito integrado.

4.3.1. Dispositivo de memoria multibit.

En esta sección se explica la funcionalidad del memFET para implementar dispositivos de memoria multibit, capaces de almacenar más de un bit de memoria. Para realizar esto, nos hemos basado en el análisis y caracterización del fenómeno de ruptura y su reversibilidad realizados cuando se crean dos caminos conductores (sección 3.2.5), uno cerca del terminal de drenador y otro cerca de la fuente.

Para realizar esta medida se ha utilizado un transistor pMOSFET con dimensiones $W=1\mu\text{m}/L=0.35\mu\text{m}$, y se ha seguido el esquema de medida de la figura 3-1. Para realizar el proceso de SET se han aplicado estrés en rampa de tensión con límite de corriente (CL-RVS), y estreses en rampa de tensión sin límite de corriente (RVS) para realizar el RESET. Para provocar diferentes caminos conductores, uno cerca del terminal de drenador y otro cerca de la fuente, se ha utilizado el método explicado al final de la sección 3.2.5, que consiste en aplicar el estrés de ruptura en el terminal de puerta, conectar a masa el terminal cerca del cual se quiere provocar la ruptura, manteniendo el resto de terminales flotantes. Como parámetro para almacenar la información se ha utilizado la corriente de drenador I_D , y se ha medido utilizando un set de tensiones cumpliendo la condición 4-1.

La figura 4-11 muestra la corriente I_D durante el estado LRS (círculos rojos) y durante el estado HRS (cuadrados grises), medida a $V_{\text{path}} = -0.4\text{V}$, $V_{\text{DS}} = -1\text{V}$, $V_{\text{S}} = V_{\text{B}} = 0\text{V}$ durante 10 ciclos, en los que se ha alternado entre dos localizaciones. Como puede observarse, en función de la localización del camino conductor se han obtenido cuatro niveles de corriente I_D diferentes (a, b, c, y d), dos correspondientes al estado LRS, y dos al HRS. Estos cuatro niveles de corriente medidos en el terminal de drenador, que pueden ser usados como parámetro para implementar memorias multibit. Así, para un dispositivo con N niveles, se pueden codificar $\log_2(N)$ bits de información, que para el ejemplo de la figura corresponden a una capacidad de almacenamiento de 2 bits de información para un solo dispositivo memFET [102].

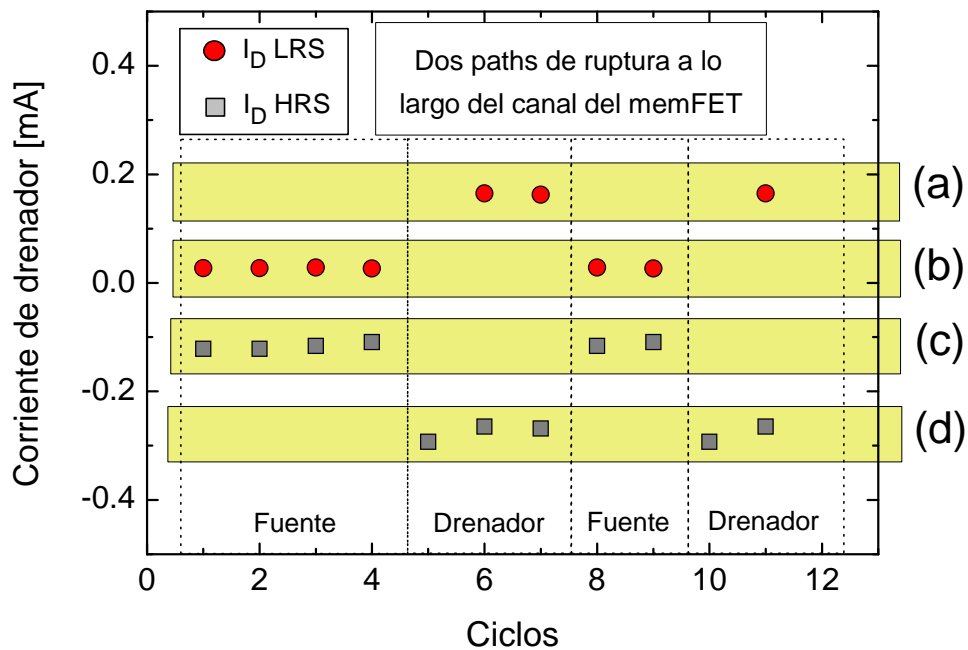


Figura 4-11: Corriente I_D medida durante los estados LRS (círculos rojos) y HRS (cuadrados grises) en un memFET con dimensiones $W=0.5\mu\text{m}/L=0.5\mu\text{m}$, tras realizar varios ciclos en los que se ha provocado un cambio de localización. Según la localización del camino conductor, y el estado del dispositivo, se detectan cuatro niveles de corriente I_D medidos con a un mismo conjunto de tensiones cumpliendo la condición 4-1. Los cuatro niveles obtenidos permiten codificar 2 bits de información en un mismo dispositivo memFET [102].

Otra manera de implementar memorias multibit con el memFET es mediante el uso de diferentes valores de límite de corriente durante e transitorio hacia el estado LRS, provocando distintos niveles de degradación en el óxido, correspondientes a los diferentes estados lógicos que codifican la información almacenada. Sin embargo, como se ha comentado en la sección 3.2.3, la variación del límite de corriente durante la realización de los ciclos en las muestras utilizadas en esta tesis desestabiliza la medida, llevando a la muestra a la ruptura final. Aunque conceptualmente es posible implementar memorias multibit mediante esta metodología, se necesita seguir investigando para llegar a discernir si es posible o no controlar el efecto RS en el memFET cuando se varía el límite de corriente del transitorio hacia el estado LRS..

4.3.2. Switch/interruptor reconfigurable.

Además de dispositivo de memoria, el memFET también puede ser usado como dispositivo de interconexión reprogramable entre distintos dispositivos o partes de un circuito integrado. Esto es posible gracias a la capacidad de conectar el terminal de puerta con otro terminal, según la localización del camino conductor.

La figura 4-12a muestra el esquema de funcionamiento de un memFET utilizado como switch entre los terminales de drenador y fuente, mediante la apertura y cierre de los caminos conductores situados, uno cerca del terminal de fuente, otro del terminal de drenador. Cuando se abre uno de los caminos conductores, la puerta queda conectada a ese terminal, permitiendo el flujo de corriente. Posteriormente, ese camino puede ser cerrado, y puede abrirse de nuevo, o puede abrirse el otro camino conductor, comportándose, efectivamente, como un switch, tal como muestra el esquema de la figura 4-12b. En la figura 4-12c se muestra el equivalente circuital para el memFET, el cual puede modelarse mediante el valor adecuado de las resistencias que conectan los terminales de drenador y fuente con el terminal de puerta, tal y como se han modelado en la sección 3.4.1 los estados LRS y HRS.

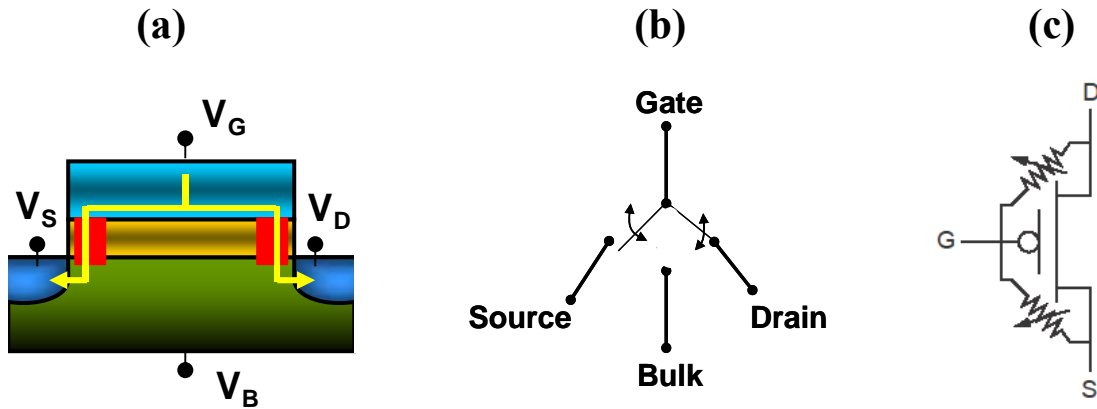


Figura 4-12: (a) Esquema del memFET con tres caminos conductores, uno cerca del drenador, otro cerca de la fuente, y otro en medio del canal, operando como switch/interruptor entre el terminal de puerta y el resto de terminales: sustrato drenador y fuente. (b) esquema del memFET operando como dispositivo de switch entre la puerta y el resto de terminales. (c) modelo equivalente circuital del memFET [102].

Así pues, el memFET es un dispositivo multifunción que puede funcionar de manera intercambiable como:

- a) Celda de memoria de 1bit.
- b) Celda de memoria multibit.
- c) Interruptor multidireccional.
- d) Transistor estándar, cuando se encuentra en el estado HRS.

Para mostrar la funcionalidad del memFET dentro de un circuito integrado, se ha simulado diferentes puertas lógicas, implementadas con una matriz (crossbar) de memFETs [103].

La figura 4-13 muestra la matriz de memFETs utilizada para este estudio preliminar. Los memFETs se han representado mediante su modelo eléctrico, presentado en la figura 4-12c. Un bloque de 8 memFET, 4 de tipo P y 4 de tipo N, basta para implementar las funciones lógicas básicas (NOR, NAND, y NOT) (Figura 4-13). Las conexiones sombreadas representan los caminos conectados mediante interruptores para implementar las diferentes puertas lógicas. Aquellos memFETs, que no participan en la implementación de las puertas lógicas (memFET con recuadro) pueden utilizarse como celdas de memoria. En la figura 4-13 también se observa que una puerta NAND puede conectarse con una puerta NOT para obtener una puerta AND. LA conexión entre ambas puertas se realiza mediante un memFET operando como interruptor (óvalo sombreado).

De esta manera, se pueden diseñar circuitos en bloques de 8 memFETs en disposición de matriz. Estos, pueden desempeñar diferentes funciones, permitiendo que la funcionalidad de los bloques de 8 memFETs sean reprogramables. Así, un memFET puede operar como switch, conectando otros memFETs entre sí, para unir los diferentes bloques de 8 bits. También puede ser utilizado como celda de memoria, o como transistor cuando opera en el estado HRS.

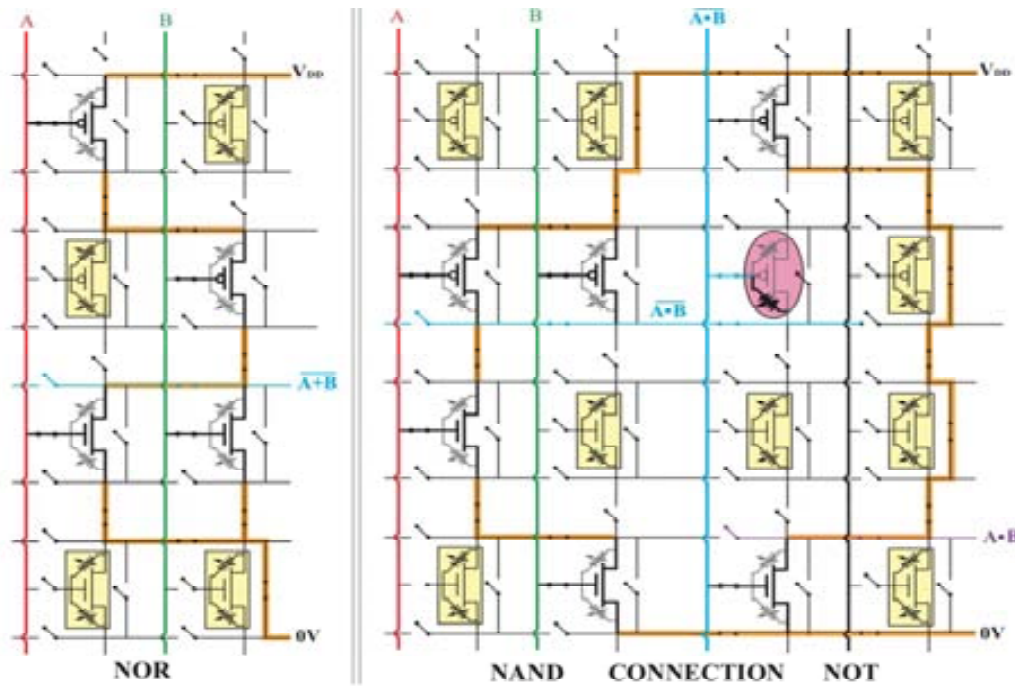


Figura 4-13: (Izquierda) bloque de ocho memFETs configurados para realizar la función de una puerta NOR. Los transistores interconectados operan como MOSFETs. (Derecha) Los dos bloques de ocho memFETs se han configurado para realizar las funciones de NAND y NOT, para implementar una puerta AND. La conexión entre ambas puertas se ha realizado mediante un memFET operando como transistor (óvalo sombreado). Las líneas sombreadas muestran las conexiones realizadas mediante la abertura de un camino conductor en los memFETs de ese camino (interruptores cerrados). Además, los memFETs que no se utilizan para implementar ninguna funcionalidad pueden usarse como celdas de memoria [103].

Para comprobar el correcto funcionamiento del memFET como dispositivo multi función en una arquitectura reprogramable, se han simulado las puertas lógicas de la figura anterior, implementando el mismo diseño en un simulador de circuitos. La figura 4-14 muestra la salida de las puertas lógicas simuladas para las entradas A y B. Para reproducir el funcionamiento del memFET se ha utilizado el modelo eléctrico mostrado en la figura 4-12c. Además, el número de memFETs no utilizados en la implementación del circuito lógico que pueden usarse como celdas de memoria, por lo que en la figura también se ha especificado el número de bits que se pueden almacenar en cada caso.

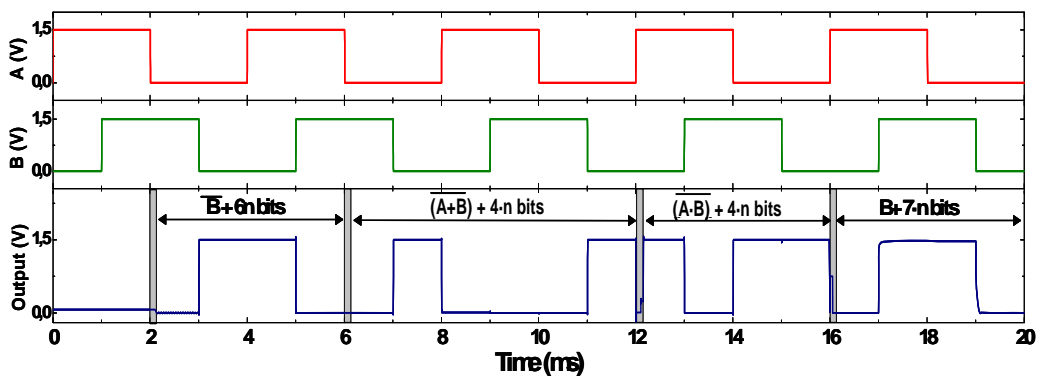


Figura 4-14: Simulación de las puertas lógicas (azul) de la figura 4-13 (NOT, NOR, NAND, y etapa de conexión, de izquierda a derecha) en función de las entradas A (rojo) y B (verde). El modelo del memFET se ha implementado mediante el modelo eléctrico en la figura 4-12c. En la figura se indica el número de memFETs que pueden utilizarse como celdas de memoria en cada bloque de 8 memFETs.

Como se ha mostrado, aprovechando el fenómeno de RS, el memFET posibilita la integración de diversas funciones en un mismo dispositivo, y desempeñar una u otra dentro de un circuito, según la funcionalidad que se le quiera dar a éste. Esto abre la puerta al diseño de arquitecturas reconfigurables que se pueden implementar con un único tipo de dispositivo, y que pueden programarse para realizar diferentes funciones y adaptarse a los requerimientos de computación en cada instante.

Conclusiones.

En los actuales dispositivos MOS, con dieléctrico de puerta ultradelgado, los mecanismos de degradación tienen una especial relevancia, ya que pueden limitar la fiabilidad de los circuitos integrados. Uno de estos mecanismos es la ruptura dieléctrica y que se caracteriza por un aumento repentino de la corriente a través del óxido. Con la sustitución del óxido de silicio por materiales de alta permitividad, la ruptura dieléctrica ha mostrado ser un fenómeno reversible. Por otro lado, en los últimos años ha surgido un elevado interés por el estudio del fenómeno Resistive Switching (RS) en estructuras MIM y MIS debido a sus posibles aplicaciones como memorias resistivas (ReRAM). En esta tesis doctoral se han estudiado ambos fenómenos, la reversibilidad de la ruptura dieléctrica y el RS, y la relación entre ellos. El desarrollo de la tesis doctoral se ha centrado principalmente en la caracterización eléctrica de ambos fenómenos y sus posibles aplicaciones en dispositivos MOS con dieléctrico de puerta ultradelgado.

De los resultados obtenidos en el estudio realizado en capacidades MOS se concluye que:

- (1) La ruptura dieléctrica es un fenómeno reversible en el que se distinguen dos estados conductivos del dieléctrico, uno de alta conductividad (estado BD) caracterizado por una corriente a través del óxido elevada (I_{BD}), y otro de baja conductividad (estado R) caracterizado por una corriente mucho más baja (I_R), aunque mayor que la corriente a través del óxido del dispositivo fresco (I_F). La diferencia entre las corrientes I_{BD} e I_R es de entre 3 y 6 órdenes de magnitud.
- (2) Se ha estudiado la influencia que tiene sobre la reversibilidad de la ruptura dieléctrica el hecho de aplicar un límite de corriente externo. En primer lugar se ha observado que si la ruptura se produce sin aplicar límite de corriente alguno no se produce su reversibilidad. Por lo tanto el límite de corriente aplicado para producir la ruptura es requisito indispensable para poder observar posteriormente la reversibilidad de la ruptura. Asimismo, se ha observado que la corriente I_{BD} es mayor cuanto mayor es el límite de corriente aplicado, sin embargo, no se observa dependencia de la corriente I_R con el límite de corriente.

- (3) Se ha analizado el efecto de la polaridad de las tensiones aplicadas para producir la ruptura dieléctrica y su recuperación. Cuando se provoca la ruptura dieléctrica aplicando una tensión positiva y se intenta producir la recuperación a una tensión negativa, no se produce la reversibilidad de la ruptura. Para todas las demás posibles combinaciones de polaridades en las tensiones aplicadas para producir la ruptura y su reversibilidad sí que se observa el fenómeno. Se han obtenido resultados cualitativamente idénticos capacidades MOS con sustrato tipo P y tipo N.

Del estudio de la ruptura dieléctrica y su reversibilidad en transistores MOSFET se han obtenido las siguientes conclusiones:

- (4) Se ha observado que tanto la corriente de puerta medida después de provocar la ruptura como la obtenida después de inducir su recuperación son independientes del área de la muestra. Este resultado indica que, en ambos casos, la corriente de puerta se debe a un fenómeno local, asociado a un camino conductor (path) a través del dieléctrico que puede alternar entre dos estados conductivos, BD y R. A partir del análisis de las corrientes por todos los terminales de los transistores se ha concluido que el path conductor mantiene la misma localización en los estados BD y R, de lo que se ha deducido que el cambio entre ambos estados se debe a un cambio en las características eléctricas del path.
- (5) Se ha visto que el fenómeno de la ruptura dieléctrica y su posterior reversibilidad puede tener una alta repetitividad. Ha sido posible producir la ruptura dieléctrica y su posterior reversibilidad hasta 967 veces en la misma muestra.
- (6) Se ha observado que tras la ruptura dieléctrica los transistores pierden sus características eléctricas, sin embargo, tras inducir su recuperación, éstas se recuperan parcialmente. Se ha realizado un modelado eléctrico de los transistores tanto después de producir la ruptura dieléctrica y como de inducir su reversibilidad. A partir de él, se ha estudiado el efecto de la reversibilidad y la ruptura dieléctrica en circuitos. De los resultados se ha concluido que circuitos que fallan por la ruptura dieléctrica de sus transistores, pueden seguir operando si en ellos se induce la reversibilidad.
- (7) Comparando la reversibilidad de la ruptura dieléctrica con el resistive switching se ha concluido que ambos se tratan, en realidad, del mismo fenómeno, siendo las principales diferencias el tipo de muestras en el que se típicamente se estudian y sus posibles aplicaciones. Mientras la reversibilidad de la ruptura dieléctrica comúnmente se estudia en transistores con dieléctrico de puerta delgado para intentar aumentar la fiabilidad de los circuitos integrados, el RS se está estudiando actualmente por sus posibles aplicaciones en el campo de memorias resistivas. De esta manera, el estado BD de la ruptura dieléctrica se corresponde al estado de baja resistividad (LRS) y el estado R al estado de alta resistividad (HRS).
- (8) Se ha definido la carga inyectada hasta inducir la reversibilidad de la ruptura (QR) como parámetro para caracterizar el fenómeno. Se ha observado que la distribución de QR cuando se aplican varios ciclos de ruptura y recuperación en una misma muestra depende fuertemente del límite de corriente, además su dispersión y valor medio aumentan con la temperatura.

Se han estudiado las posibles aplicaciones que pueden tener transistores MOSFET con dieléctrico de puerta ultradelgado en el que se inducen uno o más caminos conductores con efecto RS. A un dispositivo con estas características se le ha denominado memFET. En cuanto a sus posibles aplicaciones se ha concluido que:

- (9) Un memFET en el estado R (o HRS) mantiene las características eléctricas de un transistor MOSFET, por lo tanto, puede ser utilizado para tareas de computación.
- (10) Un memFET con los terminales de drenador, fuente y sustrato conectados a tierra opera como un dispositivo RS de dos terminales, siendo posible, por lo tanto, almacenar información. Sin embargo, polarizando el memFET adecuadamente, y realizando la operación de lectura a través del terminal de drenador, el memFET presenta varias ventajas respecto a los dispositivos RS convencionales:
 - a. La ventana de lectura, diferencia entre la corriente en estado LRS y HRS, es controlable mediante de la polarización del memFET.
 - b. Si se induce una corriente debida al efecto de campo del memFET suficientemente elevada, ésta controla la conducción en el estado HRS, de manera que fluye en dirección contraria a la corriente en el estado LRS. Por lo tanto, en un dispositivo memFET que se utilizado como unidad de memoria, el estado lógico puede determinarse a través del signo de la corriente de drenador.
 - c. Operando en las mismas condiciones del apartado b, la corriente en el estado HRS muestra una dispersión diez veces menor que la que se obtiene en un dispositivo RS común.
- (11) Si se utiliza más de un path en el memFET el dispositivo puede operar como memoria multibit en función del estado y la localización de cada uno de los paths. Experimentalmente se ha conseguido almacenar cuatro estados lógicos diferentes en memFET con dos paths, estando éstos localizados uno en el terminal de fuente y otro en el terminal de drenador. Sin embargo, se ha observado que el fenómeno es muy inestable y de baja repetitividad.
- (12) Creando uno o más paths el dispositivo puede funcionar como un interruptor multidireccional entre el terminal de puerta y los terminales de fuente, drenador y/o sustrato.

Finalmente, el memFET puede ser un dispositivo útil para el desarrollo de estructuras reconfigurables en las que se combine almacenamiento de información con tareas de computación.

6. Referencias.

- [1] G. Moore, "Cramming more components onto integrated circuits", *Electronics*, vol. 38, 1965.
- [2] "International Technology Roadmap for Semiconductors. Semiconductor Industry Association", 2005. *Website*: <http://www.itrs.net/>.
- [3] Ll. Prat and J. Calderer, "Dispositius electrònics i fotogrònics. Fonaments", *edicions UPC*, 2006.
- [4] S. M. SZE, "*Semiconductor Device, Physics and Technology*", ed. John Wiley & Sons, 2001.
- [5] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous and A. R. LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions," *Solid-State Circuits*, IEEE Journal of, vol. 9, pp. 256-268, 1974.
- [6] G. Baccarani, M. R. Wordeman, and R. H. Dennard, "Generalized scaling theory and its implication to a 1/4 micrometer MOSFET design," *IEEE Transactions on Electron Device*, vol. 31, pp. 452-462, 1984.
- [7] R. R. Troutman, "VLSI limitations from drain-induced barrier lowering," *IEEE Transactions on Electron Devices*, vol. 26, pp. 461-469, 1979.
- [8] R. H. Fowler and L. Nordheim, presented at Proc. Royal Soc. London, Ser A, 1928.
- [9] J. G. Simmons, "Electric Tunnel Effect between Dissimilar Electrodes Separated by a Thin Insulating Film," *Journal of Applied Physics*, vol. 34, pp. 2581-2590, 1963.
- [10] R. Degraeve, B. Kaczer, and G. Groeseneken, "Degradation and Breakdown in thin oxide layers: mechanism, models and reliability prediction," *Microelectronics Reliability*, vol. 39, pp. 1445-1460, 1999.
- [11] T. Rudenko, V. Kilchytska, N. Collaert, M. Jurczak, A. Nazarov, and D. Flandre, "Reduction of gate-to-channel tunnelling current in FinFET structures," *Solid-State Electronics*, vol. 51, issues 11-12, pp. 1466-1472, 2007.
- [12] H. Shimada, and T. Ohmi, "Current drive enhancement by using high-permittivity gate insulator in SOI MOSFETs and its limitations," *IEEE Transactions on Electron Device*, vol. 43 No. 3, pp. 431-435, 1996.
- [13] J. H. Choi, Y. Mao, and J. P. Chang, "Development of hafnium based high-k materials-A review," *Materials Science and Engineering Reports*, vol. 72, issue 6, pp. 97-136, 2011.
- [14] C. Kyeongjae, "First-principles modelling of high-k gate dielectric materials," *Computational Materials Science*, vol. 23, pp. 43-47, 2002.
- [15] B. P. Linder, E. Cartier, S. Krishnan, H. Stathis, and A. Kerber, "The Effect of Interface Thickness of High-k/Metal Gate Stacks on NFET Dielectric Reliability," *IEEE International Reliability Physics Symposium*, pp. 510-513, 2009.

- [16] G. Ribes, J. Mitard, M. Denais, S. Bruyere, F. Monsieur, C. Parthasarathy, E. Vincent, and G. Ghibaudo, "Review on High-k Dielectrics Reliability Issues," *IEEE Transactions on Device and Materials Reliability*, vol. 5, pp. 5-19, 2005.
- [17] W. Zhu, Jin-Ping Han, and T. P. Ma, "Mobility Measurement and Degradation Mechanisms of MOSFETs Made With Ultrathin High-k Dielectrics," *IEEE Transactions on Electron Device*, vol. 51, pp. 98-105, 2004.
- [18] R. Degraeve, M. Aoulaiche, B. Kaczer, Ph. Roussel, T. Kauerauf, S. Sahhaf, and G. Groeseneken, "Review of Reliability Issues in High-k/Metal Gate Stacks," *International Symposium on the Physical and Failure Analysis of Integrated Circuits*, pp. 1-6, 2008.
- [19] M. R. Visokay, J. J. Chambers, A. L. P. Rotondaro, A. Shanware, and L. Colombo, "Application of HfSiON as a gate dielectric material." *Applied Physics Letters*, vol.80, issue 17, pp. 3183-3185, 2002.
- [20] J. C. Lee, C. Kang, S. Rhee, C. Choi, S. Krishnan, I. Ok, M. Akbar, H. Kim, F. Zhu, M. Zhang, and T. Lee, "Hafnium-based high-K dielectrics." *IEEE VLSI-TSA International Symposium on VLSI Technology (VLSI-TSA-TECH), Proceedings of Technical Papers*, pp. 122-125, 2005.
- [21] M. Aoulaiche, M. Houssa, W. Deweerdt, L. Trojman, T. Conard, J. W. Maes, S. De Gendt, G. Groeseneken, H. E. Maes, and M. M. Heyns, "Nitrogen Incorporation in HfSiO(N)/TaN Gate Stacks: Impact on Performances and NBTI." *IEEE Electron Device Letters*, vol.28, issue 7, p. 613-615, 2007.
- [22] G. Groeseneken, L. Pantisano, L-Å Ragnarsson, R. Degraeve, M. Houssa, T. Kauerauf, P. Roussel, S. De Gaendt, and M. Heyns, "Achievements and Challenges for the Electrical Performance of MOSFETs with High-k Gate Dielectrics," *Proceedings of 11th IPFA*, Taiwan, pp. 147, 2004.
- [23] S. Pae, M. Agostinelli, M. Brazier, R. Chau, G. Dewey, T. Ghani, M. Hattendorf, J. Hicks, J. Kavalieros, K. Kuhn, M. Kuhn, J. Maiz, M. Metz, K. Mistry, C. Prasad, S. Ramey, A. Roskowski, J. Sandford, C. Thomas, J. Thomas, C. Wiegand, and J. Wiedemer, "BTI reliability of 45nm high-k + metal-gate process technology," *IEEE 46th Annual International Reliability Physics Symposium*, pp. 352-357, 2008.
- [24] D. J. DiMaria, "Defect generation in field-effect transistor under channel-hot-electron stress," *Journal of Applied Physics*, vol. 87, pp. 8707-8715, 2000.
- [25] E. Amat, T. Kauerauf, R. Degraeve, A. De Keersgieter, R. Rodríguez, M. Nafria, X. Aymerich, and G. Groeseneken, "Channel Hot-Carriers degradation under static stress in short channel transistors with high-k/metal gate stacks," *Ultimate Integration of Silicon, 2008. 9th International Conference on*, 2008.
- [26] R. O'Connor, L. Pantisano, R. Degraeve, T. Kauerauf, B. Kaczer, Ph. J. Roussel, and G. Groeseneken, "SILC defect generation spectroscopy in HfSiON using constant voltage stress and substrate hot electron injection," *IEEE 46th Annual International Reliability Physics Symposium*, pp. 324-329, 2008.

- [27] M. Sato, K. Yamabe, K. Shiraishi, S. Miyazaki, K. Yamada, R. Hasunuma, T. Aoyama, Y. Nara, and Y. Ohji, "Cathode electron injection breakdown model and work function dependent TDDB Lifetime for high-k/metal gate stack pMOSFETs," *IEEE 46th Annual International Reliability Physics Symposium*, pp. 335-340, 2008.
- [28] J. Suñé, I. Placencia, N. Barniol, E. Farrés, F. Martín, and X. Aymerich, "On the Breakdown Statistics of Very Thin SiO₂-Films," *Thin Solid Films*, vol. 185, pp. 347-362, 1990.
- [29] B. Kaczer, R. Degraeve, Ph. Roussel, and G. Groeseneken, "Gate oxide breakdown in FET devices and circuits: From nanoscale physics to system-level reliability," *Microelectronics Reliability*, vol. 47, pp. 559-566, 2007.
- [30] B. P. Linder, S. Lombardo, J. H. Stathis, A. Vayshenker, and D. J. Frank, "Voltage dependence of hard breakdown growth and the reliability implication in thin dielectrics," *IEEE Electron Device Letters*, vol. 23, pp 661-663, 2002.
- [31] M. Depas, T. Nigam, and M. Heyns, "Soft breakdown of ultra-thin gate oxide layers," *IEEE Transactions on Electron Devices*, vol. 43, no. 9, pp. 1499-1504, 1996
- [32] H. Satake and A. Toriumi, "Dielectric Breakdown mechanism of thin-SiO₂ studied by the post-breakdown resistance statistics," *IEEE Transactions on Electron Devices*, vol. 47, no. 4, pp. 741-745, 2000.
- [33] B. Kaczer, R. Degraeve, A. De Keersgieter, K. Van de Mierop, V Simons, and G. Groeseneken, "Consistent model for short-channel nMOSFET after hard gate oxide breakdown," *IEEE Transactions on Electron Devices*, vol. 49, no. 3, pp. 507-513, 2002.
- [34] C. Jahan, S. Bruyere, G. Ghibaudo, E. Vincent, and K. Barla, "Model for the oxide thickness dependence of SILC generation based on anode hole injection process," *Microelectronic Reliability*, vol. 39, pp. 791-795, 1999.
- [35] P. Olivo, T. N. Nguyen, and B. Ricco, "High-Field-Induced Degradation in Ultra-Thin SiO₂-Films," *IEEE Transactions on Electron Devices*, vol. 35, pp. 2259-2267, 1988.
- [36] S. Takagi, N. Yasuda, and A. Toriumi, "Experimental evidence of inelastic tunneling in stress-induced leakage current," *IEEE Transactions on Electronic Devices*, vol. 46, pp. 335-341, 1999.
- [37] S. Simeonov, I. Yurukov, E. Kafedjiiska, and A. Szekeres, "Trap-assisted tunneling in MOS structures with ultrathin SiO₂," *International Semiconductor Conference 2002*, vol. 1 and 2, pp. 399-402, 2002.
- [38] K. A. Nasyrov, S. S. Shaimeev, and V. A. Gritsenko, "Trap-assisted tunnelling hole injection in SiO₂: experimental and theory," *Journal of Experimental and Theoretical Physics*, vol. 109, issue 5, pp. 786-793, 2009.
- [39] J. T. Ryan, P. M. Lenahan, A. T. Krishnan, and S. Krishnan, "Energy resolved spin dependent trap assisted tunnelling investigation of SILC defects," *2010 International Reliability Physics Symposium*, pp. 1122-1125, 2010.

- [40] R. Degraeve, G. Groeseneken, R. Bellens, J. L. Ogier, M. Depas, P. J. Roussel, and H. E. Maes, "New insights in the relation between electron trap generation and the statistical properties of oxide breakdown," *IEEE Transactions on Electronic Devices*, vol. 45, pp. 904-911, 1998.
- [41] T. Tan, Z. Liu, H. Tian, W. Liu, "Low voltage stress-induced leakage current in HfO₂ dielectric films," *Materials Science and Engineering B*, vol. 171, issue 1-3, pp. 159-161, 2010.
- [42] S. Jakschik, Th. Kauerauf, R. Degraeve, Y. N. Hwang, R. Duschl, M. Kerber, A. Avellan, and S. Kudelka, "Influence of stress-induced-leakage-current on reliability of HfSiO_x with EOT>1.5nm and Tin Gate," *IEEE International Integrated reliability workshop*, 2006.
- [43] R. O'Connor, S. McDonnell, G. Hughes, R. Degraeve, and T. Kauerauf, "Low voltage stress-induced leakage current in 1.4-2.1 nm SiON and HfSiON gate dielectric layers," *Semiconductor Science and Technology*, vol. 20, issue 8, pp. 668-672, 2005.
- [44] R. Degraeve, G. Groeseneken, I. Dewolf, and H. E. Maes, "Oxide and Interface Degradation and Breakdown under Medium and High-Field Injection Conditions – a Correlation Study," *Microelectronics Engineering*, vol. 28, pp. 313-316, 1995.
- [45] D. J. DiMaria, "Experimental for the oxide thickness dependence of breakdown characteristics of metal-oxide-semiconductor structures," *Microelectronics Engineering*, vol. 36, pp. 317-320, 1997.
- [46] J. H. Stathis, "Quantitative model of the thickness dependence of breakdown in ultra-thin oxides," *Microelectronic Engineering*, vol. 36, pp. 325-328, 1997.
- [47] A. Kerber, L. Pantisano, A. Veloso, G. Groeseneken, and M. Kerber, "Reliability screening of high-k dielectrics based on voltage ramp stress," *Microelectronics Reliability*, vol. 47, pp. 513-517, 2007.
- [48] J. Suñé, E. Y. Wu, and S. Tous, "A physics-based deconstruction of the percolation model of oxide breakdown," *Microelectronics Engineering*, vol. 84, pp. 1917-1920, 2007.
- [49] E. Miranda, J. Suñé, R. Rodríguez, M. Nafria, and X. Aymerich, "A common framework for soft and hard breakdown in ultra thin oxides based on the theory of point contact conduction," *Microelectronic Engineering*, vol. 48, pp. 171-174, 1999.
- [50] J. Suñé, E. Miranda, M. Nafria, and X. Aymerich, "Modeling the breakdown spots in silicon dioxide films as point contacts," *Applied Physics Letter*, vol. 75, pp. 959-961, 1999.
- [51] F. Monsier, E. Vincent, G. Pananakakis, and G. Ghibaudo, "Wear-out, breakdown occurrence and failure detection in 18-25 angstrom ultrathin oxides," *Microelectronics Reliability*, vol. 41, pp. 1035-1039, 2001.
- [52] K. M. F. Shahil, M. N. Arafat, Q. D. M. Khosru, and M. R. Khan, "Modeling of post soft breakdown conduction through ultrathin high-k gate dielectrics," *IEEE International Conference on Electron Devices and Solid-State Circuits*, vol. 1-2, pp. 177-180, 2007.

- [53] H. Satake, "Soft breakdown phenomena in high-K gate dielectrics," *Physics and Technology high-k gate dielectrics II*, vol. 2003, issue 22, pp. 301-318, 2004.
- [54] S. J. Lee, C. H. Lee, C. H. Choi, and D. L. Kwong, "Time-dependent dielectric breakdown in poly-Si CVD HfO₂ gate stack," *40th Annual Proceedings: International Reliability Physics Symposium*, pp. 409-414, 2002.
- [55] T. Kauerauf, R. Degraeve, M. B. Zahid, M. Cho, B. Kaczer, P. Roussel, G. Groeseneken, M. Maes, and S. De Gendt, "Abrupt breakdown in dielectric/metal gate stacks: A potential reliability limitation?" *IEEE Electron Device Letters*, vol. 26, issue 10, pp. 773-775, 2005.
- [56] G. Bersuker, N. Chowdhury, C. Young, D. Heh, D. Mirsa, and R. Choi, "Progressive Breakdown characteristics of high-k/metal gate stacks," *45th Annual IEEE International Reliability Physics Symposium Proceedings*, pp. 49-54, 2007.
- [57] B. P. Linder, D. J. Frank, J. H. Stathis, and S. A. Cohen, "Transistor-Limited Constant Voltage Stress of Gate Dielectrics," *Symposium on VLSI Technology Digest of Technical Papers*, pp. 93-94, 2001.
- [58] J. Martín-Martínez, B. Kaczer, R. Degraeve, P. Roussel, R. Rodríguez, M. Nafria, X. Aymerich, B. Diericky, and G. Groeseneken, "Circuit Design-Oriented stochastic piecewise modelling of the post-breakdown gate current in MOSFETs: Applications to ring oscillators," *IEEE Transactions on Device and Materials Reliability*, vol. 12, issue 1, pp. 78-85, 2012.
- [59] R. Fernández, J. Martín-Martínez, R. Rodríguez, M. Nafria, and X. Aymerich, "Gate oxide wear-out and breakdown effects on the performance of analog and digital circuits," *IEEE Transactions on Electron Devices*, vol. 55, No. 4, pp. 997-1003, 2008.
- [60] M. Nafria, J. Suñé, and X. Aymerich, "Exploratory observations of post-breakdown conduction in polycrystalline-silicon and metal-gate thin-oxide metal-oxide-semiconductor capacitors," *Journal Applied Physics*, vol. 73, pp. 205-215, 1993.
- [61] W. H. Liu, K. L. Pey, X. Li, M. Bosman, "Observations of switching behaviors in post-breakdown conduction in NiSi-gate stacks," *IEEE International Electron Devices Meeting*, pp. 1-4, 2009.
- [62] E. Miranda, D. Jiménez, and J. Suñé, "From Post-Breakdown Conduction to Resistive Switching Effect in Thin Dielectric Films," *IEEE International Reliability Physics Symposium (IRPS)*, 2012.
- [63] A. Sawa, "Resistive Switching in transition metal oxides," *Materials Today*, vol. 11, No. 6, 2008.
- [64] A. Chen, S. Haddad, Y-C. Wu, T-N. Fang, Z. Lan, S. Avanzino, S. Pangrle, M. Buynoski, M. Rathor, W. Cai, N. Tripsas, C. Bill, M. VanBuskirk, and M. Taguchi, "Non-volatile Resistive Switching for advanced memory applications," *IEEE International Electron Devices Meeting*, pp. 765-768, 2005.

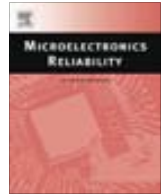
- [65] D. Lee, D. Choi, H. Choi, H. Sim, and H. Hwang, "Reversible resistance switching of the non-stoichiometric ZrO_x and $SrTiO_x$ for non-volatile memory applications," *Device Research Conference Digest*, pp. 45-46, 2005.
- [66] P. Shrestha, A. Ochia, K. P. Cheung, J. P. Campbell, H. Baumgart, G. Harris, S. Kar, S. VanElshocht, K. Kita, M. Houssa, and D. Misra, "High speed switching characteristics of $Pt/Ta_2O_5/Cu$ memristive switch," *Physics and Technology of high-k Materials*, vol. 41, issue 3, pp. 461-467, 2011.
- [67] Q. Liu, W. Guan, S. Long, M. Liu, S. Zhang, Q. Wang, and J. Chen, "Resistance switching of Au-implanted- SrO_2 film for non-volatile memory application," *Journal of Applied Physics*, vol. 104
- [68] X. Chen, N. Wu, and A. Ingtiev, "Perovskite RRAM devices with Metal/Insulator/PCMO/Metal heterostructures," *6th Annual Non-Volatile Memory Technology Symposium*, pp. 125-128, 2005.
- [69] M. Y. Chan, T. Zhang, V. Ho, P. S. Lee, "Resistive switching effects of HfO_2 high-k dielectric," *Microelectronics Engineering*, vol. 85, pp. 2420-2424, 2008.
- [70] C. Y. Lin, C. Y. Liu, C. C. Lin, T. Y. Tseng, "Current status of resistive nonvolatile memories", *Journal of Electro ceramics*, vol. 21, issue 1-4, pp. 61-66, 2008.
- [71] S.Y. Huang, T.C. Chang, M.C. Chen, S.M. Sze, M.J. Tsai, "Investigation of resistive switching properties in Sm_2O_3 memory devices," Non-Volatile Memory Technology Symposium (NVMTS), 11th Annual, 2011.
- [72] S. Kubotsch, M. Sowinska, T. Schroeder, C. Wenger, C. Vallee, P. Gonon, C. Mannequin, V. Jousseume, and H. Grampeix, "Resistive switching of HfO_2 -based Metal-Insulator-Metal diodes: Impact of the top electrode material," *Thin Solid Films*, vol. 520, issue 14, pp. 4551-4555, 2012.
- [73] C. B. Lee, B. S. Kang, A. Benayad, M. J. Lee, S. E. Ahn, K. H. Kim, G. Stefanovich, Y. Park, and I. K. Yoo, "Effects of metal electrodes on the resistive memory switching properties of NiO thin films," *Applied Physics Letters*, vol. 93, issue 4, 2008.
- [74] R. Waser, R. Dittmann, G. Staoikoc, and K. Szot, "Redox-based resistive switching memories – nanoionic mechanisms, prospects, and challenges," *Advanced Materials*, vol. 21, issue 25-26, pp. 2632-2663, 2009.
- [75] E. Lortscher, J. W. Ciszek, J. Tour, and H. Riel, "Reversible and controllable switching of a single-molecule junction," vol. 2, issue 8-9, pp. 973-977, 2006.
- [76] J. Ouyang, C. W. Chu, C. R. Szmanda, L. Ma, and Y. Yang, "Programable polymer thin film and non-volatile memory device," *Nature Materials*, vol. 3, issue 12, pp. 918-922, 2004.
- [77] R. A. Rao, R. F. Steimle, M. Sadd, C. T. Swift, B. Hradsky, S. Straub, T. Merchant, M. Stoker, S. G. H. Anderson, M. Rossow, J. Yater, B. Acred, K. Harber, E. J. Prinz, B. E. White Jr., and R. Muralidhar, "Silicon nanocrystal based memory devices for NVM and DRAM applications," *Solid-State Electronics* vol. 48, issue 9, pp. 1463-1473, 2004.

- [78] M. Colle, M. Buchel, D. M. de Leeuw, and M. Dago, "Switching and filamentary conduction in non-volatile organic memories," *Organic Electronics*, vol. 7, issue 5, pp. 305-312, 2006.
- [79] R. Bez, A. Pirovano, "Non-volatile memory technologies: emerging concepts and new materials," *Materials Science in Semiconductors Processing*, vol. 7, issue 4-6, pp. 349-355, 2004.
- [80] T. Mikolajick, C. Dehm, W. Hartner, I. Kasko, M. J. Kastner, N. Nagel, M. Moert, and C. Mazure, "FeRAM technology for high density applications," *11th Workshop on Dielectrics in Microelectronics*, vol. 41, issue 7, pp. 947-950, 2001.
- [81] C. Schindler, I. Valov, and R. Waser, "Faraday currents during electroforming of resistively switching Ag-Ge-Se type electrochemical metallization memory cell," *Physical Chemistry Chemical Physics*, vol. 11, pp. 5974-5079, 2009,
- [82] R. Waser, and M. Aono, "nanoionics-based resistive switching memories," *Nature Materials*, vol. 6, issue 11, pp. 833-840, 2007.
- [83] J. McPherson, J. Y. Kim, A. Shanware, and H. Mogul, "Thermochemical description of dielectric breakdown in high dielectric constant materials," *Applied Physics Letters*, vol. 82, issue 13, pp. 2121-2123, 2003.
- [84] W. Guan, S. Long, Q. Liu, M. Liu, and W. Wang, "Nonpolar nonvolatile resistive switching in Cu doped ZrO₂," *IEEE Electron Device Letters*, vol. 29, No. 5, pp. 434-435, 2008.
- [85] C. H. Lee, S. H. Hur, Y. C. Shin, J. H. Choi, D. G. Park, and K. Kim, "Charge-trapping device structure of SiO₂/SiN/high-k dielectric Al₂O₃ for high-density flash memory," *Applied Physics Letters*, vol. 86, issue 15, 2005.
- [86] H. Y. Lee, P. S. Chen, T. Y. Wu, Y. S. Chen, C. C. Wang, P. J. Tzeng, C. H. Lin, F. Chen, C. H. Lien, and M. J. Tsai, "Low power and high speed bipolar switching with a thin Ti buffer layer in robust HfO₂ based RRAM," *IEEE International Electron Devices Meeting*, pp. 297-300, 2008.
- [87] Y. H. Tseng, C. E. Huang, C. H. Kuo, Y. D. Chih, J. L. Chrong, "High density and ultra small cell size of contact ReRAM (CR-RAM) in 90nm CMOS logic technology and circuits," *IEEE International Electron Devices Meeting*, pp. 1-4, 2009.
- [88] "International Technology Roadmap for Semiconductors. Semiconductor Industry Association", 2009. *Webside*. <http://www.itrs.net/Links/2009ITRS/Home2009.htm>
- [89] M. Krasich, "Accelerated reliability demonstration and assurance test design," *Reliability and Maintainability Symposium, 2010 Proceedings - Annual*, pp. 1-6, 2010.
- [90] A. Martin, P. O'Sullivan, and A. Mathewson, "Dielectric reliability measurements methods: a review," *Microelectronics Reliability*, vol. 38, pp. 37-72, 1998.
- [91] S. Sahhaf, R. Degraeve, P. J. Roussel, T. Kauerauf, B. Kaczer, and G. Groeseneken, "TDDDB Reliability prediction based on the statistical analisis of hard breakdown

- including multiple soft breakdown and wear-out,” *IEEE International Electron Device Meeting*, pp. 501-504, 2007.
- [92] E. Miranda, E. O’Connor, G. Hughes, P. Casey, K. Cherkaoui, S. Monaghan, R. Long, D. O’Connell, and P. K. Hurley, “Degradation dynamics and breakdown of MgO gate oxides,” *Microelectronics Engineering*, vol. 86, pp. 1715-1717, 2007.
- [93] Keithley User’s manual, “Model 4200 Semiconductor Characterization System,” *Reference Manual 4200-901-01 Rev. G / March*, 2007. www.keithley.com
- [94] E. Y. Wu, J. Suñé, and W. Lai “On the Weibull shape factor of intrinsic breakdown of dielectric films and its accurate experimental determination. Part II: experimental results and the effects of stress conditions,” *IEEE Transactions on Electron Devices*, vol. 49, pp. 2141-2150, 2007
- [95] W. H. Liu, K. L. Pey, X. Wu, N. Raghavan, A. Padovani, L. Larcher, L. Vandelli, M. Bosman, and T. Kauerauf, “ Threshold shift observed in resistive switching in metal-oxide-semiconductor transistors and the effect of forming gas anneal,” *Applied Physics Letters*, vol. 99, issue 23, 2011.
- [96] R. Rodríguez, M. Nafría, E. Miranda, J. Suñé, and X. Aymerich, “A new approach to analyze the degradation and breakdown of thin SiO₂ films under static and dynamic electrical stress,” *IEEE Electron Device Letters*, vol. 20, issue 7, pp. 317-319, 1999.
- [97] J. Martín-Martínez, B. Kaczer, J. Boix, N. Ayala, R. Rodríguez, M. Nafría, X. Aymerich, P. Zuber, B. Dierickx, and G. Groeseneken, “Circuit-design oriented modelling of the recovery BTI component and post-BD gate currents,” *Proceedings of the 2009 Spanish Conference on Electron Devices*, pp. 156-159, 2009.
- [98] M. Porti, M. Nafría, M. C. Blum, X. Aymerich, and S. Sadewasser, “Breakdown-induced negative charge in ultrathin SiO₂ films measured by atomic force microscopy,” *Applied Physics Letters*, vol. 81, issue 19, pp. 3615-3617, 2002.
- [99] S. Y. Chen, J. F. Chen, J. R. Lee, W. K. Ming, C. M. Liu, and S. L. Hsu, “Anomalous Hot-Carrier-Induced increase in saturation-region drain current in n-Type lateral diffused Metal-Oxide-Semiconductor Transistors,” *IEEE Transactions on Electron Devices*, vol. 55, issue 5, pp. 1137-1142, 2008.
- [100] Mohan V. Dunga, Xuemei (Jane) Xi, Jin He, Weidong Liu, Kanyu M. Cao, Xiaodong Jin, Jeff J. Ou, Mansun Chan, Ali M. Niknejad, Chenming Hu, “User’s Manual BSIM4.6.0 MOSFET Model,” cap. 15, 2006.
http://www-device.eecs.berkeley.edu/bsim/Files/BSIM4/BSIM460/doc/BSIM460_Manual.pdf
- [101] Y. C. Chen, W. C. Chien, Y. Y. Lin, F. M. Lee, K. Y. Hsieh, and C. Y. Lu, “Cu-based and WO_x-based resistive switching memories (ReRAMs) for embedded and stand-alone applications,” *10th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, pp. 1065-1068, 2010.
- [102] G. H. Lien, Y. S. Chen, H. Y. Lee, P. S. Chen, F. T. Chen, and M. J. Tsai, “The highly scalable and reliable hafnium oxide ReRAM and its future challenges,” *10th IEEE*

International Conference on Solid-State and Integrated Circuit Technology (ICSICT), pp. 1084-1087, 2010.

- [103] C. G. Almudever, A. Rubio, A. Crespo-Yepes, J. Martín-Martínez, M. Nafría, and R. Rodríguez, “Method for operating a transistor, electronic device and reconfigurable processing achitecture”, *European patent application*, Patent No. 10016028.2–2210, year 2011.
- [104] C. G. Almudever, A. Rubio, J. MArtín-Martínez, A. Crespo-Yepes, R. Rodríguez, and M. Nafría, “Shape-shifting digital hardware concept: Towards a new Adpatative Computing System”, 2012 NASA/ESA Conference on Adaptative Hardware and Systems, pp. 167-173, (AHS 2012).



Reversible dielectric breakdown in ultrathin Hf based high-*k* stacks under current-limited stresses

A. Crespo-Yepes*, J. Martin-Martinez, R. Rodriguez, M. Nafria, X. Aymerich

Department of Electrical Engineering, Universitat Autònoma de Barcelona (UAB), 08193 Bellaterra, Spain

ARTICLE INFO

Article history:

Received 18 June 2009

Available online 6 August 2009

ABSTRACT

The effects of a current-limited breakdown (BD) on the post-BD current of MOS capacitors with a thin high-*k* dielectric stack have been analysed. A strong current reduction after BD and, consequently, a partial recovery of the insulating properties of the dielectric stack is observed. The similarities with the resistive switching phenomenon observed in MIM structures for memory applications are discussed.

© 2009 Elsevier Ltd. All rights reserved.

1. Introduction

Deep submicron technologies, which contain high-*k* dielectrics as gate oxide in MOSFETs, are prone to several failure mechanisms. Among them, dielectric breakdown (BD) could be the cause of a strong circuit lifetime limitation and/or power consumption increase. Although the phenomenon has been extensively studied [1,2], its implications from the circuit point of view are not well established yet [3,4]. In this regard, current-limited stresses (CLS) have been suggested to better reproduce the operation conditions of devices within a circuit, since they can take into account the limited current capability of MOSFETs, who, within a circuit, will actually supply the post-BD gate leakage. When SiO₂ based devices were subjected to CLS: (i) the post-BD current was found to be lower than under an equivalent non-limited current stress [5] and (ii) BD was demonstrated to be a reversible phenomenon [6]. However, in the last decade, BD has been always treated as an irreversible mechanism.

In this work, high-*k* based MOS structures have been subjected to CLS and the post-BD gate current analysed. We have observed that the dielectric conductivity after BD can be switched from a high conductivity state to a low conductivity state. The phenomenology of the BD reversibility has been described in detail. In particular, the influence of the stress current limit, and the gate voltage polarity involved in the BD reversibility process has been analysed. Finally, the similarities with the resistive switching (RS) effects in metal–insulator–metal structures for memory applications [7] are discussed.

2. Experimental

The samples used in this work were MOS capacitors (n- and p-type Si substrate) with an area of 25 μm². The gate dielectric stack (EOT = 1.4 nm) was formed by a HfSiON film (physical thickness of 2.9 nm, 60% Hf) on top of a 1.2 nm thick SiO₂ interfacial layer. FUSI was used as gate electrode. Another set of n-type MOS capacitors with aluminium gate and dielectric stack formed by 3.5 nm HfO₂ and 1.4 nm SiO₂ interfacial layer (EOT = 1.9 nm) was also used. The samples were stressed until BD by applying ramped voltage stresses (RVS) or constant voltage stresses (CVS). In both cases, the stress voltage was applied to the gate, with the substrate terminal grounded. During the stresses, the current was limited using the compliance of the measurement equipment. For comparison, in some devices the BD was provoked without current limit. Before the CVS stresses, a low ramped voltage was applied to measure the *I*–*V* curve of the fresh device (note that during the RVS, the fresh *I*–*V* characteristics is simultaneously obtained). After the stress, two monitoring post-BD *I*–*V* curves, obtained without current limitation, were measured to study the post-BD current properties. The observed phenomenology was found to be independent of the MOS structure materials, so that we will focus our attention on the FUSI/HfSiON/SiO₂/Si structures.

3. BD reversibility

First we have analysed the post-BD behaviour of the device when current-limited RVS (CL-RVS) were used to induce the stack BD. Fig. 1 shows typical *I*–*V* curves measured on a n-type substrate capacitor (similar behaviour is observed on p-type substrate structures). Curve *I*_F corresponds to the *I*–*V* characteristic measured during the CL-RVS. In this case, the voltage was swept

* Corresponding author. Tel.: +34 935813521; fax: +34 935812600.
E-mail address: albert.crespo@uab.es (A. Crespo-Yepes).

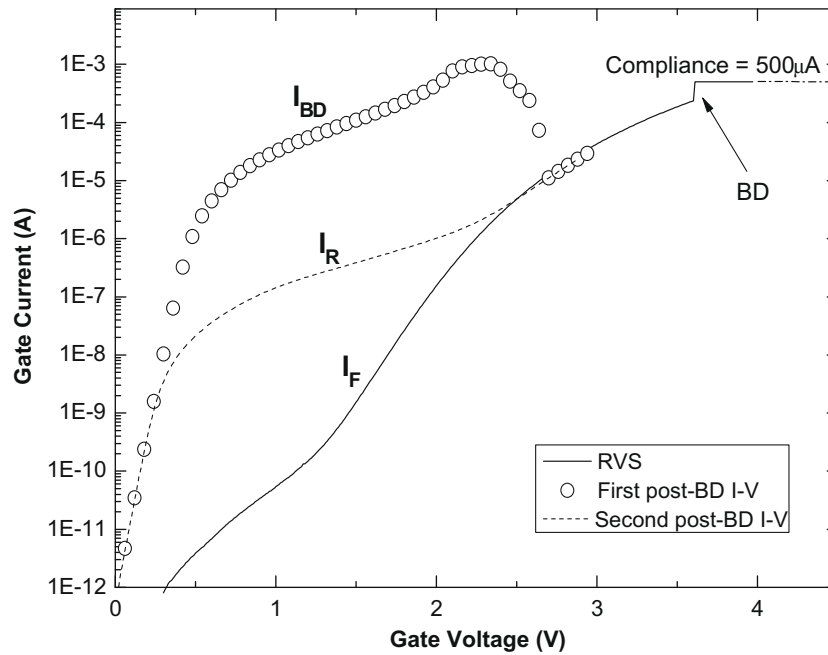


Fig. 1. I - V curve measured during a current-limited ramped voltage stress that induces the BD (I_F) and two consecutive post-BD I - V characteristic (I_{BD} and I_R). At a determined voltage, the current in the first post-BD I - V curve (I_{BD}) decreases suddenly. At low fields, the current in the second post-BD I - V curve (I_R) is lower than in the first post-BD one (I_{BD}) but larger than in the fresh device (I_F). However, at high field, the three curves overlap.

until 4 V and the instrument current compliance was set to 500 μ A. The BD event can be detected as a fast current increase at ~ 3.6 V (obviously, below this voltage, the I - V characteristic is indicative of the electrical properties of the fresh device). After BD, two consecutive post-BD I - V curves (I_{BD} and I_R) were registered without limiting the current. Curve I_{BD} (open circles in Fig. 1) corresponds to the first measured post-BD I - V curve. As expected, for low enough gate voltages, the current is much larger than the one obtained in the fresh sample (approx. six orders of magnitude at 1 V) due to the BD induced during the previous CL-RVS. However, surprisingly, at a given voltage (~ 2.4 V), the current starts decreasing and, at 2.65 V, it is two orders of magnitude lower, recovering the current level observed before BD (curve I_F). Curve I_R corresponds to the second measured post-BD I - V curve. For voltages below 2.4 V, the current is larger than in the fresh capacitor (I_F), but much lower than the one shown in the first post-BD I - V characteristic (I_{BD}), which indicates a partial recovery of the dielectric insulating properties. For larger voltages, I_R , I_{BD} and I_F overlap, suggesting that tunnelling through the whole device area controls the gate current.

In conclusion, after the stack BD, below 2.4 V, two different states are distinguished: a high (I_{BD}) and a low (I_R) conductivity state. In our measurements, the change between the high to the low conductivity state takes place when I_{BD} slightly exceeds the current compliance value of the current-limited stress. On the other hand, the dielectric BD, that brings the sample to the high conductivity state, is always produced at a voltage larger than the one for which the decay of the current from I_{BD} to I_R is observed. If the stress-monitor sequence is repeated, the switching between the two conductivity states is again obtained. However, if BD is induced by RVS without fixing a current limit, the BD reversibility is not observed. This result indicates that the current compliance set during the stress that creates the BD path is a fundamental factor to observe the current recovery. Fig. 1 represents the typical behaviour of a set of samples, although the particular voltages at which the conductivity states changes (from low-to-high or high-to-low) vary from sample to sample.

4. Current limit dependence

The dependence of the post-BD conduction on the current limit fixed during the stress has been analysed. To do so, the BD was induced during a current-limited CVS stress (CL-CVS). The current compliance was varied from 50 μ A to 500 μ A and a stress voltage of 3 V was used. The time-to-breakdown measured on 30 devices was in the ~ 10 –1000 s range. Two consecutive post-BD I - V curves, without current limitation, were measured afterwards. The current values at 1 V on the two post-BD characteristics (I_{BD} and I_R , as those in Fig. 1) have been chosen as the parameters which are indicative of the conductivity of the two states. No correlation between these currents and the time-to-breakdown has been found. Fig. 2 shows I_{BD} (high conductivity state) and I_R (low conductivity state) measured at 1 V after the 3 V CL-CVS, as a function of the compliance limit. For comparison, the current measured after non-limited stresses is also included. The dotted line indicates the fresh current value, I_F , at 1 V. On average, the high post-BD current, I_{BD} (crosses in Fig. 2), slightly increases with the current compliance, showing a small data dispersion. Contrarily, the variability of I_R (low conductivity) is much larger. In addition, no clear dependence of I_R with the stress current limit can be inferred.

The results plotted in Fig. 2 confirm the presence of two conductivity states in the gate dielectric, whose conductivity differs, on the average, in approx. 2 orders of magnitude at 1 V, between I_{BD} and I_R . In some cases, differences of four orders of magnitude are observed. Note that, when the BD is induced during a non-limited current stress the two conductivity states can not be distinguished and the measured current is larger than I_{BD} obtained under CL-CVS.

It must be emphasized that the high conductivity state is very stable, since it does not depend on the time elapsed between the BD event and the measurement of the I_{BD} post-BD curve. This can be concluded from Fig. 3, where the voltage applied by the equipment during the CL-CVS stress (450 s long) is shown. When BD takes place and the percolation path [8] is created, the voltage decreases to maintain the current at the value fixed by the compli-

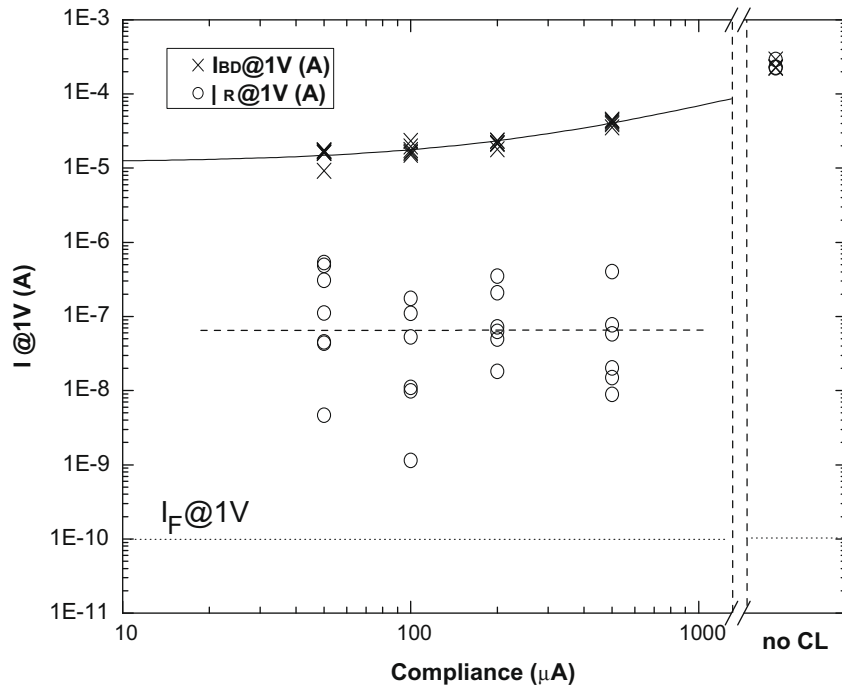


Fig. 2. I_{BD} (crosses) and I_R (circles) measured at 1 V after a 3 V CL-CVS as a function of the current compliance. The dotted line indicates the fresh current at the same voltage. The currents after non-limited current stresses are also shown.

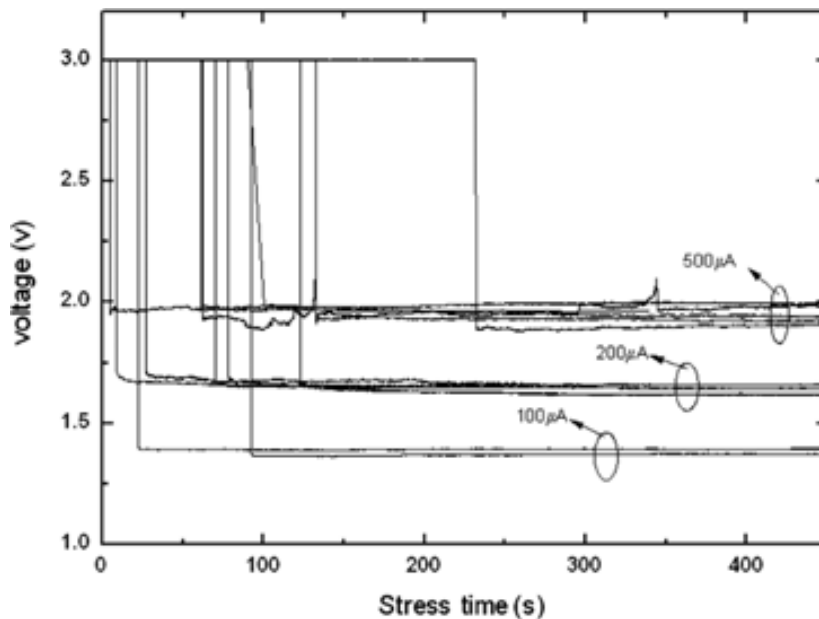


Fig. 3. Gate voltage evolution with time during CL-CVS stresses. The sudden voltage drop indicates the creation of the BD percolation path. Afterwards, the stress turns to CCS with a stress current imposed by the compliance. During the CCS the gate voltage remains stable, and no additional degradation is induced of the percolative path.

ance. So that, after the BD the CL-CVS stress automatically turns to a constant current stress (CCS) in which the stress current is imposed by the compliance. Note that, despite the different duration of the CCS stress (determined by the time-to-breakdown of the sample and the time until the I_{BD} measurement) during this CCS the gate voltage remains constant with the stress time (Fig. 3) suggesting that no or negligible degradation is being induced in the percolative path previously created. This can be observed for different current compliance values.

5. Voltage polarity dependence

In the previous experiments, CL-RVS or CL-CVS positive stresses were applied to create the BD path, and the post-BD I - V curves were obtained at positive voltage too. In this section, we have analysed the dependence of the post-BD conduction on the polarities of the stress-sense voltages. Fig. 4 shows I_{BD} and I_R measured on n-type MOS capacitors subjected to a positive CL-CVS (3.2 V, 500 μ A) until BD, followed by a negative (solid circles) and positive

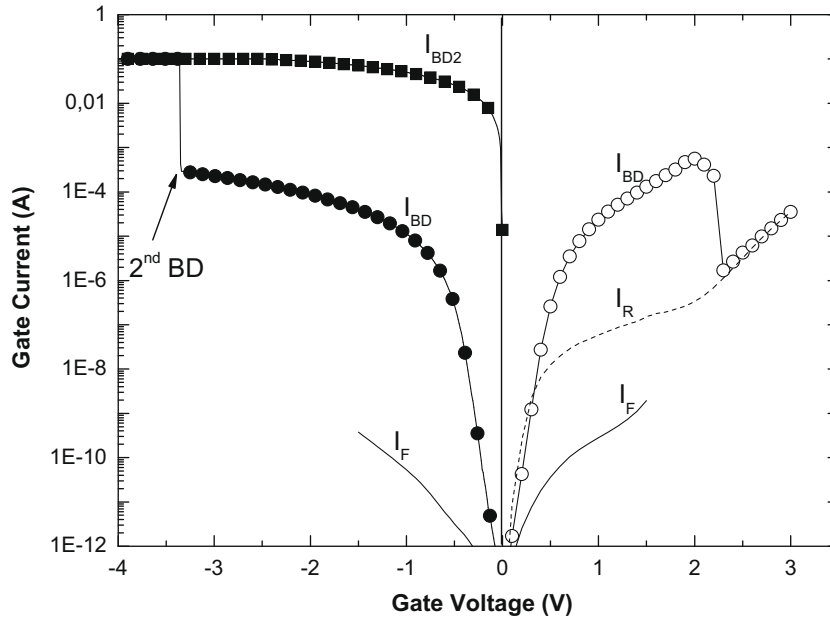


Fig. 4. I_{BD} and I_R curves measured after a positive CL-CVS during positive (right) and negative (left) ramped voltages. BD reversibility is observed when a positive ramp voltage is used (open circles) but, when the voltage ramp is negative (solid circles), BD becomes irreversible.

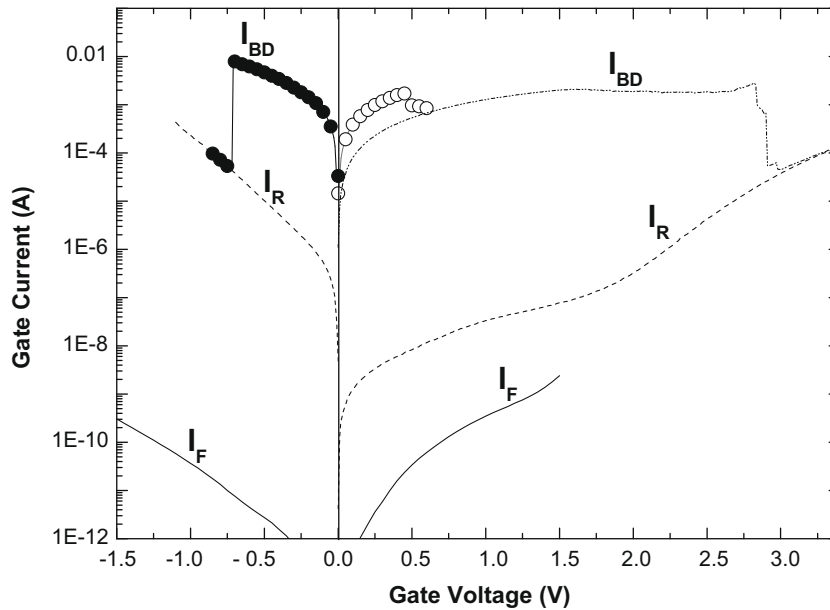


Fig. 5. I_{BD} and I_R curves measured after subjecting n-type MOS capacitors to a negative CL-CVS. In this case, the BD reversibility is observed independently of the monitor voltage polarity (open and solid circles).

(open circles) post-BD ramped voltages. The fresh currents for both monitor polarities, I_F (continuous lines), are also shown, for comparison.

Fig. 4 shows that if the CL-CVS and the subsequent post-BD ramped voltage are positive, the BD reversibility is observed: I_{BD} suddenly drops and the current during the following ramped voltage is smaller (dashed line, I_R). However, when a negative post-BD ramped voltage is applied, i.e., stress and sense voltage polarities are opposite (I_{BD} , solid circles) no reversibility is observed and the sample reaches the final BD, as the subsequent $I-V$ curve (I_{BD2} , solid squares) confirms. If the polarity of the CL-CVS is nega-

tive (Fig. 5), independently of the polarity of the post-BD ramp voltage (negative or positive) the BD reversibility is observed (Fig. 5). The results shown in Figs. 4 and 5 have been observed in around 20 devices at different combination of stress/post-BD ramp polarities.

Therefore, we can conclude that the BD reversibility depends on the polarities of the stress and sense voltages (Table 1): whereas for the case of same polarity, the BD reversibility is always observed, in one of the opposite cases, BD is found to be irreversible. The MOS capacitors with p-type substrate behave equivalently (not shown here) to those with n-type substrate.

Table 1

The observation of the BD reversibility depends on the polarities of the current-limited stress and the post-BD monitor ramp voltage. The ticks indicate the cases that show BD reversibility.

Post-BD ramp polarity	Stress polarity	
	Positive	Negative
Positive	✓	✓
Negative	×	✓

6. Discussion

The results described above have shown that, as observed for SiO₂ devices, BD in high-*k* gate stacks could be a reversible phenomenon. However, this reversibility can be only observed when the current during the BD transient is externally limited (as would happen in a circuit environment). This is, to our knowledge, the first time that BD reversibility is reported in ultrathin MOS structures based in high-*k*, so that, a lot of work will be needed to understand the physical mechanisms involved. As a starting point in this direction the BD reversibility has been compared with other phenomenon observed in Metal–(thick) Insulator–Metal structures: the resistive switching (RS) [9]. The RS has gained recently a lot of interest in the scientific community because of its possible application in future memory devices. In the RS, as for the BD reversibility observed here, two different conductivity states are distinguished: a low-resistivity state (LRS, I_{BD} in our case) and a high resistivity state (HRS, I_R in this work). However, this is not the only similarity observed between the RS and BD reversibility: [9]. Using the resistive switching terminology: (i) in both phenomena a 'forming process' is needed, which brings the structure to the low-resistivity state by applying a high-voltage stress. In our case, this forming process would correspond to the percolation path creation during the stress (related to generated traps), which qualitatively can be understood as the formation of a filamentary conductive path though the dielectric proposed by some authors for the RS phenomena [9] (ii) The switching between the low and high conductivity states is achieved by applying a threshold voltage. The threshold voltage needed to switch from the HRS (I_R) to the LRS (I_{BD}) is larger than the one needed for the switching from LRS (I_{BD}) to HRS (I_R) change. (iii) The set of a current limitation during the stress is a key parameter to observe the current switching in both RS [9] and BD reversibility. (iv) The switching is always possible when the two applied voltages (stress and sense) have the same polarity, as in unipolar RS, which is compatible with a filamentary conducting mechanism [7]. In our case, the HRS is associated to the opening of the BD conducting path, but further work is needed to determine the origin of the LRS. In particular, the analysis of the stability of the two conductivity states can help to clarify the mechanisms involved in the BD of the high-*k* stack. The RS

phenomenon has been observed in a wide variety of transition metal oxides in MIM structures [10], and only very recently it has been observed in thick (22 nm) HfO₂ MIS structures [11]. However, to our knowledge this is the first time that this phenomenon is reported in standard Hf based ultrathin high-*k* MOS structures for logic applications and discussed in the context of reliability.

From the circuit point of view, it has been demonstrated that to consider one BD as device failure criterion can be too much restrictive [3]. For this reason the leakage current increase is commonly used [12] to evaluate the device reliability. In this sense, the observed BD reversibility implies that, after BD, the dielectric conductivity can be considerably decreased. Therefore, an appropriate monitoring and control of the conductivity state of the thin high-*k* stacks could reduce the leakage current after BD and increase the circuit lifetime.

Acknowledgements

This work has been partially supported by the Spanish MICINN (TEC2007-61294), the FPI program (BES-2005-10870) and the DURSI of the Generalitat de Catalunya (2005SGR-00061). The authors wish to thank IMEC for sample provision.

References

- [1] Degraeve R, Aoulaiche M, Kaczer B, Roussel P, Kauerauf T, Sahhaf S, et al. Review of reliability issues in high-*k*/metal gate stacks. In: IPFA proceedings; 2008. p. 1–6.
- [2] Ribes G, Mitard J, Denais M, Bruyere S, Monsieur F, Parthasarathy C, et al. Review on high-*k* dielectrics reliability issues. IEEE Trans Dev Mater Reliab 2005;5:5–19.
- [3] Kaczer B, Degraeve R, Rasras M, Van K, de Mierop PJ, Roussel G, et al. Impact of MOSFET gate oxide breakdown on digital circuit operation and reliability. IEEE Trans Electron Dev 2005;49:500–6.
- [4] Fernandez R, Martin-Martinez J, Rodriguez R, Nafria M, Aymerich XH. Gate oxide, wear-out and breakdown effects on the performance of analog and digital circuits. IEEE Trans Electron Dev 2008;55:997–1004.
- [5] Linder BP, Stathis JH, Wachnik RA, Wu EY, Cohen SA, Ray A, et al. Gate oxide breakdown under current-limited constant voltage stress. In: VLSI technology, 2000. Digest of technical papers; 2002. p. 214–5.
- [6] Nafria M, Sune J, Aymerich X. Exploratory observations of postbreakdown conduction in polycrystalline-silicon and metal-gated thin-oxide metal-oxide-semiconductor capacitors. J Appl Phys 1993;73:205–15.
- [7] Waser R, Aono M. Nanoionics-based resistive switching memories. Nat Mater 2007;6:833–40.
- [8] Degraeve R, Roussel PH, Groeseneken G, Meas HE. A new analytic model for the description of the intrinsic oxide breakdown statistics of ultra thin oxides. Microelectron Reliab 1996;36:1639–42.
- [9] Guan WH, Long SB, Liu Q, Liu M, Wang W. Nonpolar nonvolatile resistive switching in Cu doped ZrO₂. IEEE Electron Dev Lett 2008;29:434–7.
- [10] Sawa A. Resistive switching in transition metal oxides. Mater Today 2008;11:28–36.
- [11] Chan MY, Zhang T, Ho V, Lee PS. Resistive switching effects of HfO₂ high-*k* dielectric. Microelectron Eng 2008;85:2420–4.
- [12] Sahhaf S, Degraeve R, Roussel PJ, Kauerauf T, Kaczer B, Groeseneken G. TDDB reliability prediction based on the statistical analysis of hard breakdown including multiple soft breakdown and wear-out. In: IEDM digest of technical papers; 2007. p. 501–4.

Recovery of the MOSFET and Circuit Functionality After the Dielectric Breakdown of Ultrathin High- k Gate Stacks

A. Crespo-Yepes, J. Martin-Martinez, A. Rothschild, R. Rodriguez, M. Nafria, *Senior Member, IEEE*, and X. Aymerich, *Member, IEEE*

Abstract—The reversibility of the gate dielectric breakdown (DB) in ultrathin high- k dielectric stacks is reported and analyzed. The electrical performance of MOSFETs after the dielectric recovery is modeled and introduced in a circuit simulator. The simulation of several digital circuits shows that their functionality can be restored after the DB recovery.

Index Terms—CMOS circuits, dielectric breakdown (DB), DB reversibility, high- k , resistive switching.

I. INTRODUCTION

IN HIGHLY scaled technologies, the effect of the MOSFET gate dielectric breakdown (BD) on circuit functionality is not well understood yet [1]. Recently, we have reported a strong post-BD current reduction in MOS capacitors with ultrathin high- k dielectric stacks when the current during the BD transient is limited [2], suggesting that, as sometimes observed for SiO₂ [3]–[5], the BD in these devices is a reversible phenomenon. Since a current-limited (CL) BD can better represent the BD conditions of MOSFETs within circuits [6], investigation of the impact of the gate BD reversibility on transistors and circuit performance is mandatory. In this letter, we report the evidence of two conductivity states after dielectric BD in transistors with ultrathin high- k dielectric. The procedure to switch between both states is discussed, and the consequences of dielectric BD reversibility on the transistor characteristics and several circuit functionality are analyzed.

II. SAMPLES AND EXPERIMENTAL PROCEDURE

The transistors used in this work were pMOSFETs with FUSI gate electrode and area of 0.35 μm^2 . The gate dielectric stack (EOT = 1.9 nm) was formed by an HfSiON film (physical thickness of 2.9 nm, 60% Hf) on top of a 1.2-nm SiO₂ in-

terfacial layer. The samples were subjected to a sequence of CL stresses until reaching the dielectric BD, plus current non-limited stresses, following a measurement-stress-measurement (MSM) scheme (Fig. 1). The gate voltage was either ramped [ramp voltage stress (RVS)] or kept constant [constant voltage stress (CVS)] during the stresses, while the rest of the transistor terminals were grounded. I_G , I_D , and I_S were measured during the stress steps of the sequence. As monitors of the device performance, the transistor I_D - V_D and I_D - V_G characteristics of the fresh sample and those after the successive CL-RVS (or CL-CVS) and RVS (or CVS) stresses were registered.

III. BD REVERSIBILITY PHENOMENOLOGY

The MOSFET currents measured during the stresses, with or without current limit, have been studied. Fig. 2(a) corresponds to the gate currents during several cycles of RVS stress. Curve I_F (thick line) corresponds to the gate current registered during the first CL-RVS (fresh device). When dielectric BD occurs at V_{BD} , a fast current increase is observed until the current limit (0.5 mA in this case) is reached. The post-BD gate current (I_{BD}) obtained during the following RVS (without current limit) is, as expected, much larger than I_F . However, at a given voltage (V_R), I_{BD} suddenly decreases by several orders of magnitude. During the CL-RVS in the next cycle, at low voltages, the gate current (I_R) is larger than the fresh current (I_F) but lower than I_{BD} . This indicates a partial recovery of the insulator properties of the gate dielectric, suggesting that, in some conditions, BD in ultrathin high- k oxides is a reversible phenomenon, i.e., the BD path that was “opened” can be “closed.” If V_G continues increasing during the CL-RVS and V_{BD} is reached, BD is observed again, so that a high current level is measured. However, in the next RVS, after V_R , the current decreases again. This behavior can be observed for many iterations of the stress sequence. As an example, Fig. 2(a) shows the BD reversibility during the 1st, 60th, and 200th cycles. Moreover, the phenomenon is qualitatively repetitive from sample to sample. It must be emphasized that during the RVS, the voltage sweep is stopped immediately after V_R to avoid the occurrence of a new BD event. If a BD reappeared during the RVS, the BD would become irreversible (because the current is not limited), and the cycling would not be possible anymore [2]. These results indicate that, after a CL BD, two conductivity states are present in the dielectric: a high conductivity one (BD, with gate current I_{BD}) and a low one (R, with

Manuscript received February 24, 2010. Date of publication April 19, 2010; date of current version May 26, 2010. This work was supported in part by the Spanish MICINN (TEC2007-61294) and in part by the DURSI of the Generalitat de Catalunya (2009 SGR-783). The review of this letter was arranged by Editor A. Ortiz-Conde.

A. Crespo-Yepes, J. Martin-Martinez, R. Rodriguez, M. Nafria, and X. Aymerich are with the Departament d'Enginyeria Electrònica, Edifici Q, Universitat Autònoma de Barcelona (UAB), 08193 Barcelona, Spain (e-mail: Albert.Crespo@uab.es; javier.martin.martinez@uab.es; Rosana.Rodriguez@uab.es; Montse.Nafria@uab.es; xavier.aymerich@uab.es).

A. Rothschild is with the IMEC, 3001 Leuven, Belgium (e-mail: roths@imec.be).

Digital Object Identifier 10.1109/LED.2010.2045732



Fig. 1. Measurement sequence designed to analyze the dielectric BD reversibility. To limit the current during the CL stresses (CL-RVS or CL-CVS), the compliance of the measurement equipment was used.

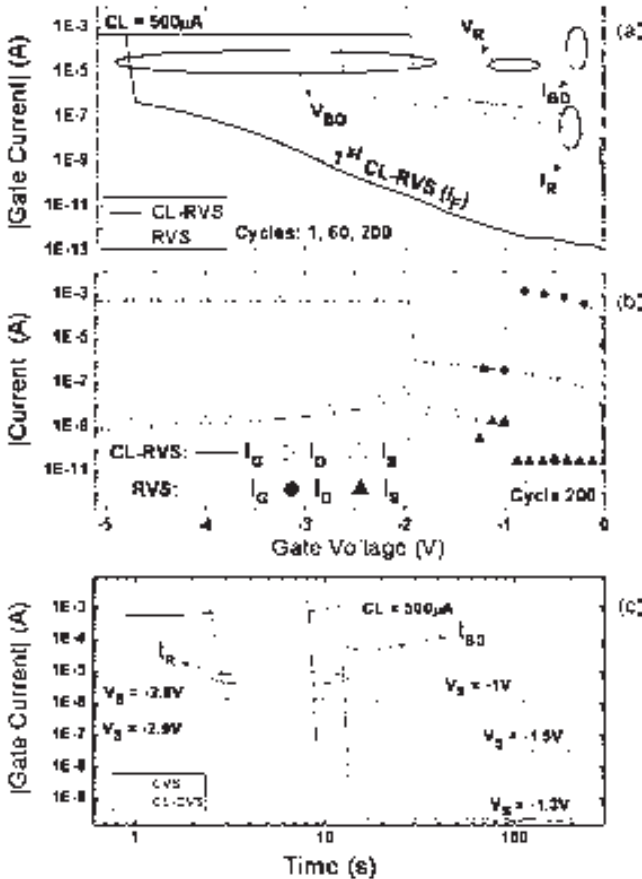


Fig. 2. (a) I_G - V_G curves measured in a pMOSFET after successive CL-RVS plus RVS iterations. A high current is registered after the CL BD (I_{BD}) which suddenly drops after V_R . During the CL-RVS in the next cycle, the gate current (I_R) is larger than the fresh current but lower than I_{BD} , which indicates a partial recovery of the dielectric properties. (b) Similar I_G and I_D indicate that the conductive path location does not change in the successive cycles when changing between BD and R states. (c) The dielectric BD reversibility can also be observed if a sequence of CL-CVS + CVS is applied.

gate current I_R). Switching between both states takes place when the two threshold voltages are reached (V_{BD} and V_R) and only if BD is produced under CL conditions. Fig. 2(b) shows all the currents through the device during the 200th CL-RVS plus RVS iteration. During the BD state ($I_G = I_{BD}$), $I_D \approx I_G$, which is indicative of a BD path located close to the drain [7]. This condition is also fulfilled during the R state ($I_G = I_R$) and is very stable during cycling, which suggests that the same BD path is controlling the stack conductivity during the BD and R states, which is smaller during the R state. Although this letter focuses on BD located close to the drain, because it is the most detrimental condition for the MOSFET performance [9], the same behavior is also observed for BD located in any

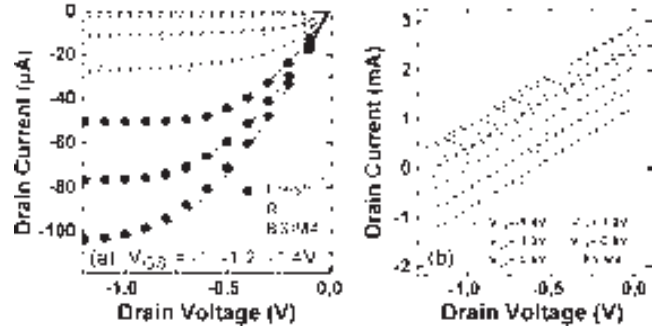


Fig. 3. (a) (Circles) Experimental and (lines) simulated I_D - V_D characteristic for (solid circles) a fresh and (open circles) recovered pMOS transistor. (b) (Symbols) Experimental and (lines) simulated I_D - V_D curves of the same device at the BD state. Dielectric BD took place close to the drain.

position along the channel. Once the BD path has been opened, switching between two different conductivity states in the dielectric can also be observed during CVS tests [Fig. 2(c)]. As an example, during an ~ -2.8 V CL-CVS, BD is also detected by a sudden current increase. After that, if a lower voltage CVS is applied, initially, the current is larger than the compliance level of the previous CL-CVS, but, at a given time, the current decreases drastically and the dielectric partially recovers its insulating properties. This behavior is also repetitive for several cycles. The strong similarities of this phenomenon with the resistive switching mechanism observed in MIM structures for memory applications must be emphasized [2], [8].

The BD reversibility effect on the performance of the transistor has been evaluated from the I_D - V_D and I_D - V_G monitor curves. Fig. 3(a) (solid circles) shows the I_D - V_D characteristic of a fresh transistor for different V_G . The I_D - V_D curve of the same transistor after a very hard dielectric BD located close to the drain [Fig. 3(b)] shows that, during the BD state, the transistor characteristics are completely distorted. However, if the sample is switched to the R state, the I_D - V_D curve is partially recovered [open circles in Fig. 3(a)]. Similar conclusions can be drawn for the I_D - V_G curves (not shown). These results indicate that switching to the R state restores the device functionality, although degraded.

IV. BD RECOVERY IN CIRCUITS

In order to transfer the BD reversibility effects on the transistor up to circuit level, they have been included in the SPICE model that describes the MOSFET performance. A ring oscillator and simple logic gates have been considered as examples. The fresh, BD, and recovered transistor characteristics have been described using a combination of the BSIM4 MOSFET compact model (to describe the channel current) plus the D-R

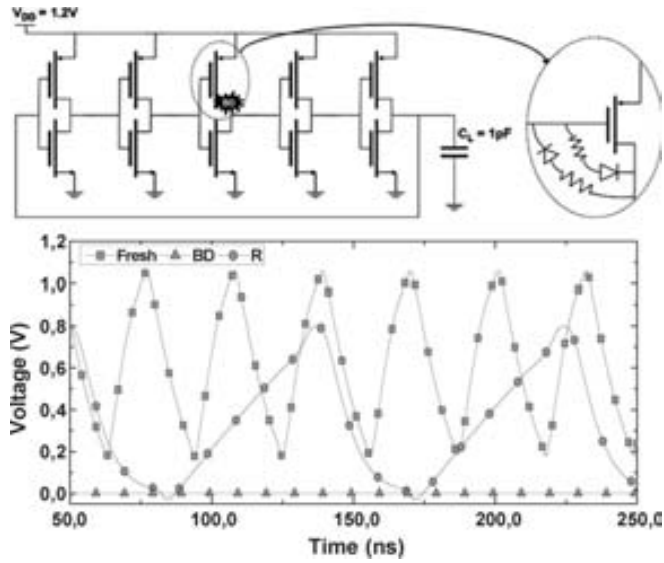


Fig. 4. (Top) Five-stage ring oscillator was simulated to analyze the effects of dielectric BD and recovery on the circuit functionality. BD has been considered to be located at the drain of the third stage pMOS transistor. The pMOS electrical characteristics have been described using (zoom) BSIM4 and D-R models [9]. (Bottom) Circuit response when the third stage pMOS transistor is (■) fresh, and working at (▲) BD or at (●) R states.

gate-current model (to account for the BD gate current) [9] (zoom in Fig. 4, top) with model parameters extracted from the experimental data. The modeled characteristics of transistors at the BD and R states (lines in Fig. 3) have been introduced in a circuit simulator to study the performance of a five-stage ring oscillator. The BD path has been considered to be located at the drain of the third stage pMOS (Fig. 4, top). The circuit output (Fig. 4, bottom) shows that, when at BD, the circuit does not oscillate anymore. However, when it is back to the R state, the circuit oscillates again but with an approximately two times lower frequency, which indicates that, after the dielectric recovery, the functionality of the circuit can be restored, although damaged. The functional recovery of the logic gates has been also observed. Table I summarizes the results obtained in inverters, NAND, and NOR gates, always considering that BD takes place in the drain of a pMOS transistor. For all the circuits under study, some of the outputs are erroneous after dielectric BD (shaded cells). However, the correct logic outputs are always restored when the transistor is switched to the R state.

V. CONCLUSION

In ultrathin high-*k* dielectric stacks of MOS devices, two post-BD conductivity states can be observed: BD and R, with the current during the BD state (I_{BD}) being larger than during the R state (I_R). The switching between both states takes place at threshold voltages V_{BD} and V_R and only if the current is limited during the BD transient. The location along the channel of the BD path remains constant during cycling, even in the R state, suggesting that the BD and R conductivity states are controlled by the same conductive path. When the dielectric switches back to the R state, both the isolation dielectric

TABLE I
OUTPUT LOGIC STATES OBTAINED FOR INVERTERS, NAND AND NOR GATES FOR FRESH TRANSISTORS (F) AFTER THE DIELECTRIC BD IN ONE OF THE pMOS TRANSISTORS OF THE CIRCUIT (BD) AND AFTER SWITCHING TO THE R STATE OF THE BROKEN TRANSISTORS (R). THE SHADED CELLS INDICATE WRONG VALUES OF THE OUTPUT AS A CONSEQUENCE OF THE BD. CORRECT LOGIC STATES ARE RESTORED WHEN THE GATE IS SWITCHED TO THE R STATE

Input		INV			NAND			NOR		
A	B	F	BD	R	F	BD	R	F	BD	R
0	0	1	0	1	1	0	1	1	0	1
1	0	0	1	0	1	1	1	0	0	0
0	1	-	-	-	1	0	1	0	1	0
1	1	-	-	-	0	0	0	0	0	0

properties and the transistor output characteristics are partially recovered. The MOSFET can be modeled independently of the dielectric conductivity state (BD or R) using a combination of the BSIM4 and D-R models with an adequate parameter set. This model has been included in a circuit simulator to analyze the effect of the dielectric BD recovery on the functionality of different logic gates. The simulations show that the circuit response, which sometimes can be wrong after BD, can be restored if the gate conductivity is switched to the R state. This result suggests that, after a gate BD event, the circuit functionality could be recovered, and consequently, depending on the failure criteria, the circuit lifetime is increased.

REFERENCES

- [1] B. Kaczer, R. Degraeve, M. Rasras, K. Van de Mierop, P. J. Roussel, and G. Groeseneken, "Impact of MOSFET gate oxide breakdown on digital circuit operation and reliability," *IEEE Trans. Electron Devices*, vol. 49, no. 3, pp. 500–506, Mar. 2002.
- [2] A. Crespo-Yepes, J. Martin-Martinez, R. Rodriguez, M. Nafria, and X. Aymerich, "Reversible dielectric breakdown in ultrathin Hf based high-*k* stacks under current limited stresses," *Microelectron. Reliab.*, vol. 49, no. 9–11, pp. 1024–1028, Sep.–Nov. 2009.
- [3] M. Nafria, J. Sune, and X. Aymerich, "Exploratory observations of post-breakdown conduction in polycrystalline-silicon and metal-gate thin-oxide metal–oxide–semiconductor capacitors," *J. Appl. Phys.*, vol. 73, no. 1, pp. 205–215, Jan. 1993.
- [4] E. Miranda, J. Sune, R. Rodriguez, M. Nafria, and X. Aymerich, "Switching events in the soft breakdown $I-t$ characteristic of ultra-thin SiO₂ layers," *Microelectron. Reliab.*, vol. 39, no. 2, pp. 161–164, Feb. 1999.
- [5] M. Depas, T. Nigam, and M. Heyns, "Soft breakdown of ultra-thin gate oxide layer," *IEEE Trans. Electron Devices*, vol. 43, no. 9, pp. 1499–1504, Sep. 1996.
- [6] B. P. Linder, J. H. Stathis, R. A. Wachnik, E. Wu, S. A. Cohen, A. Ray, and A. Vayshenker, "Gate oxide breakdown under current limited constant voltage stress," in *VLSI Symp. Tech. Dig.*, 2000, pp. 214–215.
- [7] R. Degraeve, B. Kaczer, A. De Keersgieter, and G. Groeseneken, "Relation between breakdown mode and breakdown location in short channel NMOSFETs and its impact on reliability specifications," in *Proc. Int. Reliab. Phys. Symp.*, 2001, pp. 360–366.
- [8] R. Waser and M. Aono, "Nanoionics-based resistive switching memories," *Nat. Mater.*, vol. 6, no. 11, pp. 833–840, Nov. 2007.
- [9] R. Fernandez, J. Martin-Martinez, R. Rodriguez, M. Nafria, and X. Aymerich, "Gate oxide wear-out and breakdown effects on the performance of analog and digital circuits," *IEEE Trans. Electron Devices*, vol. 55, no. 4, pp. 997–1004, Apr. 2008.

Injected Charge to Recovery as a Parameter to Characterize the Breakdown Reversibility of Ultrathin HfSiON Gate Dielectric

Albert Crespo-Yepes, Javier Martin-Martinez, Aude Rothschild, Rosana Rodríguez, Montserrat Nafria, and Xavier Aymerich

Abstract—The injected charge to recovery (Q_R) is presented as a parameter to characterize the dielectric breakdown (BD) reversibility in MOSFETs with an ultrathin high- k hafnium-based gate dielectric. The procedure to recover the dielectric is explained, and the dependences of Q_R on the current limit during BD, the polarity of the BD-recovery stresses, and the number of stress cycles are analyzed.

Index Terms—BD reversibility, CMOS, dielectric breakdown (BD), high- k , reliability, resistive switching (RS).

I. INTRODUCTION

GATE DIELECTRIC breakdown (BD) is one of the most important failure mechanisms in CMOS technologies [1], and it is characterized by a change of the insulator conductivity state from a low one (pre-BD state) to a higher one (post-BD condition) whose currents can differ in several orders of magnitude. Traditionally, the conductivity change due to the BD has been considered to be irreversible. However, several years ago, it was shown that, in SiO₂, in some occasions, the BD could be reversible [2], i.e., a low-conductivity state could be reached after the BD. More recently, we have reported the presence of two interchangeable conductivity states after BD in ultrathin Hf-based gate stacks [3], when the current during the BD transient is limited. This phenomenology has strong similarities with the resistive switching effect [4]–[6], typically observed in MIM structures with a thicker insulator (several tens of nanometers) [5] which, today, is having increasing interest for its applications in RRAM devices [6]. From the reliability point of view, the existence of two conductivity states indicates that the insulator properties of the dielectric can be at least partially recovered [7], [8], and consequently, a partial restoration of the device and circuit functionality is produced [8]. However, a better understanding of the reversibility of the dielectric breakdown phenomenon needs large modeling and characterization efforts [9].

Manuscript received August 2, 2010; revised October 27, 2010; accepted November 29, 2010. Date of publication December 10, 2010; date of current version March 9, 2011. This work was supported in part by the Spanish MICINN under Grant TEC2007-61294/MIC and in part by the Generalitat de Catalunya under Grant 2009SGR-783.

A. Crespo-Yepes, J. Martin-Martinez, R. Rodríguez, M. Nafria, and X. Aymerich are with the Departament d'Enginyeria Electrònica, Universitat Autònoma de Barcelona, 08193 Bellaterra, Spain.

A. Rothschild is with the IMEC, 3001 Leuven, Belgium (e-mail: Albert.Crespo@uab.cat).

Digital Object Identifier 10.1109/TDMR.2010.2098032

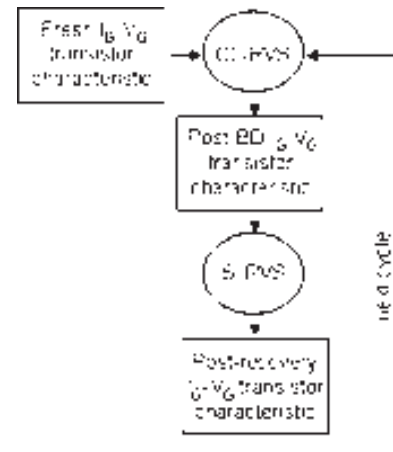


Fig. 1. Iterative stress-measurement sequence designed to analyze the BD reversibility.

In this paper, a methodology to study the BD reversibility is described, and the charge-to-recovery (Q_R) parameter is presented as a magnitude to characterize the phenomenon. The procedure to recover the low-conductivity state of the dielectric is explained, and the dependences of Q_R and gate current with some of the electrical parameters of the BD reversibility tests are analyzed.

II. SAMPLES AND EXPERIMENTAL PROCEDURE

The samples used in this paper were pMOSFETs with a FUSI gate electrode and a dielectric stack (EOT = 1.9 nm) formed by a HfSiON film (physical thickness of 2.9 nm, 60% Hf) on top of a 1.2-nm SiO₂ interfacial layer. The channel length of the transistors ranges from 1 to 0.15 μm , with a fixed channel width of 0.15 μm , which results in area values between $\sim 0.15 \mu\text{m}^2$ and $\sim 0.025 \mu\text{m}^2$.

A methodology to study the BD reversibility has been developed (see Fig. 1). Current-limited ramp voltage stresses (CL-RVSSs) were applied to the gate to provoke the BD, followed by a stepped ramp voltage stress (S-RVSS) [10] without current limitation, to recover the dielectric, following an iterative sequence, as shown in Fig. 1. During the S-RVSS, the gate voltage is increased by approximately 0.1 V every ~ 150 s. In all cases, the duration of the S-RVSS was 1200 s. Although the BD reversibility can be observed during constant-voltage stresses as well [8], S-RVSSs were chosen instead to warrant the BD

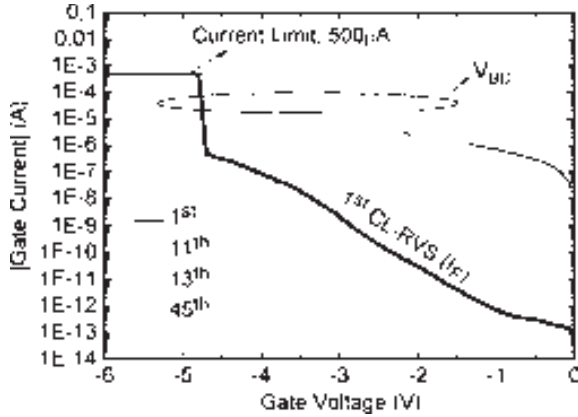


Fig. 2. I_G - V_G curves measured during the CL-RVSs that lead to the BD state after different cycles of the measurement sequence shown in Fig. 1. At V_{BD} , BD is produced, and a high current level is reached (BD state).

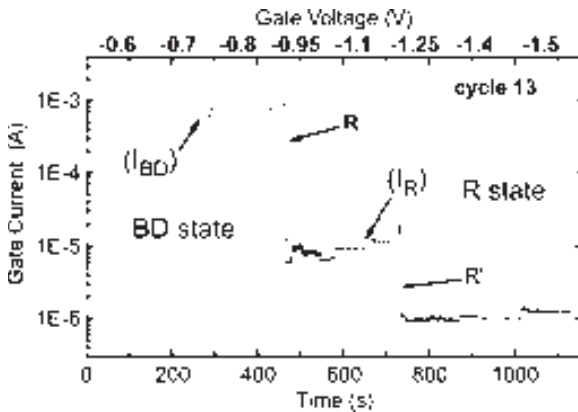


Fig. 3. I_G obtained during the 13th cycle S-RVS of the sequence shown in Fig. 1. The BD was provoked during the previous CL-RVS. Different recoveries (R and R') can be clearly observed.

recovery in a reasonable testing time because the selection of the voltage at which the recovery can be observed during the stress time is critical. Negative voltage CL-RVSs were always applied, whereas the polarity of the S-RVS could be either positive or negative. The fresh I_G - V_G transistor characteristic was registered after each stress to observe the differences in the gate current between both states: after breakdown (BD) and after recovery (R).

III. BD REVERSIBILITY PHENOMENOLOGY

Fig. 2 shows the typical gate currents measured during the CL-RVSs used to provoke the BD. The curve I_F corresponds to the gate current registered during the first CL-RVS (thick line). At the breakdown voltage (V_{BD}), the current grows quickly up to the current limit (500 μ A in this case), and the BD state is reached.

A typical example of the gate current (I_G) evolution during the S-RVS is shown in Fig. 3, which corresponds to I_G during the S-RVS of the 13th cycle of the sequence. The voltage during the S-RVS, which starts at -0.6 V and decreases every 150 s until reaching -1.5 V, is also indicated in the upper axis of the figure. Initially, I_G is high (~ 400 μ A) due to the breakdown provoked during the previous CL-RVS and increases with

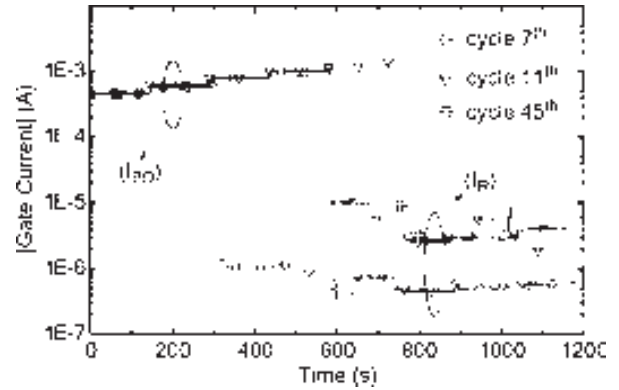


Fig. 4. I_G evolution during the 7th, 11th and 45th S-RVS of the sequence in the same sample.

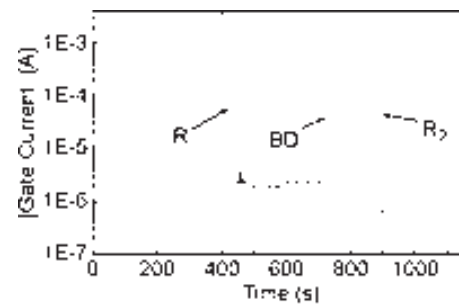


Fig. 5. Example of I_G evolution during S-RVS. New BD and recovery (R_2) events can appear during the S-RVS after the first recovery (R).

the stress voltage at each voltage step (BD state). However, after ~ 420 s of S-RVS, when $V_G = -0.95$ V, I_G suddenly decreases by three orders of magnitude, i.e., the dielectric BD recovery (R) is observed, which indicates that the previously “opened” BD path has been “closed” [8]. In some cases, as in Fig. 3, new recoveries can be observed (R'). If a new CL-RVS is applied after the S-RVS, the current trend shown in Fig. 2 is again observed (thin curves), and a high current level will be measured in the next S-RVS until a new recovery is reached. This behavior is observed for many iterations of the stress sequence shown in Fig. 1. Moreover, the phenomenon is qualitatively repetitive from sample to sample. This result indicates that, after the first current-limited BD is produced, two conductive states are present in the dielectric: a high-conductivity one (BD state with gate current I_{BD}) and a low-conductivity one (R state with gate current I_R). The conduction in both states is local and controlled by the same BD path [4]. The switching between both states takes place by applying the adequate gate voltages and only if the BD is produced under current-limited conditions.

Other examples that illustrate different aspects of the I_G evolution during the S-RVS are represented in Figs. 4 and 5. I_G 's during the S-RVS corresponding to the 7th, 11th, and 45th cycles in the same sample are shown in Fig. 4. As expected, when the oxide remains in the BD state, the current through the gate dielectric stack increases with the gate voltage, with a resistive-like behavior. However, after the BD reversibility takes place (R state), the gate current seems to be independent of the gate voltage and shows fluctuations that could be caused by electronic instabilities in the previously opened conductive

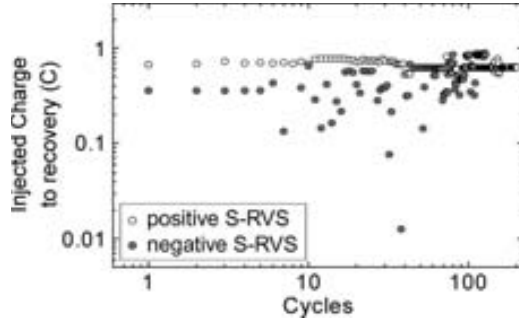


Fig. 6. Q_R as a function of the number of cycles. BD state was reached applying a negative CL-RVS in all the cases. However, positive (open circles) or negative (close circles) S-RVS's were applied to induce BD recovery.

path [11]. Since the voltage during the S-RVS increases continuously until the end of the stress (1200 s), the appearance of new BD events after reaching the R state (see Fig. 5) is possible. In some cases, the new BD can be recovered again, as shown in Fig. 5 (R_2), which indicates that the path (or another path) has been “opened” and “closed” again. However, in other cases, the new BD event reaches higher currents than the ones corresponding to the BD state (because the S-RVS is not a current-limited stress), and the BD becomes irreversible, being impossible to observe the BD reversibility [3].

IV. CHARGE-TO-RECOVERY ANALYSIS

In order to characterize the BD reversibility, in analogy to the charge to BD as the parameter to characterize the BD events [1], we propose to use the charge to recovery Q_R defined as the charge injected in the dielectric until the first recovery event is observed in each of the S-RVS (R in Figs. 3 and 5). In the next paragraphs, the dependence of Q_R on the polarity of the S-RVS and the current limit during the CL-RVS will be analyzed.

A. S-RVS Polarity Dependence of Q_R

To analyze the dependence of Q_R on the S-RVS polarity, the BD was always produced by a negative CL-RVS, whereas positive or negative S-RVS's were applied to reverse the BD. Fig. 6 shows the Q_R values obtained after successive cycles in two samples, one of them subjected to positive S-RVS (open symbols) and the other subjected to negative S-RVS (solid symbols). In the case of positive S-RVS, the BD-recovery sequence was reproducible during more than 600 cycles. From our measurements, no dependence of Q_R on the number of stress cycles was inferred, independent of the polarity of the S-RVS. However, a lower dispersion of Q_R values is obtained when the polarities of the CL-RVS and the S-RVS are opposite. To show more clearly this result, the Q_R distributions of the data shown in Fig. 6 were drawn in a Weibull plot (see Fig. 7). A larger dispersion of Q_R can be clearly observed for the samples subjected to negative voltage S-RVS (same polarity as that of the CL-RVS).

B. Dependence of Q_R on the CL-RVS Current Limit

The dependence of Q_R on the current limit fixed during the CL-RVS has been analyzed. In this paper, the samples were

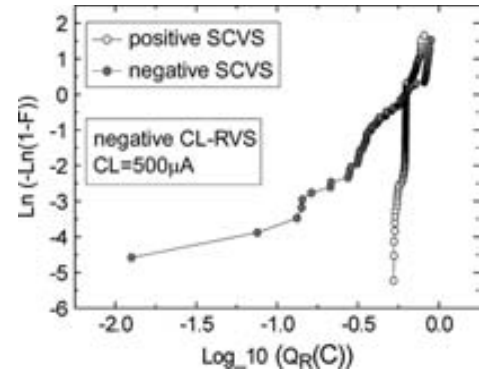


Fig. 7. Weibull plot of the Q_R data shown in Fig. 6. Samples were subjected to negative CL-RVS followed by positive (open symbols) or negative (solid symbols) S-RVS. Lower dispersion is observed when the polarities of the CL-RVS and S-RVS are opposite.

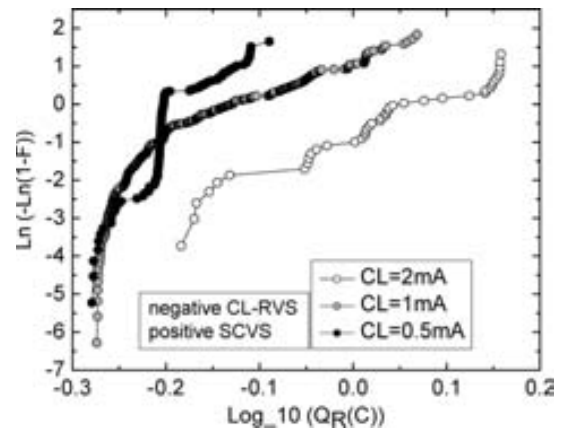


Fig. 8. Q_R distributions obtained in samples broken down during CL-RVS with three different current limits. The polarities of the CL-RVS and the S-RVS were negative and positive, respectively. Higher current limit means larger average Q_R .

subjected to negative CL-RVS to provoke BD (changing the current limit from sample to sample), followed by a positive S-RVS to reverse the BD. Fig. 8 shows the Q_R distributions obtained in three different samples after successive cycles, whose BD was induced using different current limits. A clear increase of the average value of Q_R with the current limit can be observed.

C. Dependence of Post-BD and Post-Recovery I_G on the CL-RVS Current Limit

Fig. 9 shows the I_G-V_G characteristics after the dielectric BD (post-BD) and after the BD recovery (post- R in Fig. 9) for several cycles of the stress-measurement sequence shown in Fig. 1. Several orders of magnitude between the post-BD and recovered (post- R) gate currents can be observed. On the other hand, for the post-BD gate currents represented in Fig. 9, two BD modes can be distinguished: soft BD (SBD) (in the ninth cycle) and hard BD (HBD) (rest of the cycles).

We have also investigated the dependence of the post-BD and recovered gate currents on the CL-RVS current limit, from the I_G-V_G characteristic registered after each CL-RVS (BD state) and S-RVS (R state). The post-BD and recovered gate currents were measured at $V_G = -0.5$ V in the same samples

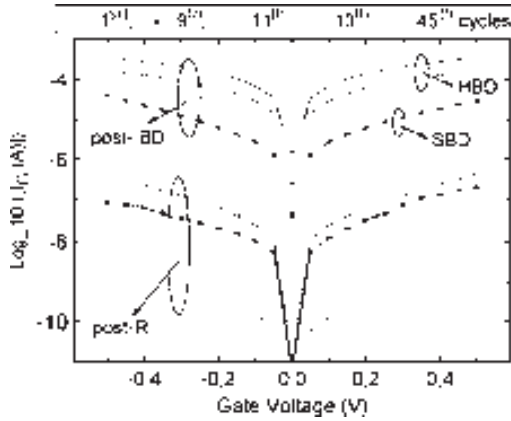


Fig. 9. Typical I_G - V_G characteristics registered after the BD (post-BD) and after the BD recovery (post- R) for different cycles on the same sample. For the post-BD currents, two BD modes are distinguished, the SBD (in ninth cycle) and HBD (rest of the cycles).

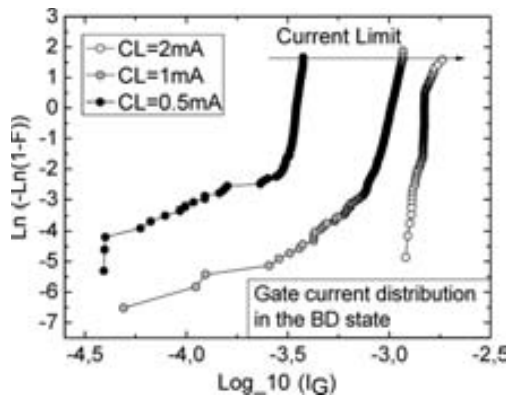


Fig. 10. Post-BD I_G distributions, obtained after each CL-RVS for three different current limits, in the same samples of Fig. 8.

where the Q_R distributions in Fig. 8 were obtained. Figs. 10 and 11 show the post-BD and recovered gate current distributions, respectively, for CL-RVS current limits of 0.5, 1, and 2 mA. At the BD state (see Fig. 10), the gate current clearly increases with the current limit established during the CL-RVS, as has been observed for Q_R (see Fig. 8). Two regions can be clearly distinguished in Fig. 10 for the distributions with the lower current limits of the CL-RVS: on the one hand, a region with a larger slope which corresponds to higher post-BD gate currents and, on the other hand, a second region with a lower slope which corresponds to lower post-BD gate currents. Note that these lower current levels correspond to the BD state. In previous papers about dielectric BD, when the SBD takes place, as in the ninth cycle of Fig. 9, a lower gate current is observed than that for the HBD [12]. For this reason, the current levels in the tails of the distribution shown in Fig. 10 have been attributed to SBD events, whereas larger currents in the higher slope regions correspond to the HBD. Note that we have used the terms SBD and HBD to refer to the different BD modes observed during the BD state. Therefore, from Fig. 10, it can be deduced that the probability to get HBD events increases with the current limit used to provoke the BD, as expected. On the contrary, at the R state (see Fig. 11), no relevant dependences of the gate current with the current limit are inferred. In summary, the current limit

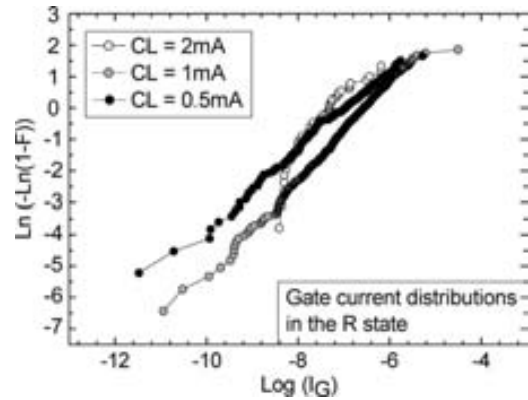


Fig. 11. Recovered I_G distribution, obtained after each S-RVS, in the same samples of Figs. 8 and 10.

used to switch the sample to the BD state will influence Q_R , the BD mode, and, consequently, the post-BD gate current, but it will not affect the current at the R state.

V. CONCLUSION

A procedure to analyze the gate BD recovery in transistors with an ultrathin high- k gate dielectric has been presented, which allows to switch between the two post-BD conduction modes: BD and R states with the current during the BD state larger than that during the R state. To switch to the BD state, CL-RVSs are applied, whereas to provoke the BD recovery, the samples are subjected to a nonlimited-current S-RVS stress. The injected charge to the first recovery (Q_R) during the S-RVS has been proposed as a parameter to describe the BD reversibility phenomenon. The methodology has been applied to study some details of the BD-recovery process from the dependences of Q_R on the electrical test parameters. No dependence of Q_R on the number of iterations of the BD-recovery sequence has been observed. In addition, lower Q_R dispersion is obtained when the polarities of the CL-RVS and the S-RVS are opposite. On the other hand, Q_R and the BD state current increase with the current limit fixed during the CL-RVS. At the BD state, the SBD and HBD modes can be observed, and the probability of HBD increases with the current limit. However, a negligible dependence of the current during the R state with the CL-RVS current limit has been measured. How all these properties of the BD-recovery process affect the overall reliability of the device should be the aim of further analyses.

REFERENCES

- [1] E. Y. Wu and J. Suñe, "Power law voltage acceleration: A key element for ultra-thin gate oxide reliability," *Microelectron. Reliab.*, vol. 45, no. 12, pp. 1809–1834, Dec. 2005.
- [2] A. Nafria, J. Suñe, and X. Aymerich, "Exploratory observations of post-breakdown conduction in polycrystalline-silicon and metal-gate thin-oxide metal-oxide-semiconductor capacitors," *J. Appl. Phys.*, vol. 73, no. 1, pp. 205–215, Jan. 1993.
- [3] A. Crespo-Yepes, J. Martín-Martínez, R. Rodríguez, M. Nafria, and X. Aymerich, "Reversible dielectric breakdown in ultrathin Hf based high- k stacks under current limited stresses," *Microelectron. Reliab.*, vol. 49, no. 9–11, pp. 1024–1028, Sep.–Nov. 2009.
- [4] A. Crespo-Yepes, J. Martín-Martínez, R. Rodríguez, M. Nafria, X. Aymerich, and A. Rostchild, "Resistive switching-like behaviour of the dielectric breakdown in ultra-thin Hf based gate stacks in MOSFETs," in *Proc. 40th ESSDERC*, 2010, pp. 138–141.

- [5] W. Guan, S. Long, Q. Liu, M. Liu, and W. Wang, "Nonpolar non-volatile resistive switching in Cu doped ZrO_2 ," *IEEE Electron Device Lett.*, vol. 29, no. 5, pp. 434–437, May 2008.
- [6] R. Waser and M. Aono, "Nanoionics-based resistive switching memories," *Nat. Mater.*, vol. 6, no. 11, pp. 833–840, Nov. 2007.
- [7] W. H. Liu, K. L. Pey, X. Li, and M. Bosman, "Observations of switching behaviors in post-breakdown conduction in NiSi-gated stacks," in *IEDM Tech. Dig.*, 2009, pp. 1–4.
- [8] A. Crespo-Yepes, J. Martin-Martinez, A. Rothschild, R. Rodriguez, M. Nafria, and X. Aymerich, "Recovery of the MOSFET and circuit functionality after the dielectric breakdown of ultra-thin high- k gate stacks," *IEEE Electron Device Lett.*, vol. 31, no. 6, pp. 543–545, Jun. 2010.
- [9] N. Raghavan, K. L. Pey, W. H. Liu, X. Wu, and X. Li, "Unipolar recovery of dielectric breakdown in fully silicided high- k gate stacks devices and its reliability implications," *Appl. Phys. Lett.*, vol. 96, no. 14, p. 142901, Apr. 2010.
- [10] A. Martin, P. O'Sullivan, and A. Mathewson, "Dielectric reliability measurement methods: A review," *Microelectron. Reliab.*, vol. 38, no. 1, pp. 37–72, Feb. 1998.
- [11] R. Degraeve, P. Roussel, M. Cho, B. Kaczer, T. Kauerauf, F. Crupi, and G. Groeseneken, "Explaining 'voltage-driven' breakdown statistics by accurately modeling leakage current increase in thin SiON and SiO₂/high- k stacks," in *Proc. IEEE IRPS*, 2006, pp. 82–89.
- [12] R. Degraeve, M. Aoulaiche, B. Kaczer, P. Roussel, T. Kauerauf, S. Sahhaf, and G. Groeseneken, "Review of reliability issues in high- k /metal gate stacks," in *Proc. IPFA Integr. Circuits*, 2008, pp. 1–6.



Albert Crespo-Yepes received the B.S. degree in telecommunications engineering from the Universitat Autònoma de Barcelona (UAB), Bellaterra, Spain, in 2008, where he is currently working toward the Ph.D. degree in the REDEC group.

He is currently a grant holder in the Departament d'Enginyeria Electrònica, UAB. His research is focused on the BD reversibility and resistive switching in MOS structures.



Javier Martin-Martinez received the M.S. degree in physics from the Universidad de Zaragoza, Zaragoza, Spain, in 2004 and the Ph.D. degree from the Universitat Autònoma de Barcelona (UAB), Bellaterra, Spain, in 2009.

During his Ph.D. studies, he was with the Università degli Studi di Padova, Padova, Italy, and IMEC, Leuven, Belgium, where he worked on electrical modeling for NBTI and dielectric breakdown. He is currently an Assistant Professor with the Departament d'Enginyeria Electrònica, UAB. His main

research interests include the characterization and modeling of failure mechanisms in MOSFETs and their impact on circuits.



Aude Rothschild received the Ph.D. degree in inorganic chemistry of materials from the Université de Versailles Saint-Quentin-en-Yvelines, Versailles, France, in 1997.

From 1998 to 1999, she was with the Weizmann Institute of Science, Rehovot, Israel, where she worked on "inorganic nanotubes." Since 2000, she has been with IMEC, Leuven, Belgium, where she worked on medium- and high- k dielectrics for CMOS and NVM applications. She is currently working on the dielectric passivation of solar cells.



Rosana Rodríguez received the B.S. degree in telecommunication engineering from the Universitat Politècnica de Catalunya, Barcelona, Spain, in 1995 and the Ph.D. degree in electrical engineering from the Universitat Autònoma de Barcelona (UAB), Bellaterra, Spain, in 2000.

Funded by the Fulbright Program, she worked on device and circuit reliability at the IBM Thomas J. Watson Research Center. She is currently an Associate Professor with UAB. Her main research interests are focused on the effect of CMOS failures

on the performance of single devices and digital and analogical circuits. In particular, she analyzes, both experimentally and theoretically, different failure mechanisms, such as dielectric degradation and breakdown, BTI, and channel hot carriers on state-of-the-art devices under dc and ac conditions. Her other areas of interest are the analysis of process-related variability impact on device and circuit functionality and the resistive switching effect for nonvolatile memories.



Montserrat Nafria received the Ph.D. degree in physics from the Universitat Autònoma de Barcelona (UAB), Bellaterra, Spain, in 1993.

She is currently an Associate Professor with the Departament d'Enginyeria Electrònica, UAB. Her major research interest is in the area of CMOS device and circuit reliability. In particular, she has been engaged in the characterization and modeling of the gate oxide failure (degradation and dielectric breakdown) of SiO₂-based MOS devices using standard electrical characterization techniques and,

recently, also conductive atomic force microscopy (AFM). She is currently also interested in the study of the electrical properties and reliability of the gate dielectric of MOS nanoelectronic devices (high- k dielectrics, irradiated SiO₂, and nanomemories) using AFM-related techniques and in the impact of gate dielectric aging (dielectric breakdown, BTI, and channel hot-carrier degradation) on device and circuit performance. She has (co)authored more than 150 research papers in scientific journals and conferences in all these fields.



Xavier Aymerich received the B.S. degree in physics and the Ph.D. degree from the Universitat Autònoma de Barcelona (UAB), Bellaterra, Spain, in 1975 and 1980, respectively, with a thesis on tunnel electronic devices performed in collaboration with LAAS, Toulouse, France.

Since 1991, he has been a Full Professor with UAB, where he is currently the Head of the Departament d'Enginyeria Electrònica. In 1996, he moved from the Department of Physics to the Departament d'Enginyeria Electrònica, UAB. His scientific interest

lies in the reliability of micro- and nanoelectronic devices, including ultra-thin gate oxides, high- k dielectrics, NBTI, other related failure mechanisms, and *ad hoc* reliability characterization of devices by combining SPM tools and conventional microelectronic techniques. Also, he is interested in the approach to the circuit-level reliability from device reliability, device failure modeling, and device and circuit reliability simulation. He is a member of several national and international committees and authored more than 350 research papers in scientific journals and conferences.

RESISTIVE SWITCHING-LIKE BEHAVIOUR OF THE DIELECTRIC BREAKDOWN IN ULTRA-THIN Hf BASED GATE STACKS IN MOSFETS.

A. Crespo-Yepes, J. Martin-Martinez, R. Rodriguez,
M.Nafria and X. Aymerich
Departament d'Enginyeria Electrònica
Universitat Autònoma de Barcelona (UAB)
08193, Bellaterra (Spain)
albert.crespo@uab.es

A. Rothschild
IMEC
Kapledref 75
30001 Leuven (Belgium)

Abstract—The gate dielectric breakdown (BD) reversibility in MOSFETs with ultra-thin hafnium based high-k dielectric is studied. The phenomenology is analyzed in detail and the similarities with the resistive switching phenomenon emphasized. The results suggest that the conductive path in the dielectric after BD can be ‘opened’ and ‘closed’ many times and that the BD recovery partially restores not only the current through the gate, but also the MOSFET channel related electrical characteristics.

I. INTRODUCTION

The resistive switching (RS) phenomenon has recently acquired an increasing importance for non volatile storage applications since the resulting devices combine fast operation, compatibility with the CMOS process and huge scaling potential [1]. The phenomenon has been usually studied in MIM structures with a thick insulator (several tenths of nm), based in non standard CMOS chemical elements [2], in which the conductivity of the dielectric can be switched between a high and a low conductivity states. In this regard, the dielectric breakdown (BD), one of the most relevant failure mechanisms in CMOS technologies [3], is also characterized by a change of the insulator conductivity state from a low (pre-BD state) to a higher one (post-BD condition) whose currents can differ in several orders of magnitude. Traditionally, and contrarily to the RS phenomenon, the conductivity change due to the BD has been considered to be irreversible. However, several years ago it was shown that in SiO₂, in some occasions, BD could be reversible [4], i.e., a low conductivity state could be reached after BD. More recently, we have reported the presence of two interchangeable conductivity states after BD in ultrathin Hf based gate stacks [5] when the current during de BD transient is limited, so that the insulator properties of the dielectric can be at least partially recovered [2, 6].

In this work, we discuss the similarities of BD and RS phenomena and analyze in detail the change of dielectric conductivity between two states, in MOSFETs with ultra-thin Hf-based high-k dielectric. The procedure to switch between the two states, their local nature and reproducibility are discussed from the gate current characterization. Finally, the

transistors performance is analyzed (I_D - V_D and I_D - V_G characteristics) for both dielectric conduction states.

II. SAMPLES AND EXPERIMENTAL

The samples used in this work were pMOSFETs with FUSI gate electrode and a dielectric stack formed of a (2.9nm) HfSiON film on top of a 1.2 nm SiO₂ interfacial layer (EOT=1.9 nm). Different combinations of channel width and length have been studied, ranging between $W/L=0.25\mu\text{m}/0.15\mu\text{m}$ and $W/L=1\mu\text{m}/0.5\mu\text{m}$. The samples were subjected to a sequence of a current limited ramped voltage stress (CL-RVS) to induce the BD (high conductivity state), plus a ramped voltage stress (RVS) without current limitation, to switch to the low conductivity state, following a measurement-stress-measurement scheme shown in Figure 1. Though this work is focused in the characterization of the phenomenon by means of ramp voltage tests, the BD recovery can be also observed if the gate voltage is kept constant during

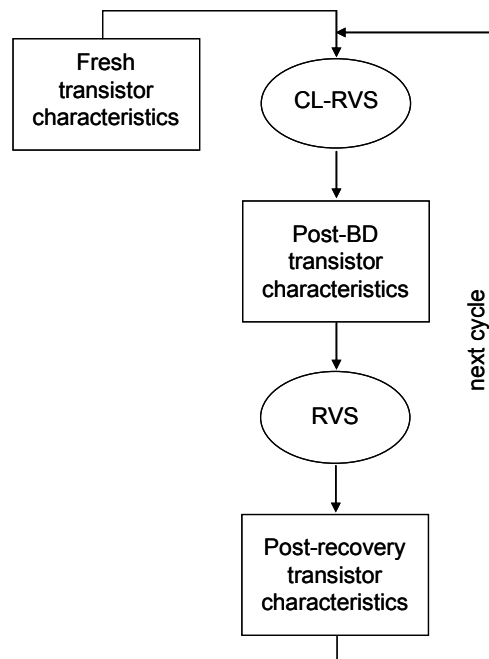


Figure 1. Stress sequence for the analysis of the dielectric BD reversibility. The compliance of the measuring equipment (Keithley 4200-SCS) was used to limit the current during the CL-RVS.

This work has been partially supported by the Spanish MICINN (TEC2007-61294/MIC) and the Generalitat de Catalunya (2009SGR-783).

the stresses [6]. The stresses were applied to the gate with the rest of the transistor terminals grounded and I_G , I_D , and I_S were simultaneously registered. To observe the changes in the device performance after the different stresses, the I_D - V_D and I_D - V_G characteristics of the fresh sample and those after the successive CL-RVS and RVS steps of the sequence were registered.

III. BD REVERSIBILITY PHENOMENOLOGY

Figure 2 shows typical gate currents measured in the same sample during the CL-RVS and RVS for the initial cycles of the measurement sequence illustrated in Figure 1. Curve I_F (thick line) corresponds to the gate current registered during the first CL-RVS (fresh device). When dielectric BD takes place, at V_{BD} , a fast current increase is observed until reaching the current limit (500 μ A). At low voltages, the post-BD gate current (I_{BD}) obtained during the next RVS is, as expected, much larger than I_F . However, if the gate voltage continues increasing, at a given voltage (V_R), the I_{BD} current suddenly decreases several orders of magnitude. During the CL-RVS in the next cycle, at low voltages, the gate current (I_R) is larger than the fresh current but lower than I_{BD} . This indicates a partial recovery of the insulator properties of the gate dielectric, suggesting that, in some conditions, BD in ultra-thin Hf-based high-k oxides is a reversible phenomenon, i.e., a BD path that was ‘opened’ can be ‘closed’. If V_G continues increasing during the CL-RVS and V_{BD} is reached, BD is observed, so that a high current level is measured again. However, in the next RVS, after V_R , the current decreases

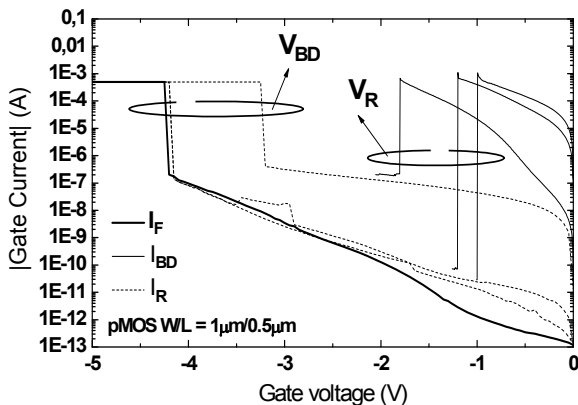


Figure 2. I_G - V_G curves measured in a pMOSFET with $W/L=1\mu\text{m}/0.5\mu\text{m}$ after successive CLR-RVS + RVS iterations. A high current is registered after the current limited BD (I_{BD}), which suddenly drops after V_R . During the CL-RVS in the next cycle, at low voltages the gate current (I_R) is larger than the fresh current, but lower than I_{BD} , which indicates a partial recovery of the dielectric properties. The switching between both conductivity states can be provoked in successive cycles of CL-RVS + RVS.

once more. This behavior can be observed for many iterations of the stress sequence (more than 250 cycles in this work). Moreover, the phenomenon is qualitatively repetitive from sample to sample. It must be emphasized that if a BD appeared during the RVS or during the measurement of the transistor characteristics, the BD would become irreversible (the recovery is no longer observed), and the cycling would

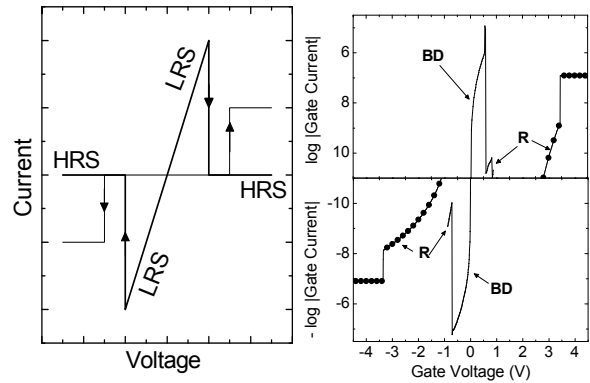


Figure 3. Left: schematic picture of the typical I-V characteristic of the RS phenomenon obtained in MIM structures [1]. Right: I-V characteristics obtained in MOS capacitors for the BD reversibility [5].

not be possible anymore. For this reason, the maximum voltage value of the RVS applied to return to the low conductivity state should be kept below the typical values of V_{BD} . These results indicate that, after a current limited BD, two conduction states are allowed in the dielectric, a high conductivity one (BD state, with gate current I_{BD}) and a low one (R state, with gate current I_R). Switching between both states occurs when the two threshold voltages are reached (V_{BD} and V_R) and only if BD is produced under current limited conditions.

Therefore, a clear similarity, phenomenologically speaking, between the RS and BD mechanisms exists. This can be made evident by comparing the plots in Figure 3, where typical I-V characteristic for RS in MIM structures is schematically reproduced [1] (left) and an experimental I-V obtained in a MOS capacitor from the same wafer, extracted from the data presented at [5] are shown. In both graphs the existence of the two conductivity states (LRS and HRS in RS terminology, or BD and R respectively, in the terminology adopted for dielectric breakdown) are evident.

IV. VOLTAGES AND CURRENTS DISTRIBUTIONS

Figure 4 (top) shows the V_{BD} and V_R values obtained on a single device subjected to more than 250 cycles of the stress sequence. The values of V_{BD} and V_R rapidly decrease (in absolute value) in the first cycles and their mean values remain constant in the following ones. The dashed line in Fig.4 (top) indicates the maximum voltage value imposed (1.3V) to the RVS after the transient in order to avoid non desired BD events. Fig 4 (bottom) shows the cumulative distribution of V_{BD} and V_R (in this representation, a normal distribution corresponds to a straight line). As can be observed, the mean values of the distributions are separated around 1.2V and the spread is larger for V_{BD} .

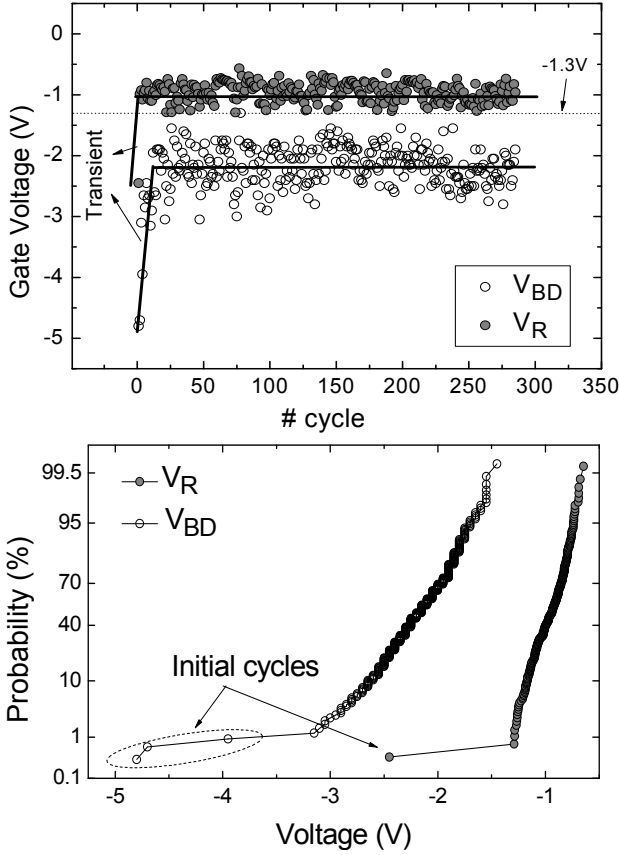


Figure 4: Top: BD voltage (V_{BD}) and R voltage (V_R) evolution during cycling. A transient behaviour is observed at the initial cycles, after the transient the mean values of V_{BD} and V_R remain stable. Bottom: Cumulative probability of V_{BD} and V_R registered during the cycling on the same device.

The cumulative probability distributions of I_{BD} and I_R measured at $-0.5V$ are shown in Figure 5. In this case the transient behavior during the first cycles is not so evident, and the tail observed in I_R corresponds to values randomly between the 1st and the 120th cycles. Concerning to the I_{BD} distributions, two modes are distinguished, that have been classified here as SBD and HBD attending to the current measured. Note that the current measured at the HBD mode is limited by the external current limitation imposed in the CL-RVS [5].

V. AREA DEPENDENCE AND CONDUCTION PATH LOCATION

Transistors with different areas have been analyzed to obtain more information about the nature of the R state. Figure 6 shows I_{BD} and I_R as a function of the transistor area. No area dependence of I_{BD} and I_R is observed, which indicates a localized gate current. The question to be answered is whether the BD and R states are controlled by the same conduction path or not. To check this point the location of the conductive path in the dielectric along the channel [7] has been studied. To do so, the magnitude α , defined as $I_D/(I_D+I_S)$, has been calculated for all the cycles at the BD and R states. α values close to 1 or 0 indicate that the conductive path is located close to the drain or source, respectively. Figure 7 shows the α evolution with during cycling for the R

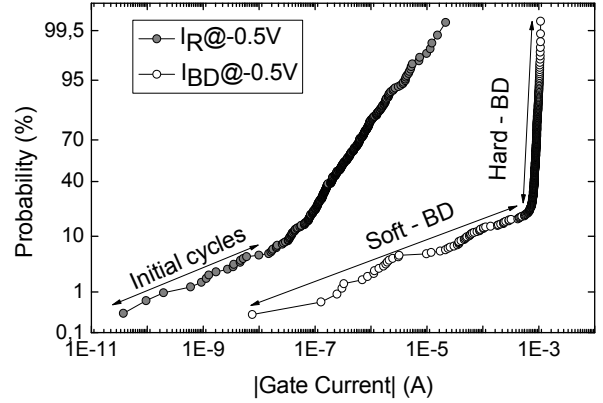


Figure 5: The cumulative probability function of I_{BD} (solid circles) and I_R (open circles) registered at $V_G = -0.5V$ during more than 250 measuring cycles on the same device.

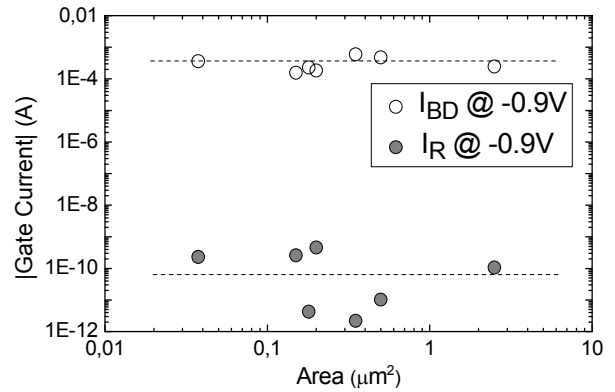


Figure 6: I_{BD} and I_R measured at $V_G = -0.9V$ as a function of the transistor area. No area dependence is observed in any of the two conductivity states.

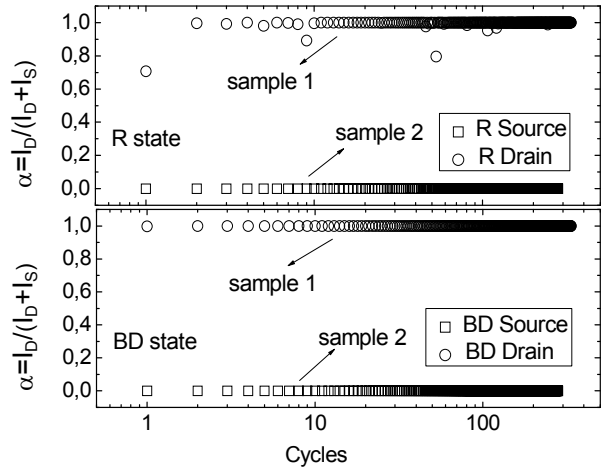


Figure 7: The quotient $\alpha = I_D/(I_D+I_S)$ allows to locate the conduction path in the dielectric along the channel [7]. Two samples, with BD located at the extremes of the channel, are considered. For each sample, the location of the conduction path in the BD and R states is the same and does not change during successive cycles.

(top) and BD (bottom) states for two MOSFETs. In each sample, the location of the conductive path through the oxide during the BD and R states is the same and does not change during the successive measuring cycles. This confirms the

local nature of the R state and indicates that the conduction in both states should be attributed to the same path, i.e. the conductive path is ‘opened’ during the BD state and ‘closed’ during the R state. So that, the partial recovery of the high-k properties in the R state should be attributed to changes in the atomic structure of the conductive path [8].

VI. IMPACT ON THE TRANSISTOR CHARACTERISTICS

The transistor characteristics related to the channel conduction have been analyzed. Continuous lines in Figure 8a and 8b show the typical I_D - V_D and I_D - V_G characteristics, respectively, obtained in fresh transistors. Figures 8c and 8d show the curves when the conductive path has been formed closed to the drain and the device is at the BD state. In this case, the transistor characteristics are completely distorted, and I_D - V_G changes its sign being impossible to evaluate basic parameters such as the threshold voltage and the saturation current [9]. If the conduction path, at the BD state is located close to the source the drain current is of the order of nA (fig. 8e and 8f), because most of the current flows between source and gate. However, when the gate dielectric is switched to the R state, the I_D - V_D and I_D - V_G curves are partially recovered (solid circles and open triangles in figure 8a and 8b, respectively), with a large increase of the threshold voltage and decrease of the saturation current. In summary, a catastrophic change in the channel conduction is observed when the dielectric is at the BD state. However the channel

electric properties can be partially restored when the conductive path is switched to the R state, with a larger threshold voltage and smaller saturation current.

VII. CONCLUSIONS

In MOSFETs with ultra-thin high-k Hf based dielectrics, after the BD path has been created, two conductivity states are allowed in the insulator, BD and R, being the current during the BD state (I_{BD}) larger than during the R state (I_R). Switching between the two states is possible when two threshold voltages are applied, V_{BD} and V_R , respectively, and only if the current was limited during the BD transient. The effect has strong similarities with the resistive switching phenomenon observed in MIM structures. The value of V_{BD} and V_R decrease quickly in the first cycles of switching between the BD and R states, showing a transient behavior, not so clearly observed in the distributions of I_{BD} and I_R . In the I_{BD} distributions, two BD modes are distinguished, that have been classified here as SBD and HBD, attending to the measured current. The area dependence of the I_{BD} and I_R currents and their location along the transistor channel suggest that the conduction in both states is local and controlled by the same BD path. Finally, the electrical characteristics of MOSFETs show that, when the oxide conductivity returns to the R state, not only the gate current (I_G - V_G characteristics) is recovered but also the channel current (I_D - V_D curves). The restoration of the MOSFET performance could have an impact in the circuit functionality, which will have to be analyzed to make accurate reliability predictions.

REFERENCES

- [1] R. Waser, M. Aono, “Nanoionics-based resistive switching memories,” *Nature Materials*, vol. 6, pp. 833-840, 2007.
- [2] W. H. Liu, K. L. Pey, X. Li, M. Bosman, “Observations of Switching behaviors in post-breakdown conduction in NiSi-gate stacks,” *International Electron Devices Meeting*, pp. 1-4, 2009.
- [3] E. Y. Wu, J. Suñé, “Power low voltage acceleration: A key element for ultr-thin gate oxide reliability,” *Microelectronics and Reliability*, vol. 45, pp. 1809-1834, 2005.
- [4] M. Nafria, J. Suñé, X. Aymerich, “Exploratory observations of post-breakdown conduction in polycrystalline-silicon and metal-gate thin-oxide metal-oxide-semiconductor capacitors,” *Journal of Applied Physics*, vol. 73, pp. 205-215, 1993.
- [5] A. Crespo-Yepes, J. Martin-Martinez, R. Rodriguez, M. Nafria, X. Aymerich, “Reversible dielectric breakdown in ultrathin Hf based high-k stacks under current limited stresses,” *Microelectronics Reliability*, vol. 49, pp. 1024-1028, 2009.
- [6] A. Crespo-Yepes, J. Martin-Martinez, A. Rothschild, R. Rodriguez, M. Nafria, X. Aymerich, “Recovery of the MOSFET and circuit functionality after the dielectric breakdown of ultra-thin high-k gate stacks,” *Electron device Letters*, (accepted for publication), 2010.
- [7] R. Degraeve, B. Kaczer, A. De Keersgieter, G. Groeseneken, “Relation between breakdown mode and breakdown location in short channel MOSFETs and its impact on reliability specifications,” *International Reliability Physics Symposium*, pp. 360, 2001.
- [8] J. Suñé, E. miranda, M. Nafria and X. Aymerich, “Modeling the breakdown spots in silicon dioxide films as point contacts”, *Applied Physics Letters*, vol. 75, pp. 959-961, 1999.
- [9] R. Fernández, R. Rodríguez, M. Nafria, X. Aymerich, “MOSFET output characteristics after oxide breakdown,” *Microelectronics Engineering*, vol. 84, pp. 31-36, 2007.

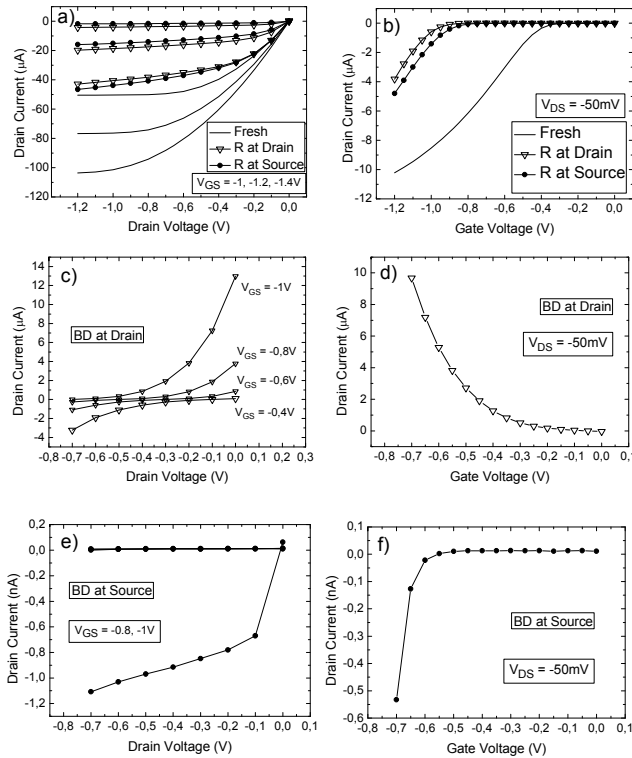


Figure 8: (a) I_D - V_D characteristics for fresh (solid lines) and at the R state (dots) transistor. (b) I_D - V_G characteristics for fresh (solid lines) and recovered (dots) transistor. (c) I_D - V_D characteristics with BD located at drain, and (e) with BD located at source. (d) I_D - V_G characteristics with BD located at drain, and (f) with BD located at source.