

**ADVERTIMENT.** L'accés als continguts d'aquesta tesi queda condicionat a l'acceptació de les condicions d'ús estableties per la següent llicència Creative Commons:  [http://cat.creativecommons.org/?page\\_id=184](http://cat.creativecommons.org/?page_id=184)

**ADVERTENCIA.** El acceso a los contenidos de esta tesis queda condicionado a la aceptación de las condiciones de uso establecidas por la siguiente licencia Creative Commons:  <http://es.creativecommons.org/blog/licencias/>

**WARNING.** The access to the contents of this doctoral thesis it is limited to the acceptance of the use conditions set by the following Creative Commons license:  <https://creativecommons.org/licenses/?lang=en>

Tesis doctoral

---

**Diseño, fabricación y caracterización de  
dispositivos de conmutación resistiva  
basados en estructuras TiN/Ti/HfO<sub>2</sub>/W**

---

Samuel Poblador Cester

*Perteneciente al*  
Programa de Doctorado en Ingeniería Electrónica y de Telecomunicación

*Directoras:*

Dra. Francesca Campabadal Segura  
Dra. Mireia Bargalló González

*Tutora Académica:*

Dra. Montserrat Nafría Maqueda

Julio 2021

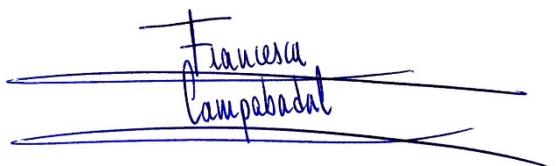


La Dra. Francesca Campabadal Segura, Profesora de Investigación del Institut de Microelectrònica de Barcelona, IMB-CNM (CSIC) y la Dra. Mireia Bargalló González, investigadora del Institut de Microelectrònica de Barcelona, IMB-CNM (CSIC),

CERTIFICAN:

que la Tesis titulada “Diseño, fabricación y caracterización de dispositivos de conmutación resistiva basados en estructuras TiN/Ti/HfO<sub>2</sub>/W” ha sido realizada por Samuel Poblador Cester en el Institut de Microelectrònica de Barcelona, IMB-CNM, del CSIC, bajo su supervisión y en cumplimiento de los requisitos del Programa de Doctorado en Ingeniería Electrónica y de Telecomunicación.

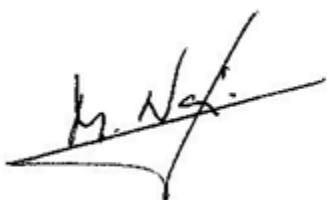
Y para certificarlo, firman la presente:



Dra. Francesca Campabadal Segura



Dra. Mireia Bargalló González



Dra. Montserrat Nafría Maqueda



Samuel Poblador Cester

Bellaterra (Cerdanyola del Vallès), Julio 2021.



## *Agradecimientos*

Ha sido gracias a la colaboración de muchas personas, ya sea directa o indirectamente, que esta tesis haya visto la luz. A todas ellas mi más sincera gratitud.

En primer lugar, quiero dar las gracias a mis directoras, Francesca y Mireia, por haberme dado la oportunidad de poder realizar el doctorado en este gran centro, curioso a veces, que es el Instituto de Microelectrónica de Barcelona. Gracias a ellas, y a sus consejos, he aprendido mucho durante estos años, tanto a nivel académico como a cualquier otro. Como no, agradecer a mi super compi de grupo Marcos, presente durante prácticamente todo el doctorado, el gran apoyo ofrecido, así como a Maricruz, Rosa, Dani, Mercedes, Martí y Jordi, con los que también he compartido a temporadas grupo.

También me gustaría agradecer a Salva y Helena por el buen recibimiento durante mi estancia en Valladolid, y a Oscar y Guillermo, por el buen trato que me dieron.

Obviamente quiero dar un tremendo agradecimiento a todas las personas de sala blanca, sin las que mis dispositivos solo serían posibles en la imaginación. En especial a toda la gente a la que le he dado la tabarra un poco de más, como a Josep María, con todas mis preguntas sobre el stepper, a Roser, Carles y Samuel, de grabados secos, a Marta y Nuria de grabados húmedos, y a Miguel, al que siempre iban dirigidos mis primeros sondeos. Ya os haya nombrado o no, muchas gracias. De igual manera, estoy muy agradecido a toda la gente que siempre ha hecho posible una estancia agradable en el CNM, ya sea echando un cable en cualquier problema o con un simple saludo o sonrisa en el pasillo.

Por otro lado, quiero agradecer la convivencia a los colegas de despacho que he tenido, Pablo, Sergi, Marcos, Miguel..., a los compañeros con los que empecé aquel lejano 2 de mayo de 2016, Albert, Samuel, Andrea, Ricard, Rosana y Marc y, en general, a todos los amigos y compañeros del CNM con los que he compartido buenos momentos, ya sea desde una barbacoa hasta un lasertag.

Y obviamente, como o no, a mis padres y a mis amigos, que me conocen bien y pase lo que pase siempre están ahí.

Finalmente, recordar que esta tesis doctoral ha sido realizada gracias a la financiación del Ministerio de Ciencia e Innovación a través del contrato pre-doctoral BES-2015-076009, y en el marco de los proyectos RS-FACSIMILE (TEC2014-52152-C3-1-R) y RS-FACSIMILE2 (TEC2017-84321-C4-1-R), en el Instituto de Microelectrónica de Barcelona del Centro Nacional de Microelectrónica del Consejo Superior de Investigaciones Científicas.



## Resumen

En los últimos años se ha suscitado un gran interés por los dispositivos de conmutación resistiva debido al potencial que poseen para revolucionar el mundo de la electrónica. Esta tesis se centra en el diseño, la fabricación y la caracterización de estos dispositivos con una combinación concreta de materiales, TiN/Ti/HfO<sub>2</sub>/W, que permiten una integración total con las actuales tecnologías de fabricación nano y microelectrónica y que presentan un tipo de conmutación resistiva bipolar basada en la creación y disolución parcial de filamentos conductores nanométricos.

Después de un primer capítulo en el que se introduce el fenómeno de la conmutación resistiva y los mecanismos físicos que la hacen posible, en el segundo capítulo se describe el proceso de fabricación seguido para obtener este tipo de dispositivos mediante dos configuraciones constructivas diferentes, en cruce y aislada. Posteriormente, después de mostrar los dispositivos obtenidos y la caracterización física de estos, se indican los resultados experimentales sobre su comportamiento eléctrico. Durante los dos siguientes capítulos se estudian las características de la conmutación resistiva bipolar que exhiben estos dispositivos individualmente mediante la aplicación de ciclos de barrido de voltaje mediante rampas y de ciclos de trenes de pulsos, ya sea en secuencias bajo parámetros eléctricos constantes (capítulo 3) o modificados automáticamente ciclo a ciclo para evaluar su respuesta multinivel (capítulo 4). Seguidamente, se analiza el comportamiento eléctrico de la asociación en antiserie de dos dispositivos, asociación que da lugar al fenómeno conocido como conmutación resistiva complementaria (capítulo 5). Para completar el estudio de estos dispositivos, en el capítulo 6 se indaga sobre la naturaleza física de su filamento conductor mediante una nueva metodología que permite localizarlo y clasificarlo para averiguar el estado eléctrico de cualquier dispositivo antes de realizar el procedimiento experimental. A continuación, en el capítulo 7 se presenta el diseño de unas nuevas máscaras fotolitográficas para poder realizar la fabricación de nuevos dispositivos, tanto simples como complejos (con dos o más celdas MIM por dispositivo), usando tres tipos de configuración: en cruce, aislada y en cruce aislado, que es una combinación de las dos primeras; además se muestran los resultados de la caracterización física y eléctrica realizada a estos nuevos dispositivos. Finalmente, en el octavo capítulo se recogen las conclusiones más relevantes de los resultados obtenidos en el desarrollo de la tesis.

## Resum

Als darrers anys s'ha generat un gran interès pels dispositius de commutació resistiva degut al potencial que presenten per revolucionar el món de l'electrònica. Aquesta tesi doctoral se centra en el disseny, la fabricació i la caracterització d'aquests dispositius amb una combinació concreta de materials, TiN/Ti/HfO<sub>2</sub>/W, que permeten una integració total amb les actuals tecnologies de fabricació nano i microelectrònica i que presenten un tipus de commutació resistiva bipolar basada en la creació i dissolució parcial de filaments conductors nanomètrics.

Després d'un primer capítol en el que s'introduceix el fenomen de la commutació resistiva i els mecanismes físics que la fan possible, al segon capítol es descriu el procés de fabricació que s'ha fet servir en aquesta tesi per a obtenir aquest tipus de dispositius mitjançant dues configuracions constructives diferents, en creuament i aïllada. Posteriorment, i després de mostrar els dispositius obtinguts i la seva caracterització física, s'indiquen els resultats experimentals sobre el seu comportament elèctric. Als dos capítols següents s'estudien les característiques de la commutació resistiva bipolar d'aquests dispositius individualment mitjançant l'aplicació de cicles d'escombrat de voltatge mitjançant rampes i de cicles de trens de polsos, tant en seqüències amb paràmetres elèctrics constants (capítol 3) o modificats automàticament cicle a cicle per tal d'avaluar la resposta multinivell (capítol 4). Seguidament, es presenta l'anàlisi del comportament elèctric de l'associació en antiserie de dos dispositius, associació que dóna lloc al fenomen conegut com a commutació resistiva complementaria (capítol 5). Per a completar l'estudi d'aquests dispositius, al capítol 6 es proposa una nova metodologia per analitzar la naturalesa física del filament conductor, metodologia que permet localitzar el filament i classificar-lo per tal de conèixer l'estat elèctric del dispositiu abans de realitzar el procediment experimental. A continuació, al capítol 7 es presenta el disseny d'un conjunt de màscares fotolitogràfiques per a poder fabricar nous dispositius, tant simples com complexos (amb dues o més cel·les MIM per dispositiu), fent servir tres tipus de configuració: en creuament, aïllada i en creuament aïllat, que és una combinació de les dues primeres. A més a més, es mostren els resultats de la caracterització física i elèctrica dels dispositius fabricats amb aquest nou conjunt de màscares. Finalment, al vuitè capítol es recullen les conclusions més rellevants dels resultats obtinguts al llarg del desenvolupament de la tesi.

## **Summary**

In recent years, there has been a great interest in resistive switching devices due to their potential to revolutionize the world of electronics. This thesis focuses on the design, fabrication and characterisation of this type of devices with a specific combination of materials, TiN/Ti/HfO<sub>2</sub>/W, which allows full integration with current nano and microelectronic fabrication technologies and shows bipolar resistive switching that is based on the creation and partial dissolution of nanometric conductive filaments.

After a first chapter in which the phenomenon of resistive switching and the physical mechanisms that make it possible are introduced, in the second chapter the fabrication process to obtain this type of devices with two different constructive configurations, cross-point and isolated, is described. Subsequently, after showing the fabricated devices and their physical characterisation, the experimental results of their electrical behaviour are indicated. During the next two chapters, the bipolar resistive switching characteristics exhibited by these devices are studied by applying voltage sweep cycles by means of ramps, and train pulses cycles, either in sequences under constant electrical parameters (chapter 3) or automatically modified, cycle by cycle, to evaluate their multilevel response (chapter 4). Next, the electrical behaviour of the anti-series association of two devices is analysed, a combination which gives rise to the so-called phenomenon complementary resistive switching (chapter 5). To complete the study of these devices, in chapter 6 the physical nature of their conducting filament is investigated by means of a new methodology that allows to locate and classify them in order to find out the electrical state of the device before carrying out the experimental procedure. Then, in chapter 7 the design of new photolithographic masks is presented which permit the fabrication of new devices, both simple and complex (with two or more MIM cells per device), using three types of configuration: cross-point, isolated and isolated cross-point, which is a combination of the first two. In addition, the results of the physical and electrical characterisation of these new devices are showed too. Finally, in chapter 8, the most relevant conclusions of the results obtained in the development of the thesis are summarized.



# ÍNDICE

<b>1. INTRODUCCIÓN</b>	<b>1</b>
<b>1.1 CONMUTACIÓN RESISTIVA</b>	<b>1</b>
1.1.1 Fenómeno de la conmutación resistiva	1
1.1.2 Modos de operación	2
1.1.3 Mecanismos físicos responsables	4
1.1.4 Elección de materiales	7
1.1.5 Mecanismo físico en dispositivos TiN/Ti/HfO <sub>2</sub> /W	9
<b>1.2 APLICACIONES</b>	<b>10</b>
1.2.1 Memorias	10
1.2.2 Computación neuromórfica	11
1.2.3 Memorias crossbar sin selector	12
1.2.4 Puertas lógicas y FPGAs	13
<b>1.3 OBJETIVOS DE LA TESIS Y METODOLOGÍA</b>	<b>14</b>
<b>2. TECNOLOGÍA DE FABRICACIÓN</b>	<b>17</b>
<b>2.1 TECNOLOGÍA DE FABRICACIÓN DE DISPOSITIVOS EN CRUCE</b>	<b>17</b>
<b>2.2 FABRICACIÓN DE DISPOSITIVOS CON CONFIGURACIÓN EN CRUCE</b>	<b>20</b>
<b>2.3 TECNOLOGÍA DE FABRICACIÓN DE DISPOSITIVOS AISLADOS</b>	<b>24</b>
<b>2.4 FABRICACIÓN DE DISPOSITIVOS CON CONFIGURACIÓN AISLADA</b>	<b>27</b>
<b>3. CARACTERIZACIÓN DE CONMUTACIÓN RESISTIVA CON CARACTÉRISTICA BIPOLAR</b>	<b>33</b>
<b>3.1 PROCEDIMIENTO EXPERIMENTAL DE CARACTERIZACIÓN ELÉCTRICA DE LA CONMUTACIÓN RESISTIVA</b>	<b>33</b>
3.1.1 Montaje instrumental	33
3.1.2 Caracterización del proceso de forming	35
3.1.3 Caracterización del fenómeno de la conmutación resistiva	36
<b>3.2 RESULTADOS Y DISCUSIÓN</b>	<b>39</b>
3.2.1 Medidas con barridos de rampas	39
3.2.2 Medidas con trenes de pulsos	49
3.2.3 Evaluación del efecto del aumento V <sub>LIM-</sub>	50
<b>3.3 CONCLUSIONES</b>	<b>58</b>
<b>4. INVESTIGACIÓN DE LA CAPACIDAD MULTINIVEL DE CONMUTACIÓN RESISTIVA MEDIANTE RAMPAS Y PULSOS PROGRAMADOS</b>	<b>61</b>
<b>4.1 PROCEDIMIENTO EXPERIMENTAL DE LA CARACTERIZACIÓN MULTINIVEL</b>	<b>62</b>
4.1.1 Esquema de medida multinivel por barridos	62
4.1.2 Esquema de medida multinivel por pulsos	63
<b>4.2 RESULTADOS Y DISCUSIÓN</b>	<b>64</b>
4.2.1 Evaluación del multinivel por barridos	64
4.2.2 Evaluación de multiniveles discretos por pulsos	67
4.2.3 Evaluación del comportamiento analógico	68

<b>4.3 CONCLUSIONES</b>	<b>70</b>
<b>5. CONMUTACIÓN RESISTIVA COMPLEMENTARIA</b>	<b>71</b>
<b>5.1 PROCEDIMIENTO DE CARACTERIZACIÓN ELÉCTRICA DEL FENÓMENO DE CONMUTACIÓN RESISTIVA COMPLEMENTARIA</b>	<b>71</b>
5.1.1 Montaje instrumental	71
5.1.2 Metodología experimental	72
<b>5.2 RESULTADOS Y DISCUSIÓN</b>	<b>74</b>
5.2.1 Caracterización de un ciclo de CRS	74
5.2.2 Caracterización de la variabilidad ciclo a ciclo de CRS	77
5.2.3 Caracterización en función de un pequeño incremento de V <sub>LIM</sub>	80
5.2.4 Caracterización en función de la variación en zigzag de V <sub>LIM</sub>	82
<b>5.3 CONCLUSIONES</b>	<b>87</b>
<b>6. CARACTORIZACIÓN FÍSICA DE ESTRUCTURAS FILAMENTARIAS MEDIANTE UNA NUEVA METODOLOGÍA</b>	<b>89</b>
<b>6.1 PROCEDIMIENTO EXPERIMENTAL</b>	<b>90</b>
<b>6.2 RESULTADOS Y DISCUSIÓN</b>	<b>93</b>
6.2.1 Localización de las estructuras filamentarias	93
6.2.2 Hipótesis de la formación del microplato	95
6.2.3 Morfología de un microplato	96
6.2.4 Análisis composicional de un microplato	98
6.2.5 Dependencia del tamaño de los microplatos	101
6.2.6 Caracterización del filamento conductor	103
<b>6.3 CONCLUSIONES</b>	<b>104</b>
<b>7. DISEÑO, FABRICACIÓN Y CARACTORIZACIÓN DE NUEVOS DISPOSITIVOS</b>	<b>105</b>
<b>7.1 DISEÑO DE NUEVOS DISPOSITIVOS</b>	<b>105</b>
7.1.1 Diseño de retículo para stepper	105
7.1.2 Configuraciones topológicas	111
7.1.3 Dispositivos simples	112
7.1.4 Dispositivos complejos	114
7.1.5 Zonas de test	115
<b>7.2 TECNOLOGÍA DE FABRICACIÓN</b>	<b>117</b>
7.2.1 Dispositivos en cruce sin capa de aislamiento	118
7.2.2 Dispositivos con capa de aislamiento	121
<b>7.3 FABRICACIÓN DE DISPOSITIVOS</b>	<b>122</b>
7.3.1 Fabricación de obleas con dispositivos sin aislamiento	122
7.3.2 Fabricación de obleas con dispositivos con aislamiento	126
<b>7.4 CARACTORIZACIÓN FÍSICA</b>	<b>134</b>
7.4.1 Inspección de las configuraciones topológicas	134
7.4.2 Espesor de las capas depositadas	137
<b>7.5 CARACTORIZACIÓN ELÉCTRICA</b>	<b>142</b>
7.5.1 Montaje instrumental y metodología experimental	142
7.5.2 Resultados en dispositivos simples	144
7.5.3 Resultados en dispositivos complejos	149
<b>7.6 CONCLUSIONES</b>	<b>155</b>

<b><u>8. CONCLUSIONES</u></b>	<b><u>157</u></b>
<b><u>CONTRIBUCIONES CIENTÍFICAS</u></b>	<b><u>161</u></b>
<b><u>PREMIOS</u></b>	<b><u>165</u></b>
<b><u>REFERENCIAS</u></b>	<b><u>167</u></b>
<b><u>ACRÓNIMOS</u></b>	<b><u>175</u></b>
<b><u>APÉNDICE</u></b>	<b><u>177</u></b>



# **1. Introducción**

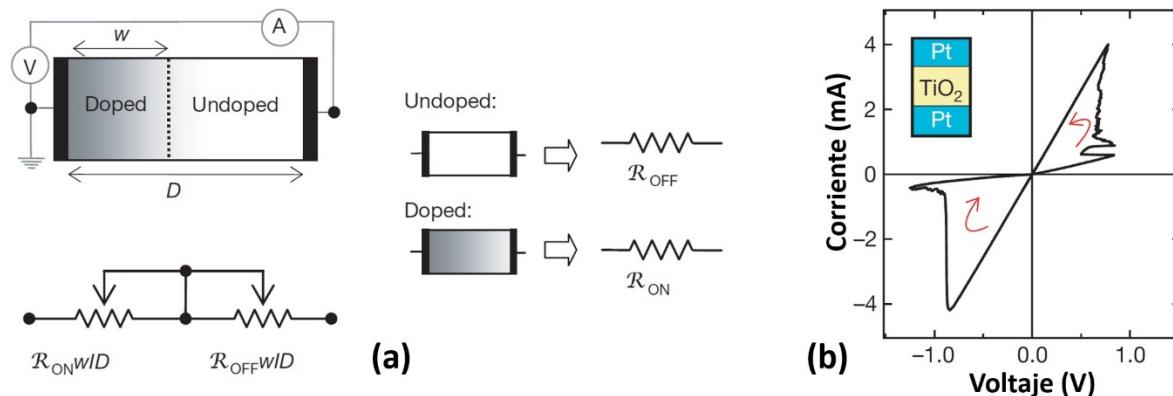
---

## **1.1 Conmutación resistiva**

### **1.1.1 Fenómeno de la conmutación resistiva**

La conmutación resistiva, más conocida por su término inglés “resistive switching”, es un fenómeno físico que se observó por primera vez en los años 60 [1,2] en dispositivos tricapa en los que una capa delgada de dieléctrico se encontraba entre dos electrodos. Se descubrió que la resistencia eléctrica del dispositivo podía ser variada o conmutada debido a la aplicación de un campo, o una corriente eléctrica, que proporcionaba una condición de estrés eléctrico capaz de generar un cambio estructural en el material dieléctrico. Las dos características principales que definen este fenómeno son la reversibilidad y la no volatilidad del cambio producido en el valor de la resistencia, es decir, que, con la aplicación repetida de un voltaje o una corriente, los valores de resistencia pueden ser modificados cíclicamente y recuperados (reversibilidad) y, además, si no se aplica ningún estímulo eléctrico posterior el valor de la resistencia permanece constante durante un largo periodo de tiempo (no volatilidad). Estos dispositivos, en los que se da el fenómeno de la conmutación resistiva son conocidos como dispositivos memristivos o memristores. La palabra memristor está formada por la contracción de las palabras memoria y resistor, y expresa el hecho de que es un dispositivo que “tiene memoria”, es decir, el valor de la

resistencia en un momento determinado depende de las condiciones eléctricas a las que ha sido sometido previamente. Fue en 1971 cuando Leon Chua predijo matemáticamente la existencia de este dispositivo y lo introdujo como el cuarto elemento de circuito pasivo fundamental [3], completando a los otros tres elementos de dos terminales ya existentes, la resistencia, el condensador y la bobina. A diferencia de los condensadores y de las bobinas, los memristores no almacenan energía y, además, no pueden ser construidos combinando los otros elementos. No fue hasta 2008, que un grupo de Hewlett-Packard anunció el descubrimiento de este dispositivo (ver **Figura 1-1**), un dispositivo fabricado con una configuración en cruce cuyos electrodos eran de Pt y su capa de dieléctrico de 5 nm de espesor compuesta por una capa de TiO<sub>2</sub> junto con otra de TiO<sub>2-x</sub> [4].



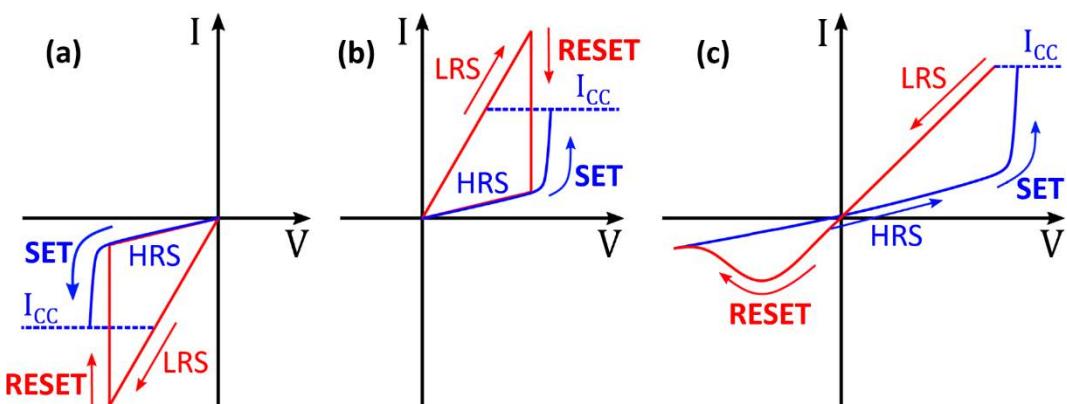
**Figura 1-1.** (a) Modelo simplificado del comportamiento eléctrico de la resistencia variable del memristor: D, espesor de la capa de dieléctrico; w, variable que indica el estado del dispositivo;  $R_{ON} \ll R_{OFF}$ , valores de resistencia de dos estados resitivos. (b) Curva corriente-tensión de un ciclo de conmutación resistiva de un dispositivo Pt/TiO<sub>2-x</sub>/Pt. Adaptado de [4].

Generalmente en los elementos memristivos tricapa, el electrodo superior es siempre metálico, mientras que el electrodo inferior puede ser metálico o semiconductor. Así pues, desde un punto de vista estructural, dependiendo de la combinación utilizada, se pueden obtener dos tipos de memristores, los MIM (metal-insulator-metal) y los MIS (metal-insulator-semiconductor).

### 1.1.2 Modos de operación

En la observación del fenómeno de la conmutación resistiva, se ha comprobado que el comportamiento está relacionado fuertemente con los materiales utilizados para los electrodos y la capa del dieléctrico, e incluso se ha podido observar que no todas las combinaciones de materiales experimentan un fenómeno de conmutación resistiva.

Aunque no es necesario en todos los tipos de materiales [5], por norma general, en la mayoría de los dieléctricos es necesaria la realización previa de una etapa, a la que se denomina proceso de forming, para que se pueda observar posteriormente el comportamiento de conmutación resistiva en el dispositivo. En esta etapa inicial mediante la aplicación de un estrés eléctrico al dispositivo, se produce la degradación de la capa de dieléctrico que hará cambiar el valor de resistencia original del dispositivo virgen a otro muy inferior en un proceso de SET, es decir, el dispositivo habrá cambiado a un estado de baja resistencia o LRS (Low Resistance State) [6]. Un aspecto importante para tener en consideración durante este proceso inicial de forming es el establecimiento de un límite máximo en la corriente ( $I_{CC}$ ) durante la medida para impedir que se produzca una ruptura completa e irreversible de la capa de dieléctrico, que imposibilitaría la presencia de la conmutación resistiva. Una vez concluida esta etapa inicial de forming, al dispositivo se le aplica un estímulo eléctrico, ya sea un voltaje o una corriente, que lo obligue a conmutar mediante un proceso de RESET a un estado de alta resistencia o HRS (High Resistance State). A partir de este momento el dispositivo puede conmutar entre ambos estados gracias a la aplicación sucesiva de voltajes o corrientes. Dependiendo del comportamiento eléctrico general del dispositivo durante este fenómeno, se pueden distinguir dos tipos de conmutación resistiva, la unipolar y la bipolar (ver **Figura 1-2**), si bien es cierto que hay dispositivos con combinaciones de materiales en las que ambos tipos de conmutación coexisten como en Pt/TiO<sub>2</sub>/Pt [7], TiN/HfO<sub>2</sub>/Pt [8], Au/SrTiO<sub>3</sub>/Pt [9] y Al/NiO/ITO [10].



**Figura 1-2.** Esquemas representativos de la característica corriente-tensión (I-V) de los modos de conmutación unipolar negativa (a), unipolar positiva (b) y bipolar (c).

### Conmutación resistiva unipolar

En este tipo de comportamiento la conmutación del dispositivo entre ambos estados resistivos se logra aplicando el voltaje en la misma polaridad. En general, al aplicar el estímulo eléctrico al dispositivo para que cambie al estado menos resistivo LRS hay que limitar la corriente para evitar la ruptura irreversible de la capa de dieléctrico, ya que en la transición SET la corriente aumenta de manera abrupta y sin limitación puede producirse la ruptura dieléctrica irreversible. Sin embargo, para el proceso opuesto no es necesario, ya que durante la transición RESET el dispositivo conmuta al HRS haciendo que la corriente disminuya. Como se puede observar en las **Figura 1-2a,b**, la conmutación unipolar se puede considerar positiva o negativa dependiendo de la polaridad del voltaje que hay que aplicar para producir la conmutación del dispositivo. Ejemplos de dispositivos con conmutación resistiva unipolar son:

- Unipolar negativa en dispositivos Pt/TiO<sub>2</sub>/Ru y Al/TiO<sub>2</sub>/Ru [11].
- Unipolar positiva en dispositivos W/SiO<sub>x</sub>/Si y TiW/SiO<sub>x</sub>/TiW [12], TiN/NiO/Pt, W/NiO/Pt y Pt/ Nb<sub>2</sub>O<sub>5</sub>/Pt [13].

### Conmutación resistiva bipolar

En este caso el cambio de estado resistivo se da a polaridades opuestas, es decir, las transiciones SET y RESET se dan para cada una de las dos polaridades (ver **Figura 1-2c**). Este comportamiento es muy común y se observa en un gran número de dieléctricos (TiO<sub>2</sub>, TaO<sub>x</sub>, HfO<sub>x</sub>, Al<sub>2</sub>O<sub>3</sub>, Cr<sub>2</sub>O<sub>3</sub>, SiN, BaTiO<sub>3</sub>) o incluso en óxido de grafeno [14,15]. En general, dependiendo de la combinación de materiales utilizada y los límites de voltaje aplicados, puede ser necesario o no la limitación de corriente durante la transición SET para impedir la destrucción de la capa de dieléctrico.

### 1.1.3 Mecanismos físicos responsables

Desde el momento en que la conmutación resistiva se descubrió y se observó que era un fenómeno físico reproducible en una cantidad elevada de combinaciones de materiales con un comportamiento que posee un gran potencial para su incorporación a diferentes sistemas en el campo de la electrónica, ha habido una intensa investigación sobre los mecanismos físicos responsables que pueden explicar el cambio del valor de la resistencia que se produce en estos y que depende fuertemente tanto del dieléctrico usado, como de

la composición de los electrodos. Así pues, dependiendo del mecanismo físico que provoca la conmutación resistiva, los dispositivos se pueden clasificar en cuatro tipos [16], como se indica en la **Figura 1-3** y que se describen brevemente a continuación:

1. **NANOIÓNICOS.** En estos dispositivos los cambios estructurales que provocan el cambio en la resistencia se deben al mecanismo de transporte de iones [17,18]. Dependiendo de cómo se lleva a cabo el mecanismo se puede distinguir tres subcategorías:
  - a. **Cambio de valencia.** En este caso el movimiento de iones corresponde a un desplazamiento de los iones de oxígeno del óxido metálico que constituye la capa del dieléctrico por la aplicación de un campo eléctrico externo. Dependiendo de la polaridad de este campo se lleva a cabo una reacción redox en la que, o se generan vacantes de oxígeno por la migración de los iones (reducción) o estas vacantes son llenadas de nuevo por la vuelta de los iones (oxidación). Durante este proceso cíclico redox, el mecanismo de la conmutación resistiva se lleva a cabo por la creación/destrucción de un filamento conductor constituido por vacantes de oxígeno y que une ambos electrodos metálicos.
  - b. **Metalización electroquímica.** En este caso el dispositivo debe tener un electrodo con un metal activo, es decir, cuyos iones puedan difundir en la capa del dieléctrico, y el otro electrodo con un metal inerte, es decir, térmicamente muy estable. En este caso la migración iónica corresponde a la difusión de los iones del metal activo en el interior de la capa de dieléctrico, los cuales formaran el filamento conductor entre ambos electrodos. La aplicación cíclica de voltaje es la que generará las condiciones térmicas y eléctricas necesarias para la difusión del metal y, por tanto, la creación del filamento y su disolución.
  - c. **Termoquímicos.** En este caso pueden estar presentes ambos mecanismos físicos descritos previamente, pero actuando en una polaridad, y con la diferencia que la migración de iónica es inducida por el campo eléctrico y efectos térmicos debido al efecto Joule.

2. **ELECTRÓNICOS.** En estos dispositivos el mecanismo que lidera la conmutación resistiva está relacionado con el cambio de la conducción electrónica. Se dividen en dos subcategorías:
  - a. **Ferroeléctricos.** La capa que está entre los electrodos es de un material ferroeléctrico y con la aplicación de un campo eléctrico se puede modificar la polarización del material haciendo que cambie la resistencia y, por tanto, provocando la conmutación resistiva del dispositivo [19].
  - b. **Captura de cargas.** En este caso el dispositivo posee una capa de dieléctrico en la cual los electrones pueden ser atrapados o liberados por la aplicación de un campo eléctrico externo provocando el cambio de la resistencia del dispositivo [20].
3. **CAMBIO DE FASE.** Estos dispositivos se obtienen cuando se emplean calcogenuros para su fabricación. La base de su funcionamiento está en la propiedad que tienen estos materiales de cambiar su red atómica desde un estado amorfo, en el cual el dispositivo se encontraría en un estado de baja resistencia, a un estado cristalino, correspondiente al estado de alta resistencia. Para producir el cambio de fase es necesario la introducción de calor al sistema, que puede provenir de una fuente de calor externa o por una corriente eléctrica elevada [21].
4. **NANOMECÁNICOS.** En este caso se utilizan fuerzas mecánicas que provocan cambios en el nano sistema, como por ejemplo en un sistema formado por una sola molécula o un nanotubo de carbono cuyo cambio de configuración provoca la conmutación del estado resistivo del dispositivo [22].

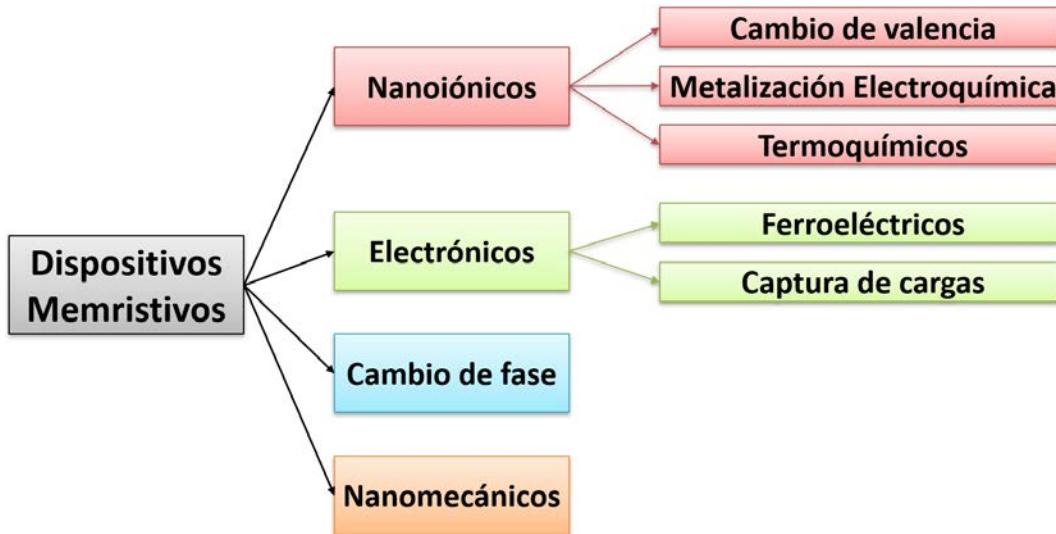


Figura 1-3. Clasificación de los dispositivos memristivos según el mecanismo físico.

#### 1.1.4 Elección de materiales

Como se ha detallado, hay una multitud de combinaciones de materiales que producen la conmutación resistiva, aunque basada en diferentes mecanismos físicos. Con el paso de los años cada vez hay un abanico mayor e incluso últimamente se está experimentando con materiales de origen orgánico como hojas de loto [23], albúmina [24] y quitosano [25]. En el contexto de esta tesis, sin embargo, nos centramos en memristores con materiales cuyas principales características sean:

- Compatibilidad con tecnologías CMOS para una posible integración futura con cualquier circuito integrado.
- Disponibilidad de los procesos de fabricación necesarios.

Con estos requisitos, los materiales elegidos para fabricar las tres capas de las estructuras MIM han sido:

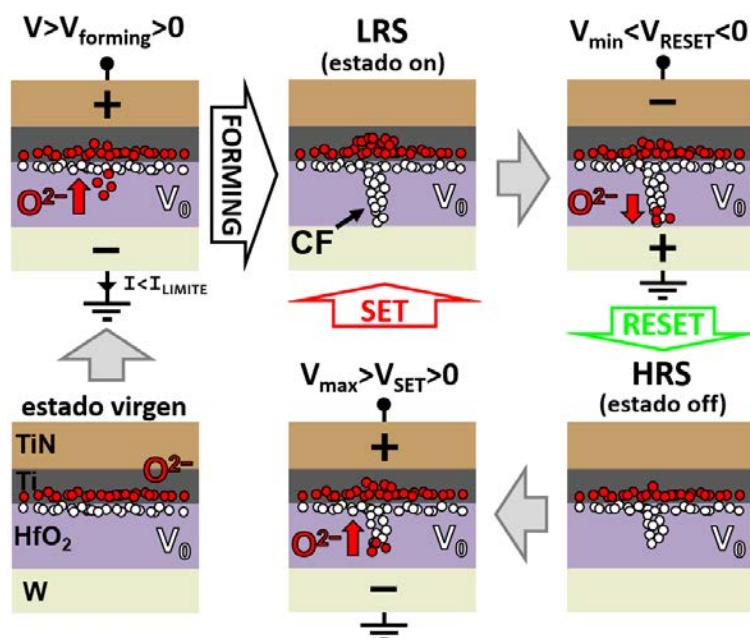
1. **Wolframio** para el electrodo inferior. Es un metal muy apropiado debido a que químicamente es muy inerte y no se oxida con el aire a temperatura ambiente [26,27]. Este hecho es muy conveniente debido a que si tanto las pistas del electrodo inferior, como el contacto eléctrico de este, se oxidan, el aumento de la resistencia eléctrica del material debido a este cambio se puede traducir en una disminución del control eléctrico que se puede tener sobre el dispositivo. Además, tiene una gran conductividad eléctrica, hecho que permite fabricar el electrodo

inferior con una capa más delgada, sin que se incremente sobremanera la resistencia del dispositivo, factor que será clave en algunos dispositivos y posee también una buena conductividad térmica que favorece la disipación del calor generado durante los ciclos de conmutación resistiva.

2. **Óxido de hafnio** para la capa de dieléctrico. Es un material que se lleva empleando desde el 2007 para la fabricación de transistores en microprocesadores [28] lo que lo convierte en una buena opción a la hora de incorporarse en un proceso de fabricación conjunta con transistores. De hecho, debido a esta integración con la tecnología de fabricación CMOS convencional, los dispositivos RRAM filamentarios basados en HfO<sub>2</sub> son actualmente un tema de intensa investigación [29–31].
3. Un apilamiento de **nitruro de titanio sobre titanio** para el electrodo superior. Esta elección se debe principalmente a que entre la amplia variedad de combinaciones de materiales exploradas para la interfaz dieléctrico/electrodo, la opción de las RRAM basadas en Ti/HfO<sub>2</sub> ha logrado uno de los resultados más prometedores en términos de comportamiento de conmutación resistiva bipolar [32,33]. El mecanismo físico de la conmutación resistiva de los dispositivos basados en Ti/HfO<sub>2</sub> puede atribuirse a la formación y ruptura parcial de filamentos conductores deficientes en oxígeno, donde la capa de Ti, que presenta una alta afinidad por el oxígeno, actúa como un material captador de iones. De esta manera, parte de los iones O<sup>2-</sup> de la capa de HfO<sub>2</sub> en contacto con la superficie de la capa metálica del electrodo superior tienden a migrar hacia el Ti favoreciendo la formación del filamento conductor responsable del fenómeno de la conmutación resistiva [34]. El uso de una capa de Ti sobre la capa de HfO<sub>2</sub> proviene de la buena adherencia que algunos metales muestran sobre capas de óxidos, como también ocurre con el Cr [35]. Esta propiedad hace que estén muy presentes en las combinaciones de estructuras MIM, siendo la combinación Ti/HfO<sub>2</sub> es la más prometedora. El TiN es un material que presenta una buena adhesión e integración que con el Ti. Este material cerámico con propiedades metálicas posee una gran estabilidad química a temperatura ambiente mientras que conduce bien el calor y la electricidad [36–38] convirtiéndolo en un candidato ideal.

### 1.1.5 Mecanismo físico en dispositivos TiN/Ti/HfO<sub>2</sub>/W

En la **Figura 1-4** se muestra una representación esquemática del proceso físico responsable del fenómeno de la conmutación resistiva bipolar que va a estar presente en los dispositivos cuya estructura MIM va a estar fabricada con los materiales elegidos TiN/Ti/HfO<sub>2</sub>/W [39], concretamente de tipo nonioónico con cambio de valencia. Inicialmente, después de que el dispositivo haya sido fabricado (estado virgen), se crea una cierta cantidad de vacantes de oxígeno ( $V_0$ ) justo debajo de la interfaz Ti/HfO<sub>2</sub> debido a la gran afinidad por el oxígeno del Ti. Durante el proceso de forming se aplica una rampa de voltaje positivo hasta un valor que asegura que se produce un SET, es decir, el estado del dispositivo, inicialmente en estado virgen, cambia al LRS al crearse un filamento conductor rico en vacantes de oxígeno en la capa de HfO<sub>2</sub> [40]. A continuación, se aplica una rampa de voltaje negativo que produce un RESET, es decir, el estado del dispositivo comuta al HRS debido a que el filamento se rompe parcialmente al recombinar las vacantes con los iones de oxígeno. Finalmente, se aplica una rampa de voltaje positivo durante la que se produce un SET, es decir, el dispositivo comuta otra vez al LRS debido a que se ha producido un proceso de recuperación del filamento conductor, generando vacantes de



**Figura 1-4.** Representación esquemática de los mecanismos físicos que explican el comportamiento de la conmutación resistiva. Inicialmente, en un dispositivo virgen, en la zona del dieléctrico adyacente al Ti hay una región substequímica de HfO<sub>x</sub>. Durante el proceso de forming, un filamento conductor rico en vacantes de oxígeno se forma. Este filamento se rompe y recupera parcialmente en cada ciclo de conmutación resistiva cuando el dispositivo comuta de HRS a LRS (SET) y de LRS a HRS (RESET) respectivamente.

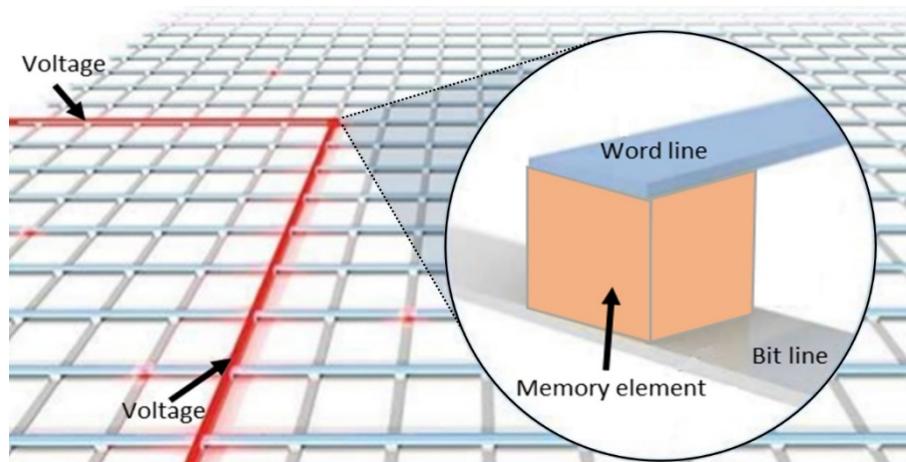
oxígeno, el cual proporciona generalmente un comportamiento tipo óhmico al dispositivo [41].

## 1.2 Aplicaciones

Debido al gran abanico de posibilidades existente entre todos los tipos de elementos memristivos, y el potencial que presentan [42,43], actualmente se está llevando a cabo una gran actividad de investigación para integrar estos dispositivos en una gran variedad de aplicaciones de diversa índole como aplicaciones de seguridad [44,45], resolución de problemas matemáticos [46], sistemas de control [47] o incluso computación cuántica [48,49], pero las que más destacan son las cuatro siguientes:

### 1.2.1 Memorias

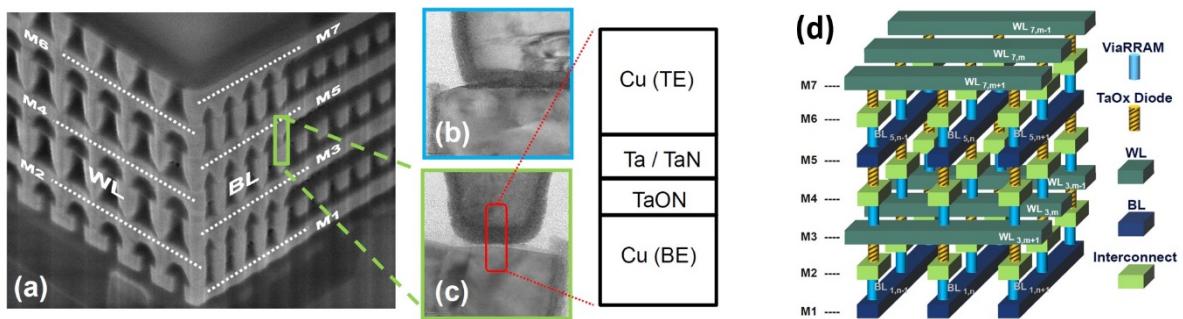
Dentro de todo el abanico de posibles aplicaciones que se han planteado para los memristores, la más estudiada ha sido sin lugar a dudas la del funcionamiento como dispositivos de memoria. En las memorias de acceso aleatorio resistivas o RRAM (Resistive Random Access Memories) el funcionamiento es muy sencillo, cada celda de memoria, como la representada en la **Figura 1-5**, almacenaría un bit, que sería 0 o 1, según el estado resistivo del elemento, HRS o LRS.



**Figura 1-5.** Representación gráfica de una matriz crossbar 2D donde se accede a cada elemento del registro aplicando el voltaje adecuado a las líneas de palabra y bit. Adaptado de [16].

En general las RRAM son unas candidatas muy prometedoras para el futuro almacenaje de información digital debido a que: poseen una gran velocidad de cambio de estado resistivo,

lo que permite obtener memorias con una alta frecuencia de trabajo; muestran una gran robustez, traduciéndose en memorias con más ciclos de vida; muestran una buena retención de los estados resistivos, lo cual permite obtener memorias fiables, y su tamaño es menor que los actuales transistores, posibilitando fabricar memorias de mayor densidad [14,50,51]. La primera memoria RRAM fabricada, en 2002, fue una matriz de 64 bits usando una tecnología CMOS con una resolución de 500 nm [52], aunque hoy en día ya se han realizado los primeros intentos de la fabricación de stacks en 3D para incrementar enormemente la densidad de almacenaje, como se puede ver en la **Figura 1-6** donde se muestra una RRAM 3D conseguida con una tecnología CMOS de 28 nm [53].

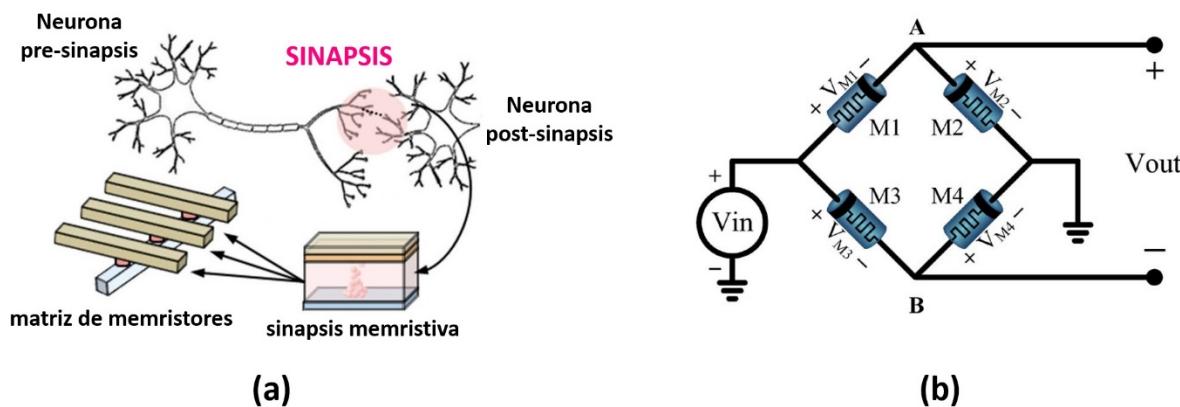


**Figura 1-6.** (a) Imagen SEM de una RRAM 3D. (b) Imagen TEM de una pista estándar de Cu. (c) Imagen TEM de una celda de memoria de área 30×30 nm<sup>2</sup>. (d) Diagrama de las capas apiladas en la RRAM 3D. Adaptado de [53].

### 1.2.2 Computación neuromórfica

Uno de los usos más prometedores para esta floreciente tecnología es en el campo de la computación neuromórfica, en la cual los dispositivos memristivos se usan como elementos de conexión sináptica entre los elementos electrónicos que funcionan como neuronas (ver **Figura 1-7a**) en circuitos neuromórficos inspirados en sistemas biológicos, los cuales exigen un comportamiento predecible y capacidades de aprendizaje [54–57]. Esta toma de rol por parte de los memristores es posible gracias a que la conmutación resistiva que presentan les confiere un comportamiento analógico multinivel que puede establecer un “peso sináptico”, en función del valor de su resistencia, que permite replicar la plasticidad que tiene una sinapsis biológica real cuando quiere fortalecer o debilitar la conexión entre dos neuronas. Adicionalmente, además del planteamiento utilizando un memristor para cada sinapsis neuronal, también se está estudiando la posibilidad de

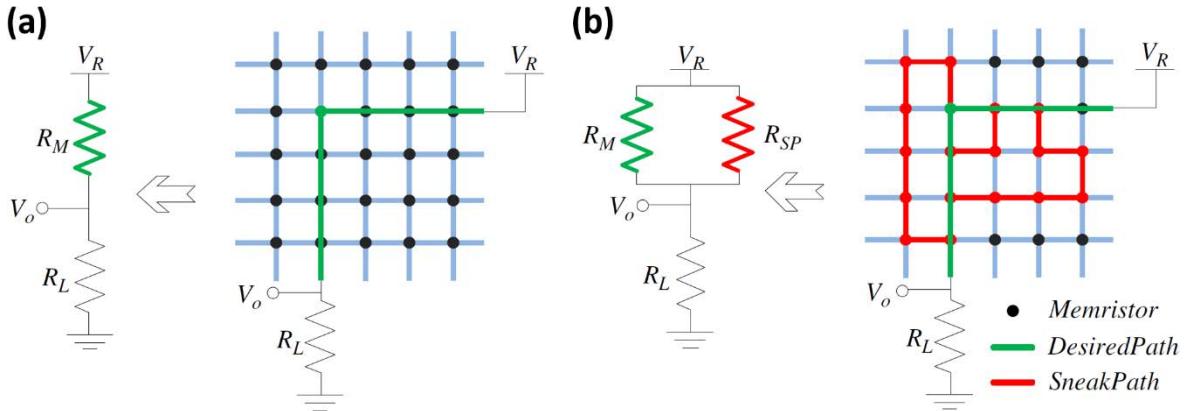
emular la conexión sináptica haciendo uso de un puente de memristores (ver **Figura 1-7b**) [58].



**Figura 1-7.** (a) Diagrama representativo de la equivalencia entre una conexión neuronal biológica y un memristor. Adaptado de [57]. (b) Circuito de un puente de memristores. El peso sináptico se puede controlar variando el voltaje de entrada ( $V_{in}$ ). Adaptado de [58].

### 1.2.3 Memorias crossbar sin selector

Una de las formas más eficientes y usadas de fabricación de memristores para la funcionalidad observada en los dos puntos anteriores es el de la disposición en una matriz (o array) de dispositivos, ya que proporciona una mayor densidad de dispositivos y una mayor eficiencia energética, además de permitir una alta interconexión entre ellos emulando la alta interconexión que existe en las redes neuronales biológicas [59–61]. Como contrapartida, este modo de organización presenta un problema, el sneak-path [62] que se muestra en la **Figura 1-8**. Este efecto se produce cuando al realizar una operación de lectura de un dispositivo determinado en la matriz, el valor obtenido puede estar modificado por los valores de los dispositivos vecinos que se encuentran en la misma fila, o columna, ya que una parte significativa de la corriente que fluye a través de este dispositivo puede fluir a través de los vecinos. Ante tal problema se han propuesto varias soluciones [62,63] siendo la del uso auxiliar de diodos o transistores para cada dispositivo memristivo una de las más extendidas. Sin embargo, entre estas opciones, hay una en la que no hace falta utilizar ningún otro elemento electrónico aparte de los propios memristores con la consiguiente simplificación en el proceso de fabricación. Esta solución está basada en la conmutación resistiva complementaria, o CRS (Complementary Resistive Switching), un comportamiento que se obtiene al asociar dos dispositivos, que presenten conmutación resistiva bipolar, en una disposición antiserie [64–67].



**Figura 1-8.** Esquemas eléctricos del circuito equivalente para: (a) caso ideal en el que la corriente sólo fluye a través del elemento de memoria seleccionado y (b) caso real donde la corriente serpentea a través de de caminos no deseados (sneak paths). Extraido de [63].

### 1.2.4 Puertas lógicas y FPGAs

Los memristores pueden funcionar tanto como elementos de memoria como para implementar operaciones lógicas [68] como se puede observar en la **Figura 1-9** donde se muestran dos funciones lógicas implementadas por dos circuitos constituidos por memristores. Adicionalmente, se ha desarrollado una nueva metodología para el desarrollo de puertas lógicas donde el valor de la resistencia de un memristor es usada como un valor lógico [69,70]. Esta dualidad operativa puede permitir un paso evolutivo en el uso de estos dispositivos para aplicaciones lógicas en el campo de la computación, ya que actualmente, en los sistemas convencionales de computación, la unidad memoria y la unidad de procesamiento se encuentran separadas y gracias al uso de memristores, ambas podrían integrarse en un único módulo. Este desarrollo e implementación de los memristores como elementos en circuitos lógicos también proporciona la oportunidad de integrar estos dispositivos en las matrices de puertas lógicas programables o FPGA (Field Programmable Gate Array), permitiendo obtener arquitecturas más pequeñas, con mayor rendimiento y un menor consumo [71,72].

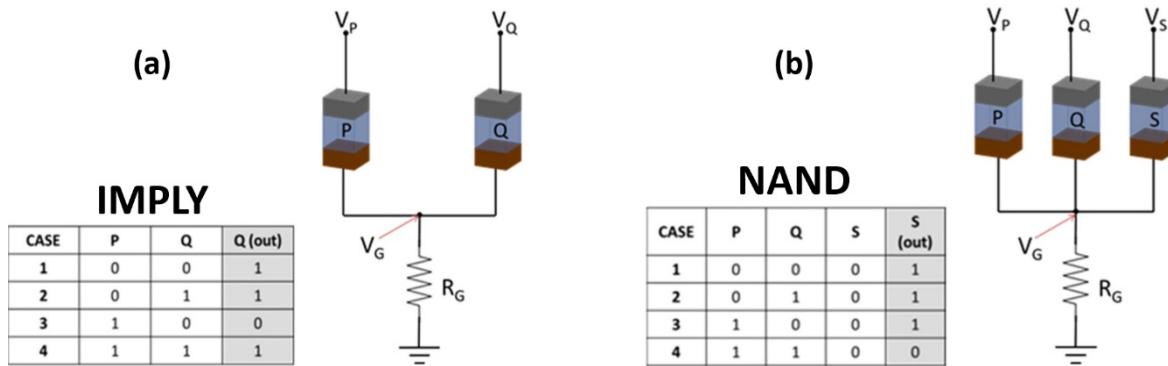


Figura 1-9. (a) Tabla de verdad y esquema del circuito eléctrico de la función lógica IMPLY. (b) Tabla de verdad y esquema del circuito eléctrico de la función lógica NAND. Adaptado de [70].

### 1.3 Objetivos de la tesis y metodología

Como se ha podido ir contemplando durante este capítulo de introducción, la investigación en el campo de los dispositivos electrónicos que presentan el fenómeno de la conmutación resistiva está tomando una gran relevancia en los últimos años debido al gran potencial que exhiben para múltiples aplicaciones. Debido a tal motivación, esta tesis doctoral se ha propuesto la fabricación de dispositivos en tecnología de silicio basados en estructuras MIM con HfO<sub>2</sub> y su posterior estudio y caracterización con vistas a optimizar la tecnología de fabricación de estos dispositivos y alcanzar una visión más profunda en los aspectos físicos y tecnológicos. Específicamente, los objetivos principales que se han planteado han sido:

1. La fabricación de dispositivos, con estructuras MIM, que presenten conmutación resistiva y su caracterización física.
2. La medida y el análisis de las características eléctricas de conmutación resistiva (fiabilidad, durabilidad, variabilidad...) de los dispositivos fabricados para evaluar su potencial para las diferentes aplicaciones en las que podrían ser integrados.
3. El diseño de nuevas máscaras fotolitográficas, que permitan la fabricación de nuevos dispositivos, tanto simples como complejos, la fabricación de estos y su posterior caracterización física y eléctrica.

La metodología empleada para alcanzar los objetivos propuestos y que se desarrolla a lo largo de esta memoria ha consistido en los siguientes puntos:

En primer lugar, se han fabricado dispositivos TiN/Ti/HfO<sub>2</sub>/W, sobre obleas de silicio de 100 mm de diámetro, usando un juego de máscaras fotolitográficas de contacto ya existentes que han permitido obtener este tipo de dispositivos mediante dos configuraciones constructivas diferentes, en cruce y aislada. La fabricación se ha realizado íntegramente en la sala blanca del Instituto de Microelectrónica de Barcelona (IMB-CNM, CSIC). Una vez fabricados los lotes de obleas con los dispositivos e inspeccionados ópticamente los distintos lotes de obleas, se ha llevado a cabo la caracterización física de las diferentes configuraciones de estructuras MIM fabricadas mediante un equipo SEM con un FIB incorporado, que ha permitido estudiar las secciones de estas estructuras. Estos resultados se muestran en el **capítulo 2**.

Posteriormente se ha procedido a caracterizar eléctricamente los dispositivos, realizando medidas eléctricas sobre oblea en una mesa de puntas usando un analizador de parámetros de semiconductores controlado mediante Matlab. Para estudiar y analizar el comportamiento de la conmutación resistiva en los dispositivos fabricados se han aplicado ciclos de barrido de voltaje mediante rampas y ciclos de trenes de pulsos. En el **capítulo 3** se describen los resultados obtenidos aplicando largas secuencias de estos ciclos manteniendo los parámetros de las medidas eléctricas constantes, mientras que en el **capítulo 4** se muestran los resultados obtenidos variando los parámetros durante las medidas. Este modo de medida se ha aplicado con la intención de evaluar la capacidad multinivel de conmutación resistiva que pueden poseer estos dispositivos.

Una vez observado el buen comportamiento en los dispositivos, se ha procedido a caracterizar el fenómeno de la conmutación resistiva complementaria que se da cuando dos dispositivos, que poseen conmutación resistiva, se asocian en antiserie. En este caso, como se indica en el **capítulo 5**, se han aplicado ciclos de barrido de voltaje mediante rampas, tanto en medidas con parámetros eléctricos fijos, como en medidas en los que se han ido variando los parámetros, para evaluar el comportamiento de este fenómeno en ambos regímenes.

Una vez realizada la caracterización eléctrica, se ha realizado un análisis del fenómeno físico subyacente en los dispositivos para lo que se ha desarrollado de una nueva metodología, presentada en el **capítulo 6**, en la que mediante un grabado químico de la capa metálica del electrodo superior y una posterior caracterización física de las estructuras MIM de los

dispositivos, se han podido localizar los filamentos conductores en las estructuras MIM de los dispositivos, así como determinar el estado eléctrico en el que se encontraban antes de realizar este procedimiento experimental.

Finalmente, en el **capítulo 7** se describe el nuevo conjunto de máscaras fotolitográficas diseñadas para poder fabricar nuevos dispositivos, tanto simples como complejos (con dos o más celdas MIM por dispositivo), usando tres tipos de configuración: en cruce, aislada y en cruce aislado, que es una combinación de las dos primeras. En el mismo capítulo se describen los procesos de fabricación empleados para la fabricación de dispositivos mediante el nuevo conjunto de diseños, así como los resultados experimentales obtenidos de la caracterización eléctrica de los dispositivos simples y complejos fabricados.

Del conjunto de resultados alcanzados se ha llegado a las conclusiones descritas en el **capítulo 8**, finalizando esta memoria con un listado de las contribuciones científicas publicadas en el marco de esta tesis doctoral.

## **2. Tecnología de fabricación**

---

A lo largo de esta tesis doctoral hemos fabricado y caracterizado una variedad de estructuras Metal-Aislante-Metal (MIM) de distintas características físicas. En una primera etapa, se ha usado el conjunto de máscaras CNM733 ya disponible [73], que permite fabricar estructuras MIM y estructuras Metal-Aislante-Semiconductor (MIS) de distintas áreas junto con estructuras CBR para el test de líneas de metal. Las obleas fabricadas han permitido estudiar en profundidad la comutación resistiva de los dispositivos, y a partir de los resultados obtenidos, en una segunda etapa, se ha diseñado un nuevo conjunto de máscaras cuyas características, tecnología asociada y resultados son el objeto del capítulo 7.

A continuación, pasamos a describir la tecnología empleada para la fabricación de los dispositivos de las dos configuraciones estudiadas en la primera etapa, así como los resultados tecnológicos correspondientes a los distintos lotes de obleas fabricados.

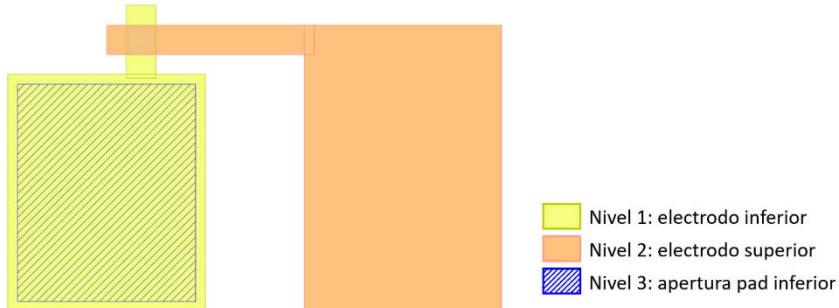
### **2.1 Tecnología de fabricación de dispositivos en cruce**

La primera opción para la fabricación de una estructura MIM corresponde a la configuración en cruce o cross-point, en la que la celda MIM está definida por un cruce entre dos pistas metálicas, una perteneciente al electrodo superior y otra al electrodo

inferior sobre el que se deposita la capa de dieléctrico. En este caso, el tamaño de la celda MIM, o lo que es lo mismo, el área activa del dispositivo, está definida por el ancho de estas pistas metálicas en el cruce. Para la fabricación de estos dispositivos son necesarios 3 niveles de máscaras fotolitográficas:

- Nivel 1. Define el electrodo inferior de los dispositivos.
- Nivel 2. Define el electrodo superior de los dispositivos.
- Nivel 3. Define las aperturas en la capa de dieléctrico que constituirán los pads para el contacto eléctrico al electrodo inferior de los dispositivos.

En la **Figura 2-1** se muestra el layout con los tres niveles de máscara de un dispositivo de configuración en cruce, análogo al disponible en el conjunto de máscaras CNM733.



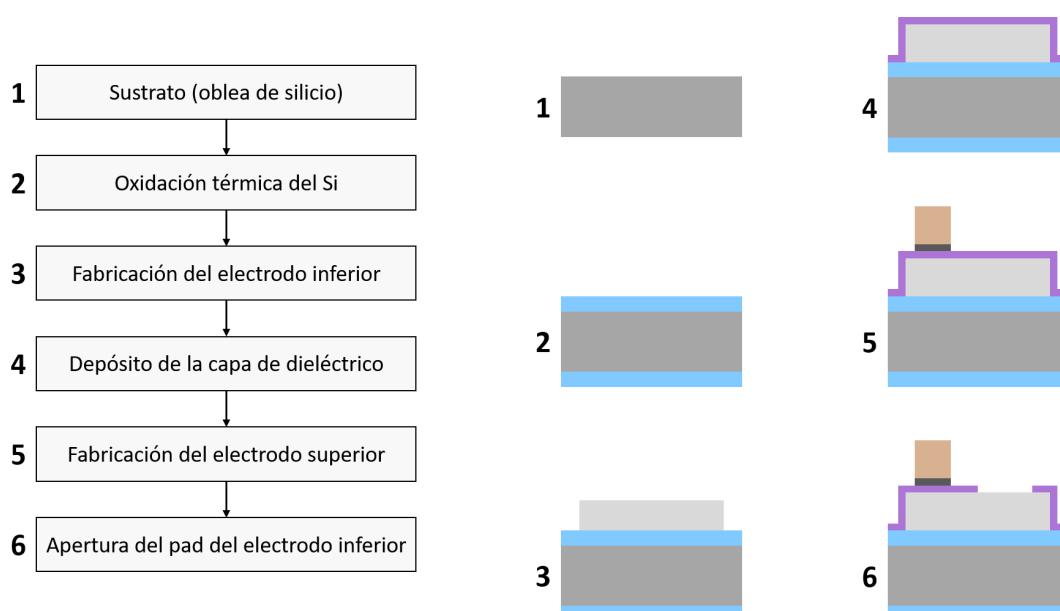
**Figura 2-1.** Layout de un dispositivo MIM de configuración en cruce.

El diagrama de flujo del proceso de fabricación es el que se indica en la **Figura 2-2** junto con una representación esquemática del estado de la oblea después de cada módulo de proceso.

En base a los tres niveles de máscara, la fabricación de los dispositivos consistirá en la siguiente secuencia de etapas:

1. Crecimiento de una capa de óxido de aislamiento. Para aislar eléctricamente el dispositivo del silicio del substrato, se crece una capa de óxido mediante una etapa de oxidación térmica del silicio.
2. Deposición del metal del electrodo inferior. Mediante una etapa de deposición por sputtering se deposita una capa del metal que constituirá el electrodo inferior del dispositivo.

3. Fotolitografía con la máscara Nivel 1. Se definen los motivos en la fotoresina que se desean transferir al metal del electrodo inferior.
4. Grabado de metal. Se graba la capa de metal no protegida por la fotoresina.
5. Eliminación de la resina. En la superficie de la oblea quedan motivos de metal de acuerdo a los existentes en la máscara Nivel 1.
6. Deposición de la capa de aislante. Se deposita una capa delgada de material dieléctrico mediante la técnica Atomic Layer Deposition (ALD).
7. Deposición del metal del electrodo superior. Mediante una etapa de deposición por sputtering se deposita una capa del metal que constituirá el electrodo superior del dispositivo.
8. Fotolitografía con la máscara Nivel 2. Se definen los motivos en la fotoresina que se desean transferir al metal de electrodo superior.
9. Grabado de metal. Se graba la capa de metal no protegida por la fotoresina.
10. Eliminación de la fotoresina. En la superficie de la oblea quedarán ya definidos los motivos de metal de acuerdo a los existentes en la máscara Nivel 2.
11. Fotolitografía con la máscara Nivel 3. Se definen los motivos en la fotoresina que constituirán los pads de contacto al electrodo inferior, que está totalmente recubierto por la capa de dieléctrico.



**Figura 2-2.** Diagrama de flujo del proceso de fabricación, con una representación esquemática del estado de la oblea después de cada módulo de proceso.

12. Grabado de óxido. Se graba el óxido depositado por ALD en las áreas no protegidas por la fotoresina, que corresponden a los pads de contacto al electrodo inferior.
13. Eliminación de la resina. El dispositivo está terminado.

## 2.2 Fabricación de dispositivos con configuración en cruce

Siguiendo la tecnología descrita en el apartado anterior, se han fabricado dispositivos TiN/Ti/HfO<sub>2</sub>/W, es decir, estructuras MIM con W como electrodo inferior, HfO<sub>2</sub> como aislante y un apilamiento TiN sobre 10 nm de Ti, como electrodo superior.

Como ya se ha comentado, se han usado los niveles correspondientes del conjunto de máscaras CNM733 adecuados para la fabricación de estructuras MIM. Estos niveles son:

- L2, de campo claro, para la definición del electrodo inferior
- L3, de campo oscuro, para la definición del electrodo superior
- L4, de campo oscuro, para la apertura del pad de contacto al electrodo inferior.

Usando estos niveles de máscara, la fabricación de los dispositivos consiste en:

1. Crecimiento de una capa de óxido de silicio de 200 nm de espesor mediante un proceso de oxidación térmica del silicio a 1100 °C, de manera que la capa de óxido crece en ambas caras de la oblea.
2. Deposición por sputtering de una capa de W del espesor deseado.
3. Fotolitografía con la máscara L2 utilizando fotoresina positiva.
4. Grabado seco de la capa de W.
5. Eliminación de la resina.
6. Crecimiento de una capa de 10 nm de HfO<sub>2</sub> mediante la técnica Atomic Layer Deposition (ALD). Para ello se ha usado un equipo Savannah 200 de Cambridge Nanotech, a una temperatura de 225 °C y usando Tetrakis(dimetilamido)Hafnio (TDMAH) como precursor de hafnio, H<sub>2</sub>O como precursor de oxígeno, y N<sub>2</sub> como gas portador y de purga. El espesor nominal de la capa de HfO<sub>2</sub> es de 10 nm y en cada proceso de deposición realizado se ha ajustado el número de ciclos ALD para la obtención sobre una oblea testigo de una capa de dicho espesor, según medida por elipsometría usando un índice de refracción de n = 2.07.
7. Deposición por sputtering de una capa de 10 nm de Ti.

8. Deposición por sputtering de una capa de TiN del espesor deseado.
9. Fotolitografía con la máscara L3 utilizando fotoresina negativa.
10. Grabado seco del apilamiento de metal formado por la capa de TiN sobre 10 nm de Ti.
11. Eliminación de la fotoresina.
12. Fotolitografía con la máscara L4 utilizando fotoresina positiva.
13. Grabado seco de la capa de HfO<sub>2</sub>
14. Eliminación de la resina.

En la **Figura 2-3** se muestra una imagen tomada al microscopio óptico del conjunto de estructuras MIM de distintas áreas que se fabrican mediante el conjunto de máscaras CNM733, con valores que van de  $2 \times 2 \mu\text{m}^2$  hasta  $100 \times 100 \mu\text{m}^2$ .



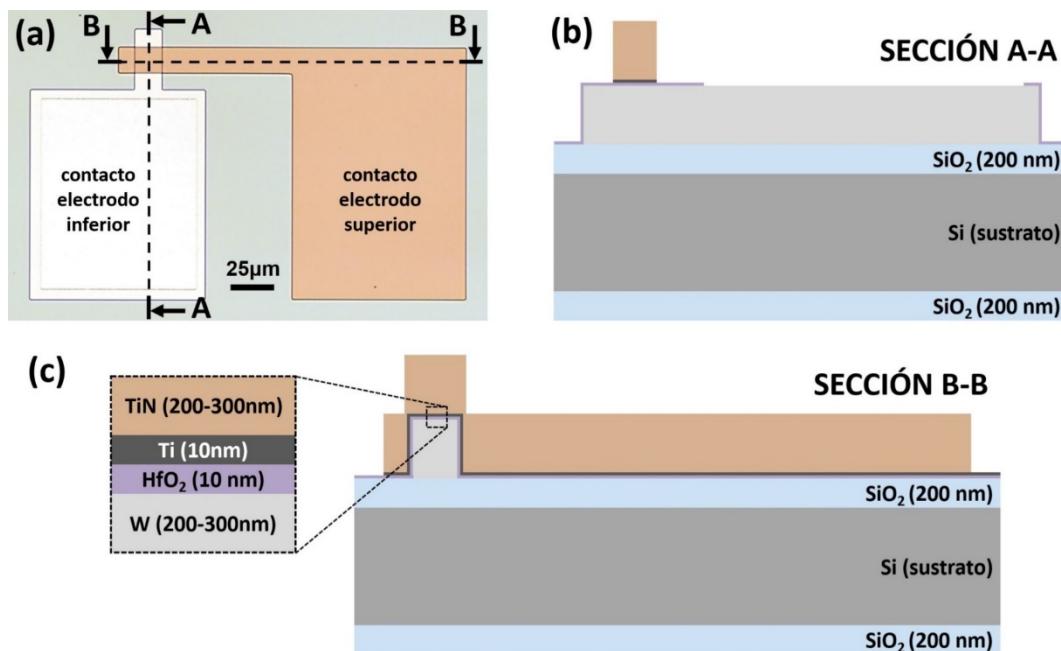
**Figura 2-3.** Imagen óptica de una fila de dispositivos TiN/Ti/HfO<sub>2</sub>/W de varios tamaños.

Los resultados que se presentan en esta tesis doctoral en estructuras en cruce corresponden a dos obleas con espesores distintos de las capas de metal como se indica en la **Tabla I**. La motivación para disponer de estructuras con espesores de metal distinto se debe a que las características eléctricas de las capas de metal pueden afectar las prestaciones de los dispositivos de conmutación resistiva, a través de la resistencia serie que las líneas de metal aportan [74].

#Oblea	W (nm)	HfO <sub>2</sub> (nm)	Ti (nm)	TiN (nm)
<b>8356-2</b>	200	10	10	200
<b>9512-3</b>	300	10	10	300

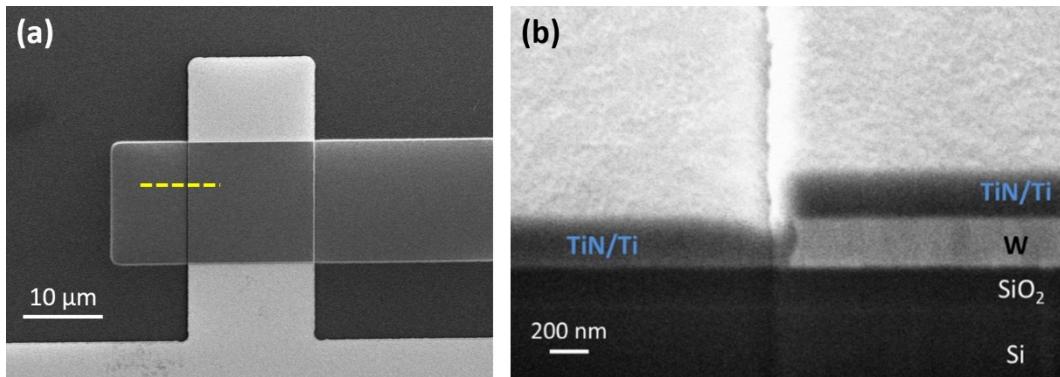
**Tabla I.** Espesores de las capas de las estructuras MIM.

En la **Figura 2-4** se muestra un dispositivo fabricado con este tipo de configuración y un tamaño de área activa de  $15 \times 15 \mu\text{m}^2$  con las correspondientes representaciones esquemáticas de las secciones A-A y B-B.



**Figura 2-4.** (a) Imagen óptica de un dispositivo TiN/Ti/HfO<sub>2</sub>/W de configuración cross-point y una área activa de  $15 \times 15 \mu\text{m}^2$ . Las secciones del electrodo inferior / superior a nivel de la celda MIM, indicadas respectivamente por los planos de corte A-A / B-B, están representadas en (b) y (c). Adicionalmente en (c) se indica los espesores en los que se han fabricado los dispositivos caracterizados y medidos.

En la **Figura 2-5** se muestra la imagen de una estructura  $15 \times 15 \mu\text{m}^2$  tomada mediante microscopía electrónica de barrido (SEM) de una vista superior (a) y de un corte transversal realizado mediante FIB (Focused Ion Beam) (b), para el caso de una estructura con metales de espesor nominal de 200 nm. Dado el bajo espesor de la capa de HfO<sub>2</sub>, esta no se aprecia en una imagen SEM. En la **Figura 2-5b** se aprecia claramente la no conformidad del depósito del metal, con un espesor menor en la pared vertical, por lo que este será un punto débil en el funcionamiento eléctrico del dispositivo, de manera que al pasar una corriente eléctrica se puede provocar la fusión del metal en estos puntos débiles, por efecto Joule. En la misma figura se observa también cómo el grabado seco de la capa de W, que constituye el electrodo inferior, presenta una pared no vertical sino cóncava por lo que, si este efecto pudiera representar un punto débil, sería preciso modificar el proceso de grabado para paliarlo.



**Figura 2-5.** (a) Imagen SEM de la vista superior de un dispositivo TiN/Ti/HfO<sub>2</sub>/W de configuración cross-point, área activa de 15×15 μm<sup>2</sup> y metales con espesores de 200 nm. (b) Imagen SEM de un corte FIB de la estructura de (a) en la zona indicada con la línea discontinua.

Una vez terminado el proceso de fabricación, para estudiar las características de las líneas de metal, se han utilizado las estructuras CBR de test de las líneas de metal de anchura nominal de 2 y 5 μm, incluidas en cada chip del conjunto de máscaras CNM733 [73]. La medida de las características eléctricas de las estructuras CBR nos ha permitido obtener la resistencia por cuadro ( $R_{cuadro}$ ) de cada metal, así como la anchura eléctrica efectiva de las líneas de las estructuras de test.

Los resultados obtenidos para el caso del W, usado como electrodo inferior en la estructura MIM, incluyendo valor medio y desviación estándar sobre un conjunto de 99 chips, se indican en la **Tabla II**.

W	CBR – 2 μm		CBR – 5 μm		
	#Oblea	$R_{cuadro}$ (Ω/sq)	Anchura (μm)	$R_{cuadro}$ (Ω/sq)	Anchura (μm)
8356-2		1.29 ± 0.16	2.37 ± 0.16	1.32 ± 0.16	5.48 ± 0.17
9512-3		1.01 ± 0.17	2.46 ± 0.22	1.04 ± 0.20	5.59 ± 0.24

**TABLA II.** Características de las líneas de metal de W medidas en las estructuras de test CBR.

Los resultados obtenidos para las dos obleas indican una buena repetitividad del proceso y una buena uniformidad de características en oblea. Además, al aumentar el espesor de la capa de metal, efectivamente el valor de  $R_{cuadro}$  disminuye, aunque ligeramente menos de lo esperado. La menor diferencia entre resistencias asociadas a los metales con respecto a lo esperado puede dar lugar a un efecto menos relevante en las características de conmutación resistiva de los dispositivos. A pesar de ello, sí representará una mejora un

aumento del espesor en términos de fiabilidad, pues la densidad de corriente será menor y las líneas de metal podrán soportar mayores corrientes sin ser degradadas por efecto Joule.

En cuanto al apilamiento de TiN sobre una capa de 10 nm de Ti, los resultados obtenidos se indican en la **Tabla III** junto con los de las líneas de W para la misma oblea.

9512-3	CBR – 2 μm		CBR – 5 μm	
	Metal	R <sub>cuarto</sub> (Ω/sq)	Anchura (μm)	R <sub>cuarto</sub> (Ω/sq)
W	1.01 ± 0.17	2.46 ± 0.22	1.04 ± 0.20	5.59 ± 0.24
TiN/Ti	4.16 ± 0.53	1.39 ± 0.20	4.16 ± 0.44	4.38 ± 0.50

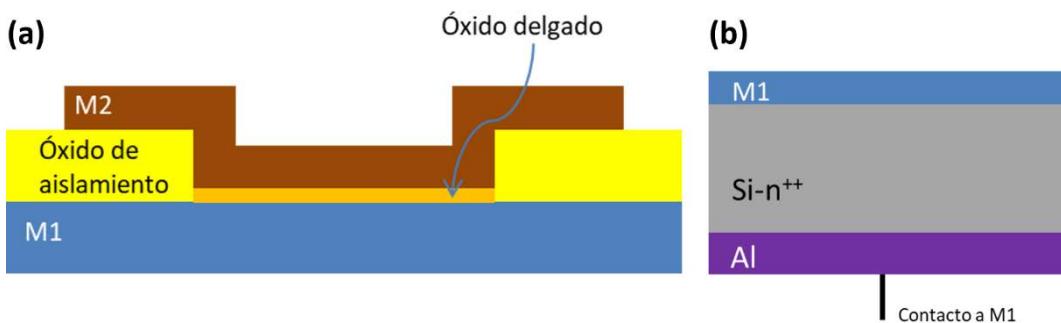
**TABLA III.** Características de las líneas de metal de W y TiN medidas en las estructuras de test CBR.

Como se observa en la **Tabla III**, el electrodo superior constituido por el apilamiento TiN/Ti es más resistivo que el inferior y, además, el proceso de definición de la anchura de líneas ha dado lugar a líneas más estrechas que las nominales. Este hecho tiene dos consecuencias: por un lado, el área activa de las estructuras será inferior al nominal y, por otro lado, la resistencia serie que el electrodo superior introducirá en el funcionamiento de las estructuras será mayor que el teóricamente previsto. Hay que señalar que este resultado se añade al hecho de que, por el diseño de las estructuras, el número de cuadros de metal del electrodo inferior es menor que el del electrodo superior [75]. Así, en el caso de las estructuras MIM de  $5 \times 5 \mu\text{m}^2$ , el número de cuadros de W es de 7.2, mientras que el número de cuadros de TiN/Ti es de 16.2, por lo que la resistencia serie sería de aproximadamente 75 Ω.

## 2.3 Tecnología de fabricación de dispositivos aislados

La tecnología para la fabricación de dispositivos en cruce descrita en los apartados anteriores utiliza tres niveles de máscara y etapas de grabado seco para la estructuración de las capas de metal que constituyen los electrodos inferior y superior de las estructuras MIM. Con el fin de ensayar una alternativa tecnológica que no necesite del grabado de capas de metal, y en la que las áreas de los dispositivos estén determinadas por una sola etapa de grabado, hemos propuesto la siguiente tecnología que permite la fabricación de

dispositivos a los que llamamos de configuración aislada. La propuesta consiste en utilizar una capa de óxido de aislamiento sobre el metal del electrodo inferior del dispositivo. En esta capa de óxido se definen unas aperturas que constituirán las áreas activas de los dispositivos MIM, como se indica en la **Figura 2-6a**, y, por tanto, el área estará determinada por una única etapa de grabado. Además, la opción de la definición de celdas MIM por un cruce de pistas metálicas adolece de un inconveniente, como se ha podido observar (**Figura 2-5b**), que es el estrechamiento que se produce en la pista metálica del electrodo superior al cubrir el escalón en el cruce con la pista metálica inferior por la no conformidad del depósito del metal. Adicionalmente, si el proceso de fabricación generara irregularidades en el borde de la pista del metal inferior, la estructura en cruce presentaría puntos débiles. La opción tecnológica mediante la definición por una apertura en una capa de aislamiento mejora también este problema.



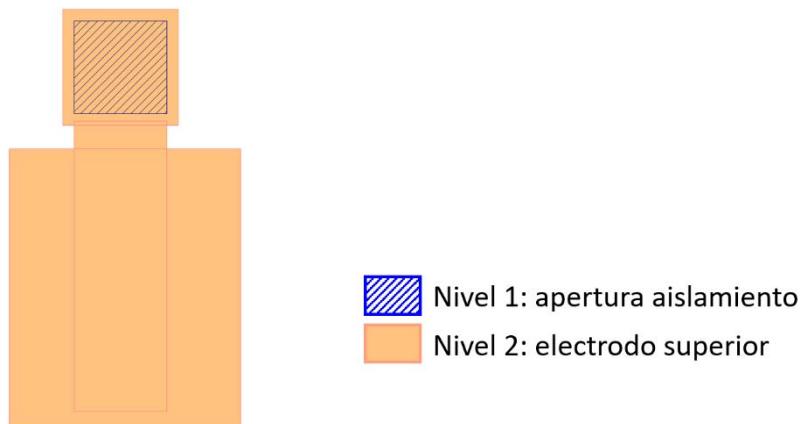
**Figura 2-6.** (a) Vista transversal esquemática de una estructura MIM de configuración aislada. (b) Contacto eléctrico al electrodo inferior a través de la cara posterior de la oblea.

Como se observa en la vista transversal, esta propuesta sería análoga a la utilizada para la fabricación de estructuras MIS, con la diferencia de que en nuestro caso necesitamos definir una estructura MIM, es decir, el óxido delgado debe estar sobre un metal. Para ello, depositaremos la capa de metal del electrodo inferior (M1 en la **Figura 2-6**) sobre toda la superficie de una oblea de silicio que sea muy poco resistiva, es decir, que esté altamente dopada. Y así, mediante una metalización de la cara posterior de la oblea podremos contactar eléctricamente con el metal M1, como se muestra en la **Figura 2-6b**.

Bajo estas condiciones, para la fabricación de una estructura MIM aislada, serán necesarios dos niveles de máscara:

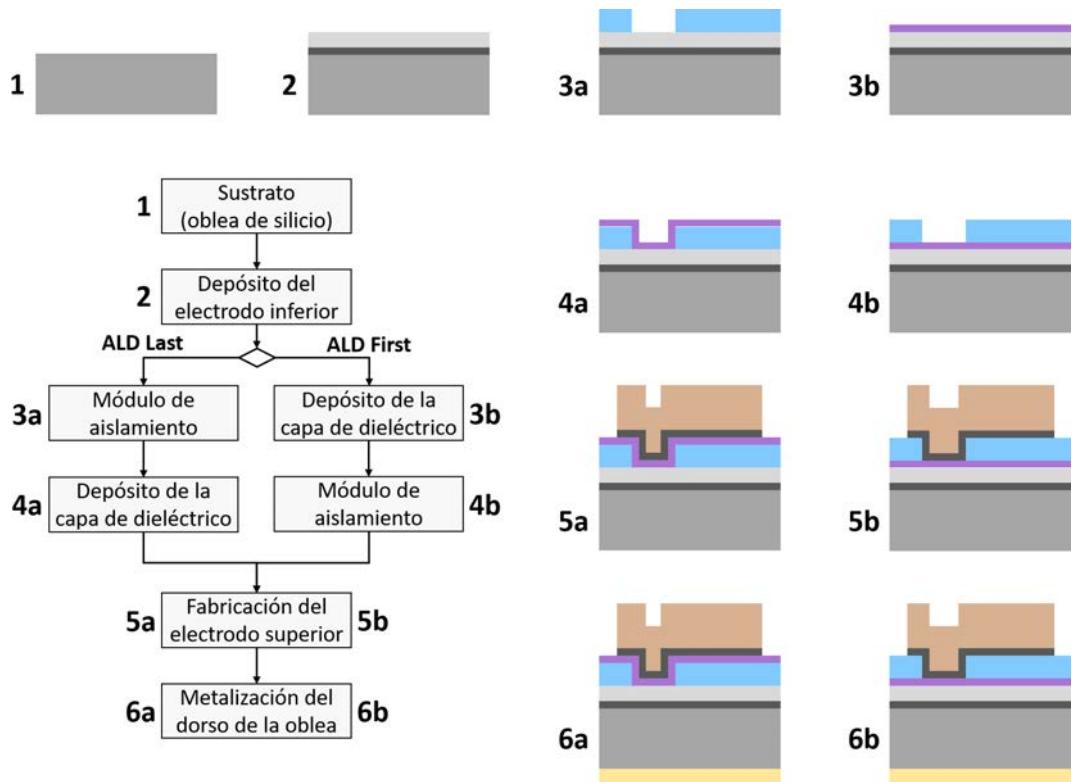
- Nivel 1. Define la apertura del óxido de aislamiento que será el área activa del dispositivo.
- Nivel 2. Define el electrodo superior de los dispositivos.

En la **Figura 2-7** se muestra el layout con los dos niveles de máscara de un dispositivo de configuración aislada, análogo al disponible en el conjunto de máscaras CNM733 para la fabricación de estructuras MIS.



**Figura 2-7.** Layout de un dispositivo MIM de configuración aislada.

El diagrama de flujo del proceso de fabricación para esta propuesta es el que se indica en la **Figura 2-8** junto con una representación esquemática del estado de la oblea después de cada módulo de proceso. Como vemos, existen dos posibilidades según la etapa de deposición de la capa delgada de aislante de la estructura MIM se realice antes (ALD First) o después (ALD Last) del módulo de proceso del óxido de aislamiento. Aunque en ambos casos la celda MIM activa es la misma, las etapas tecnológicas que constituyen el módulo de proceso del aislamiento serán distintas, como se detallará en la sección 2.4.



**Figura 2-8.** Diagrama de flujo del proceso de fabricación de dispositivos MIM de configuración aislada, con una representación esquemática del estado de la oblea después de cada módulo de proceso.

## 2.4 Fabricación de dispositivos con configuración aislada

Para la evaluación de la tecnología propuesta, se han empleado los niveles del conjunto de máscaras CNM733 diseñados para la fabricación de estructuras MIS, es decir:

- L1, de campo oscuro, para la apertura del óxido de aislamiento.
- L2, de campo claro, para la definición del electrodo superior.

En base a estas máscaras, el proceso de fabricación de dispositivos TiN/Ti/HfO<sub>2</sub>/W de configuración aislada consiste en las siguientes etapas:

1. Depósito del electrodo inferior sobre toda la superficie de una oblea de silicio de 100 mm de diámetro, de 275 µm de espesor y con una resistividad de 0.1 Ω·cm. Para favorecer la adherencia del metal del electrodo inferior, W, se ha depositado en primer lugar una capa de 20 nm de Ti y posteriormente una capa de 50 nm de W, en ambos casos mediante sputtering. Hay que señalar que el espesor de la capa de W ha tenido que ser limitado para evitar la fractura de la capa por tensiones mecánicas.

En función de en qué momento del procesado se deposite la capa delgada de dieléctrico, el proceso seguirá las etapas que se describen a continuación:

#### **Opción ALD First**

2. Crecimiento de una capa de 10 nm de HfO<sub>2</sub> mediante ALD, en un equipo Savannah 200 de Cambridge Nanotech, a T = 225 °C y usando Tetrakis(dimetilamido)Hafnio (TDMAH) como precursor de hafnio, H<sub>2</sub>O como precursor de oxígeno, y N<sub>2</sub> como gas portador y de purga. El espesor nominal de la capa de HfO<sub>2</sub> es de 10 nm y en cada proceso de deposición realizado se ha ajustado el número de ciclos ALD para la obtención sobre una oblea testigo de una capa de dicho espesor, según medida por elipsometría usando un índice de refracción de n = 2.07.
3. Deposición de una capa de 100 nm de SiO<sub>2</sub> mediante PECVD (Plasma Enhanced Chemical Vapor Deposition) utilizando SiH<sub>4</sub> y O<sub>2</sub> como precursores.
4. Fotolitografía con la máscara L1 usando fotoresina positiva.
5. Grabado húmedo de la capa de óxido PECVD. El grabado progresará hasta llegar a la capa de HfO<sub>2</sub>, momento en el que la velocidad de grabado vertical se reduce drásticamente, al ser el HfO<sub>2</sub> muy resistente a las soluciones grabadoras de SiO<sub>2</sub>. Hay que señalar que es importante la total eliminación del óxido de aislamiento puesto que, en caso contrario, el dieléctrico de la estructura MIM sería una bicapa de HfO<sub>2</sub> y SiO<sub>2</sub> con lo que las características de conmutación resistiva podrían quedar comprometidas.
6. Eliminación de la resina.

#### **Opción ALD Last**

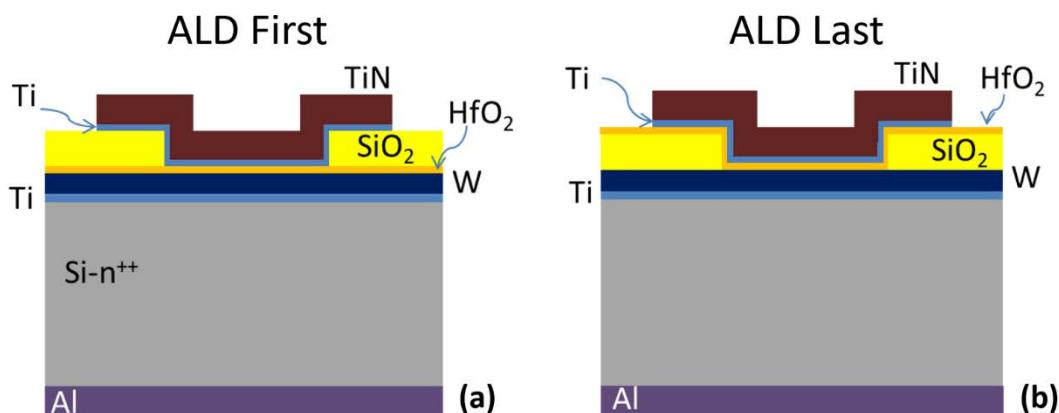
2. Deposición de una capa de 100 nm de SiO<sub>2</sub> mediante PECVD utilizando SiH<sub>4</sub> y O<sub>2</sub> como precursores.
3. Fotolitografía con la máscara L1 usando fotoresina positiva.
4. Grabado seco de la capa de óxido PECVD. El grabado progresará hasta llegar a la capa de W. Análogamente a la opción ALD First, es importante la total eliminación del óxido de aislamiento puesto que, en caso contrario, el dieléctrico de la estructura MIM sería una bicapa de HfO<sub>2</sub> y SiO<sub>2</sub> con lo que las características de conmutación resistiva podrían quedar comprometidas.

5. Eliminación de la resina.
6. Crecimiento de una capa de 10 nm de  $\text{HfO}_2$  mediante ALD, en un equipo Savannah 200 de Cambridge Nanotech, a  $T = 225^\circ\text{C}$  y usando Tetrakis(dimetilamido)Hafnio (TDMAH) como precursor de hafnio,  $\text{H}_2\text{O}$  como precursor de oxígeno, y  $\text{N}_2$  como gas portador y de purga. El espesor nominal de la capa de  $\text{HfO}_2$  es de 10 nm y en cada proceso de deposición realizado se ha ajustado el número de ciclos ALD para la obtención sobre una oblea testigo de una capa de dicho espesor, según medida por elipsometría usando un índice de refracción de  $n = 2.07$ .

A partir de este punto, la secuencia es la misma para las dos opciones y consiste en la estructuración del metal de electrodo superior mediante la técnica de lift-off, es decir,

7. Fotolitografía con la máscara L2 usando fotoresina negativa.
8. Deposición por sputtering de una capa de 10 nm de Ti.
9. Deposición por sputtering de una capa de TiN de 200 nm de espesor.
10. Eliminación de la resina y, por tanto, estructuración del metal por lift-off.
11. Metalización del dorso de la oblea mediante sputtering con una capa de 500 nm de Al.

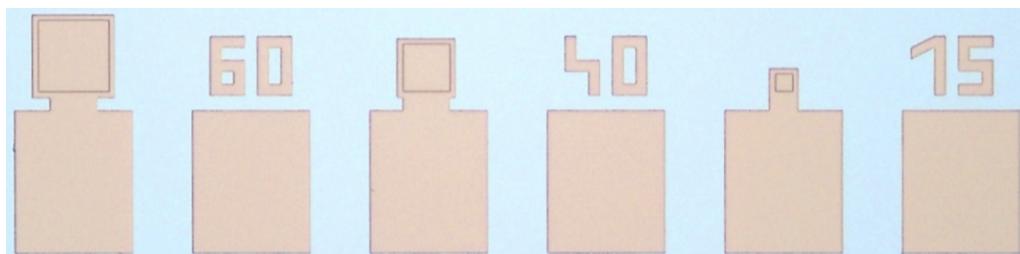
Una vista transversal esquemática de las estructuras TiN/Ti/ $\text{HfO}_2$ /W resultantes de las opciones ALD First y ALD Last se muestra en la **Figura 2-9**.



**Figura 2-9.** Vista transversal esquemática de las estructuras MIM de configuración aislada siguiendo la opción tecnológica (a) ALD First o (b) ALD Last.

Siguiendo esta tecnología, se han fabricado distintas obleas (ver **Tabla IV**) utilizando los niveles del conjunto de máscaras CNM733 para estructuras MIS, con áreas activas de

geometría cuadrada y cuyas dimensiones van desde 120×120 μm<sup>2</sup> hasta 1×1 μm<sup>2</sup>. En la **Figura 2-10** se muestra una fotografía tomada a través de un microscopio óptico de un subconjunto de dispositivos de distinta área.



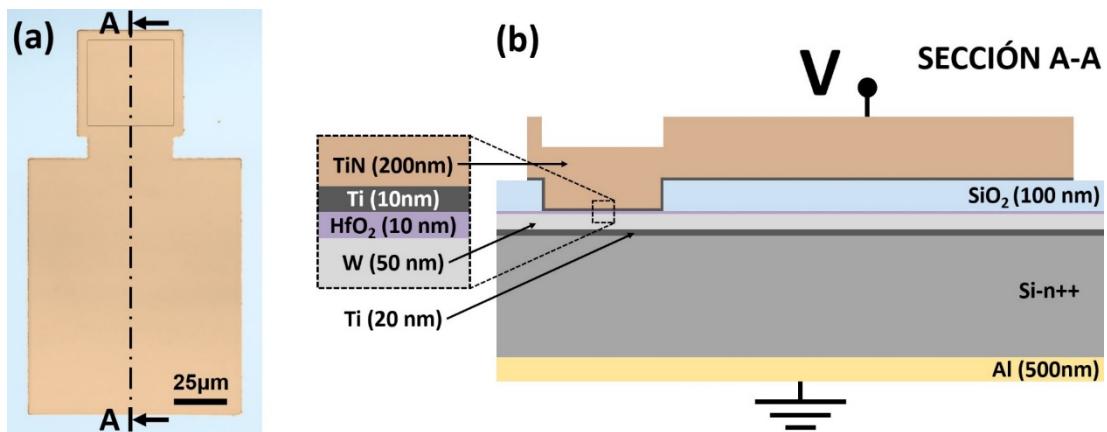
**Figura 2-10.** Imagen óptica de una fila de dispositivos de configuración aislada de varios tamaños.

Las obleas que se han fabricado siguiendo esta tecnología y de cuyos dispositivos se presentan las características de conmutación resistiva en esta tesis, son las que se indican en la **Tabla IV**. En ella se incluye el número de ciclos ALD empleado para el crecimiento de una capa de 10 nm de HfO<sub>2</sub> de acuerdo con la determinación previa de la cinética de deposición sobre una oblea de test. Como se indica, la uniformidad de espesor en oblea es notable, por lo que la variabilidad de dispositivo a dispositivo en oblea del fenómeno de conmutación resistiva no podrá ser atribuida a un espesor de óxido distinto sino a la propia estocasticidad del fenómeno de la conmutación resistiva.

#Oblea	Tecnología	# ciclos ALD	HfO <sub>2</sub> (nm)
<b>10050-1</b>	ALD first	104	9.9 ± 0.1
<b>10132-1</b>	ALD last	104	9.9 ± 0.1
<b>10371-1</b>	ALD first	97	9.7 ± 0.2

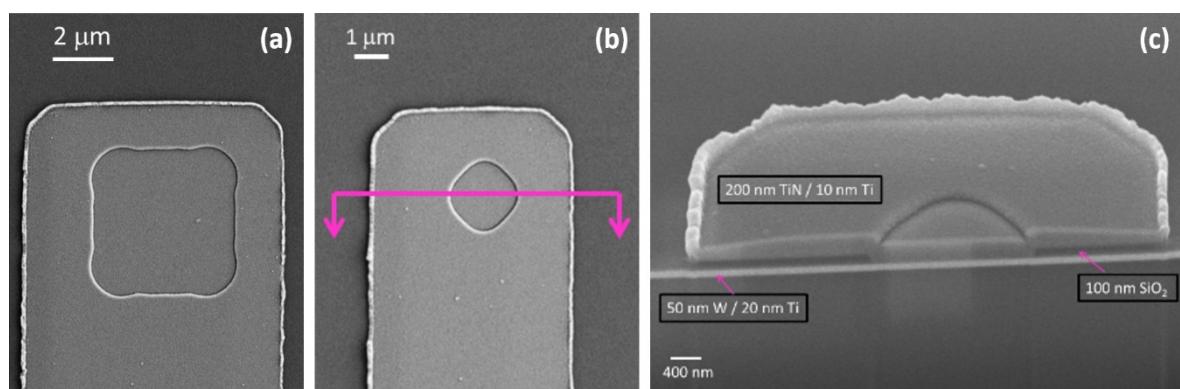
**Tabla IV.** Características de las obleas con dispositivos de configuración aislada.

En la **Figura 2-11** se muestra una fotografía de un dispositivo fabricado con la opción ALD First junto con una representación esquemática de la sección AA.



**Figura 2-11.** (a) Imagen de microscopía óptica de un dispositivo TiN/Ti/HfO<sub>2</sub>/W de configuración aislada y un área activa de 40×40 μm<sup>2</sup>. (b) Representación de la sección longitudinal del dispositivo en (a) indicado por el plano de corte A-A.

Los resultados de la inspección SEM de los dispositivos de configuración aislada se muestran en la **Figura 2-12**, para el caso de dispositivos en tecnología ALD First, en los que la apertura del óxido de aislamiento se ha realizado mediante grabado húmedo. Como se observa, las dimensiones en máscara quedan bien replicadas para estructuras de áreas mayores que 2×2 μm<sup>2</sup>, pero para las de estas dimensiones hay una pérdida significativa de dimensiones, por no haberse abierto completamente el motivo definido en la etapa fotolitográfica.

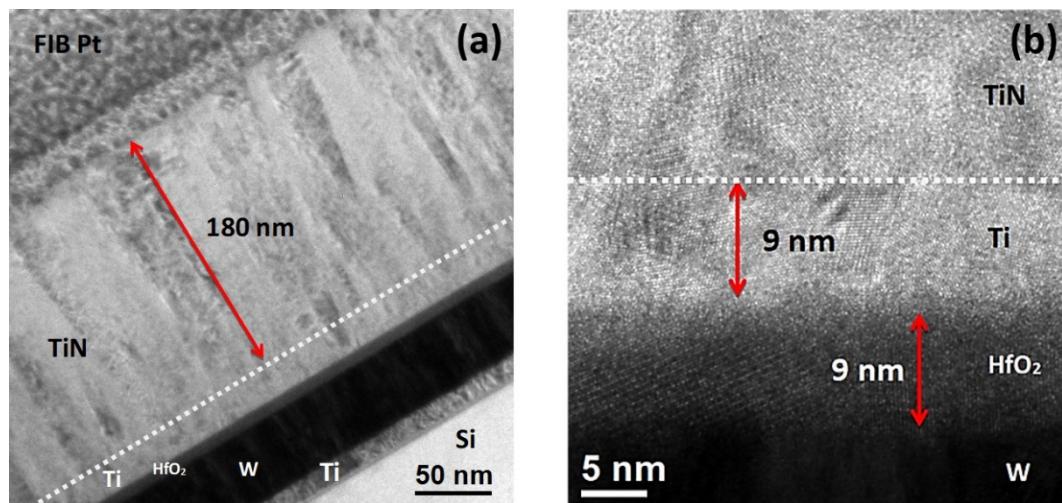


**Figura 2-12.** (a) Imagen SEM de la vista superior de una estructura de área activa en máscara de 5×5 μm<sup>2</sup> y (b) de 2×2 μm<sup>2</sup>, de la oblea 10371-1. (c) Imagen SEM del corte realizado por FIB en la zona indicada en (b).

Una inspección del corte transversal realizado mediante FIB (**Figura 2-12c**) nos permite observar el corte transversal real de las estructuras. En esta inspección vemos que se ha producido el fenómeno conocido como “fencing” en el metal al ser estructurado mediante una etapa de lift-off, de manera que parte del metal del electrodo superior en las paredes

de la resina ha permanecido después de la eliminación de esta, formándose esta “verja” en el perímetro del motivo de metal. Hay que señalar que siendo esta la etapa final del procesado, este “fencing” del metal no tiene ninguna consecuencia sobre las características eléctricas de los dispositivos.

Finalmente, y para disponer de una información estructural de las capas en las estructuras TiN/Ti/HfO<sub>2</sub>/W fabricadas, se han preparado lamelas en la zona activa de los dispositivos de configuración aislada de la oblea 10371-1 y se han analizado mediante microscopía TEM y HRTEM en colaboración con el grupo de la Profesora Francesca Peiró de la Universitat de Barcelona. Los resultados se muestran en la **Figura 2-13**. De estas imágenes se han determinado los espesores de las capas: 180 nm TiN / 9 nm Ti / 9 nm HfO<sub>2</sub> / 45 nm W / 15 nm Ti, de acuerdo con lo esperado. Además, es importante señalar que la inspección de la capa de HfO<sub>2</sub> ha indicado su carácter policristalino, como se observa en la imagen de la **Figura 2-13b**.



**Figura 2-13.** (a) Imagen TEM y (b) HRTEM de una estructura TiN/Ti/HfO<sub>2</sub>/W de configuración aislada. Resultados obtenidos en colaboración con la Dra. Gemma Martín y la Prof. Francesca Peiró de la Universitat de Barcelona.

### **3. Caracterización de conmutación resistiva con característica bipolar**

---

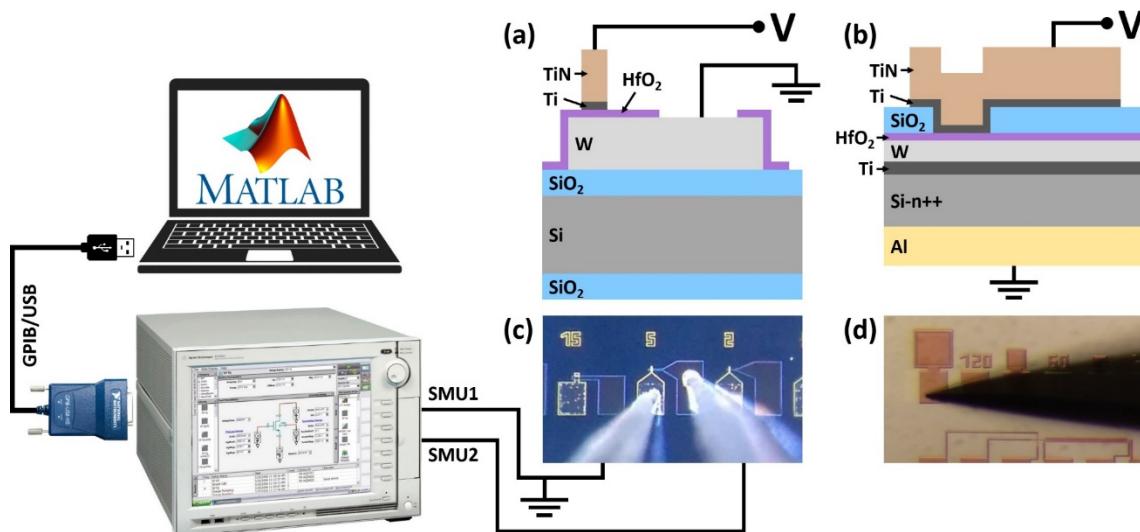
Una vez fabricados los dispositivos TiN/Ti/HfO<sub>2</sub>/W según las tecnologías descritas en el capítulo anterior, se ha realizado la caracterización eléctrica de estos mediante la medida experimental de las características corriente-tensión para estudiar el fenómeno de la conmutación resistiva bipolar. En este capítulo se presenta la metodología empleada y los resultados obtenidos en la caracterización de la conmutación resistiva. La respuesta de los dispositivos en continua ha sido evaluada mediante la aplicación de ciclos de barrido con rampas de tensión en las dos polaridades y la viabilidad de estas estructuras como celdas de memoria ha sido analizada a través de la aplicación de secuencias de trenes de pulsos de tensión.

#### **3.1 Procedimiento experimental de caracterización eléctrica de la conmutación resistiva**

##### **3.1.1 Montaje instrumental**

El comportamiento eléctrico de los dispositivos ha sido estudiado realizando una serie de medidas eléctricas directamente sobre la oblea en una mesa de puntas. Para ello se ha utilizado un analizador de parámetros de semiconductores o SPA (Semiconductor

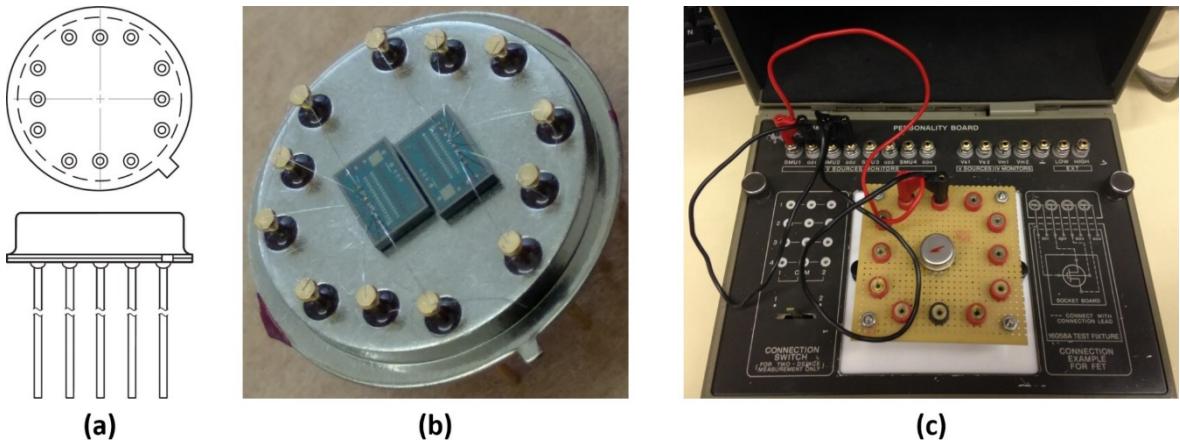
Parameter Analyzer), concretamente los modelos HP4155B y Keysight B1500A, a cuyos SMUs se han conectado las puntas que contactan con los electrodos del dispositivo. Durante el proceso de medida eléctrica el SPA utilizado ha sido controlado por ordenador, a través de una conexión GPIB-USB, usando algoritmos de medida desarrollados específicamente para este cometido en un entorno de MATLAB. Este software de medida ha permitido aplicar secuencias largas tanto de ciclos de barrido de rampas en ambas polaridades como de trenes de pulsos. Los barridos de voltaje y los trenes de pulsos han sido aplicados al electrodo superior con respecto al electrodo inferior que se ha mantenido conectado a tierra. En la **Figura 3-1a,c** se muestra la configuración de medida para el caso de dispositivos en cruce, en la **Figura 3-1b,d** para el caso de los dispositivos en configuración aislada, en los que el contacto eléctrico al electrodo inferior se realiza conectando un SMU del SPA al chuck de la mesa de puntas sobre el que se fija la oblea mediante vacío.



**Figura 3-1.** Representación esquemática del montaje experimental durante la medida de un dispositivo. En la sección de corte del dispositivo en cruce (a) y del dispositivo aislado (b) se indica el esquema de contactos que también se puede apreciar, respectivamente, en las imágenes ópticas (c) y (d) tomadas a través de la lupa de la mesa de puntas.

Puntualmente se han encapsulado chips de la oblea 9512-3 para poder realizar medidas fuera de mesa de punta y así poder realizar experimentos sin necesidad de esta. Las cápsulas utilizadas son del tipo TO-8 (TO, Transistor Outline, ver **Figura 3-2a**) [76], un tipo de cápsula metálica con 12 pines. En cada uno de los encapsulados se han colocado dos chips (**Figura 3-2b**) y de cada chip se han conectado dos dispositivos de área  $5 \times 5 \mu\text{m}^2$  y un dispositivo de área  $15 \times 15 \mu\text{m}^2$  a los pines del encapsulado mediante una unión por hilos

soldados con ultrasonidos. El montaje experimental del encapsulado durante las medidas eléctricas se ha realizado utilizando una placa de circuito impreso, en la que va alojado un zócalo para el TO-8, montada en un banco de ensayo HP 16058A, en el que se realiza la conexión entre los terminales de la placa con los cables de los SMU del SPA (**Figura 3-2c**).

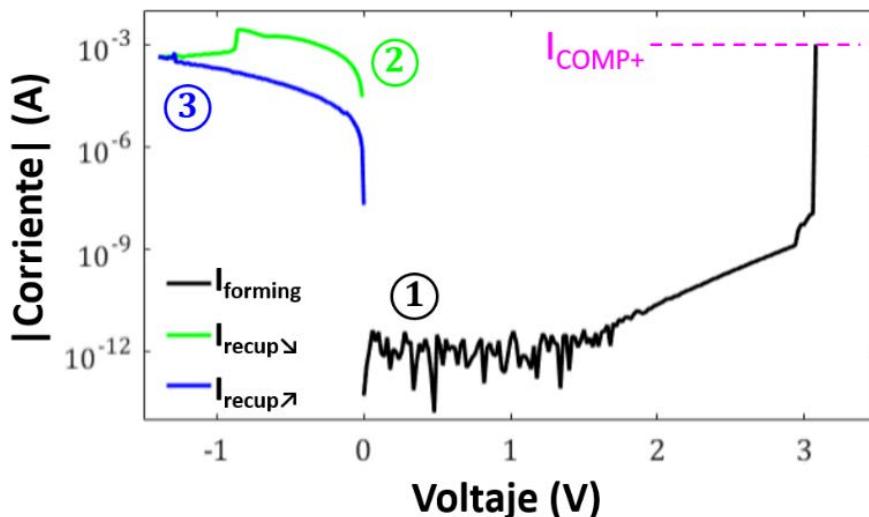


**Figura 3-2.** (a) Representación de una cápsula TO-8. (b) Fotografía de dos chips encapsulados en la cápsula TO8. (c) Montaje experimental para medidas eléctricas de dispositivos encapsulados.

### 3.1.2 Caracterización del proceso de forming

Una evaluación típica de la conmutación resistiva empieza con un proceso inicial de forming (ver **Figura 3-3**) en el que se aplica una rampa positiva de voltaje a un dispositivo virgen hasta que ocurre un incremento abrupto y repentino de la corriente, momento en el cual el dispositivo ha cambiado a un estado de baja resistencia, LRS (Low Resistance State), o “estado on”. A ese voltaje inicial de cambio ( $V_{forming}$ ) se forma completamente el filamento conductor entre los dos electrodos. Durante esta etapa inicial la corriente se limita a un valor de seguridad ( $I_{COMP+}$ ) para evitar la ruptura irreversible de la capa de dieléctrico. El rango en el que se mueven los valores seguridad que se han usado en cualquiera de los dispositivos estudiados en esta tesis es entre 0.1 mA y 20m A, siendo el valor de 1 mA el más comúnmente elegido.

Después del forming, se realiza un proceso de recuperación aplicando una doble rampa de voltaje negativo que asegure el “RESET” del dispositivo, es decir, la conmutación del dispositivo a un estado de alta resistencia, HRS (High Resistance State) o “estado off”. En la **Figura 3-3**, se muestra la característica corriente-tensión medida en el proceso de forming y en el proceso de recuperación, que hemos descrito.



**Figura 3-3.** Característica I-V de un dispositivo virgen durante el proceso inicial de forming y su primera recuperación.  $I_{forming}$  es la corriente medida durante el proceso de forming. Las corrientes medidas durante el proceso de recuperación son  $I_{recup\downarrow}$  (rampa de bajada) e  $I_{recup\uparrow}$  (rampa de subida).

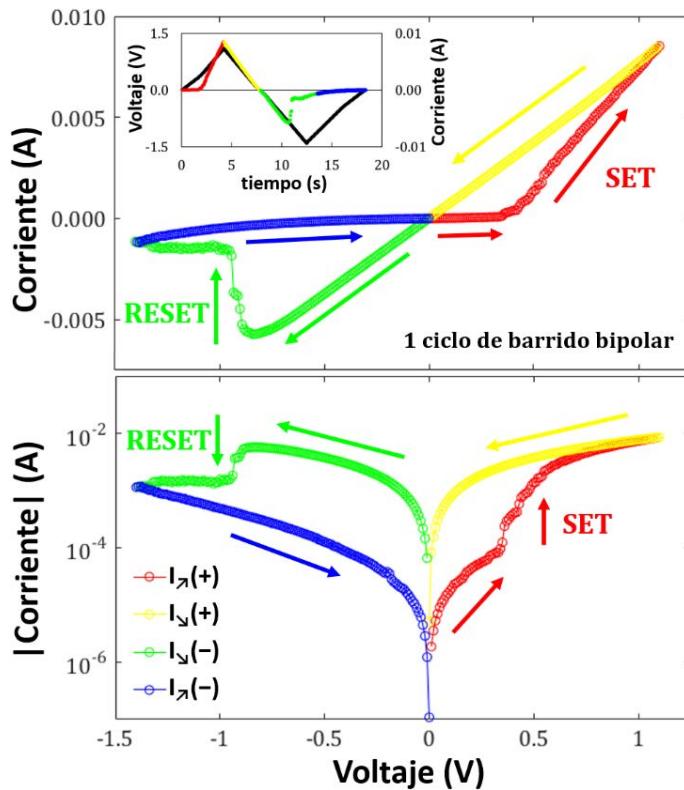
### 3.1.3 Caracterización del fenómeno de la conmutación resistiva

Después de la etapa inicial de forming, el dispositivo está preparado para que se puedan empezar a medir las secuencias, tanto de ciclos de barrido mediante rampas bipolares, como de trenes de pulsos.

#### Medidas con barridos de rampas con límites de voltaje fijos

En la **Figura 3-4** se muestra la típica característica I-V durante un ciclo de conmutación resistiva bipolar y la evolución temporal del voltaje del barrido aplicado mediante rampas en ambas polaridades y de la corriente medida durante ese mismo ciclo. Inicialmente en el ciclo, al dispositivo, que se encuentra en el HRS (estado off), se le aplica una rampa de voltaje positivo hasta a un valor límite  $V_{LIM+}$  lo cual produce la conmutación (proceso de SET) del dispositivo al LRS (estado on). A continuación, se aplica una rampa de voltaje de bajada hasta llegar a 0 V, y seguidamente se aplica otra de voltaje negativo hasta llegar a un valor límite  $V_{LIM-}$  que asegura la conmutación (proceso de RESET) del dispositivo al HRS de nuevo. Finalmente, se aplica una rampa desde este límite de voltaje hasta 0 V completando así un ciclo de barrido entero con el que se ha podido medir un ciclo completo de conmutación resistiva bipolar. En este estudio, los barridos por rampas se han realizado entre  $-1.4$  V y  $+1.1$  V ( $V_{LIM-}$ ,  $V_{LIM+}$ ), pues se ha determinado que entre estos valores se observa el fenómeno de la conmutación resistiva en estos dispositivos. Hay que puntualizar que durante la medida de estos ciclos de conmutación resistiva no se ha aplicado ninguna

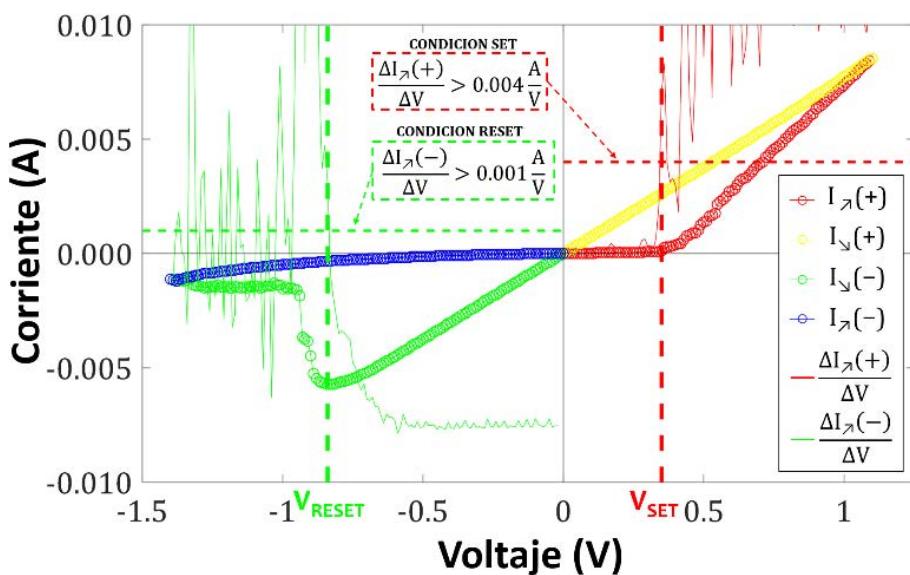
restricción de seguridad en el valor de la corriente, como sí se ha hecho durante la etapa de forming.



**Figura 3-4.** Característica I-V (en escala lineal y logarítmica) del comportamiento bipolar de la conmutación resistiva de los dispositivos estudiados durante un ciclo de barrido por rampas. En el gráfico insertado en la figura superior se muestra la evolución temporal durante este ciclo del voltaje aplicado y de la corriente medida.

Para caracterizar el comportamiento de conmutación resistiva de los dispositivos se han extraído los parámetros característicos a partir de las medidas eléctricas. Para ello los resultados experimentales han sido analizados mediante algoritmos programados y desarrollados en MATLAB. Así, además de obtener los valores de la resistencia en los dos estados a la tensión de lectura que se seleccione (comúnmente, se han elegido  $V_{READ} = \pm 0.1$  V), para detectar los puntos de inicio de las transiciones de SET/RESET en los ciclos de barrido por rampas, se ha desarrollado un algoritmo consistente en el cálculo de la derivada numérica de la corriente respecto del voltaje y su comparación con unas condiciones límite de detección de los puntos SET/RESET (ver **Figura 3-5**), las cuales son determinadas a través de un proceso iterativo para ser óptimas en este análisis numérico. Los valores de voltaje en los que la derivada numérica sobrepasa por primera vez estas

condiciones límite se han tomado como los puntos en los que se inician los procesos de la conmutación resistiva del dispositivo ( $V_{SET}$ ,  $V_{RESET}$ ).

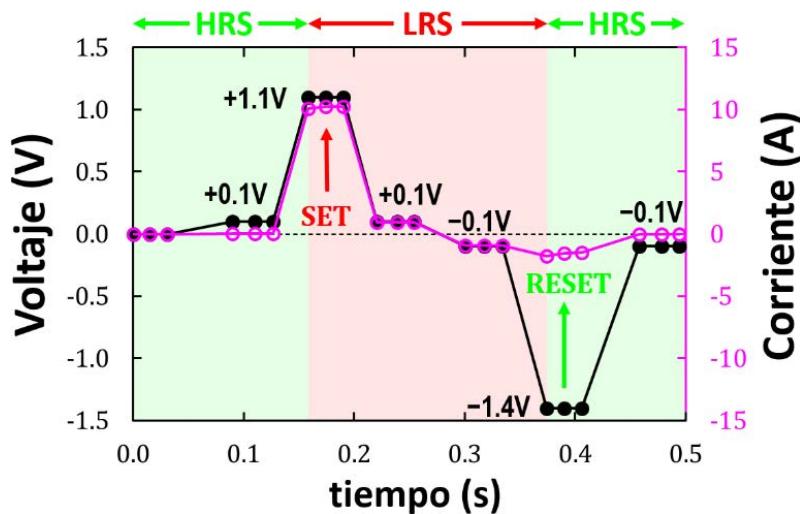


**Figura 3-5.** Diagrama de detección de los puntos de SET/RESET. Las rectas horizontales discontinuas señalan la condición límite establecida para la detección de los puntos de inicio de SET/RESET. Las rectas verticales discontinuas marcan los valores de voltaje en los que la curva de la derivada sobrepasa por primera vez las condiciones límite de detección ( $V_{SET}$ ,  $V_{RESET}$ ).

### Medidas con trenes de pulsos de voltajes fijos

Adicionalmente, y una vez caracterizado el comportamiento de la conmutación resistiva mediante barridos de rampas, para evaluar los dispositivos estudiados como celdas de memoria, se los ha caracterizado aplicando secuencias de trenes de pulsos. Se debe señalar que antes de aplicar estas secuencias, se ha realizado un proceso de forming y recuperación inicial del dispositivo, después del cual ya se ha podido aplicar el primer tren de pulsos. En la **Figura 3-6** se muestra el esquema del tren de pulsos de voltaje aplicado para medir un ciclo entero de conmutación resistiva bipolar. En cada una de las operaciones de lectura y escritura se miden 3 puntos. El tren de pulsos comienza con el dispositivo en el HRS (estado off) aplicando una tensión de 0 V y después la corriente se mide a un voltaje de lectura positivo ( $V_{READ+}$ ) que precede a un voltaje de escritura ( $V_{LIM+}$ ), o pulso de SET, que conmuta el dispositivo al LRS (estado on). Seguidamente se realiza otra operación de lectura a  $V_{READ+}$  para medir el cambio del estado. A continuación, se mide la corriente a un voltaje de lectura negativo ( $V_{READ-}$ ) que precede a un voltaje de escritura ( $V_{LIM-}$ ), o pulso de RESET, que conmuta el dispositivo al HRS (estado off). Para concluir el ciclo, se realiza una operación

de lectura a  $V_{READ-}$  y se puede aplicar un nuevo tren de pulsos. Los valores de voltaje que se eligieron para realizar las operaciones de lectura fueron  $V_{READ} = \pm 0.1$  V, análogamente al caso de barridos por rampas. Con el propósito de comparar los resultados eléctricos obtenidos por rampas de tensión con los obtenidos por trenes de pulsos, los voltajes de escritura ( $V_{LIM+}$  and  $V_{LIM-}$ ) programados en el tren de pulsos, fueron los mismos que los valores de voltaje límite utilizados en los ciclos de barrido por rampas, es decir, +1.1 V y -1.4 V, respectivamente.



**Figura 3-6.** Evolución temporal del voltaje aplicado con un tren de pulsos y de la corriente medida durante un ciclo de conmutación resistiva bipolar.

## 3.2 Resultados y discusión

### 3.2.1 Medidas con barridos de rampas

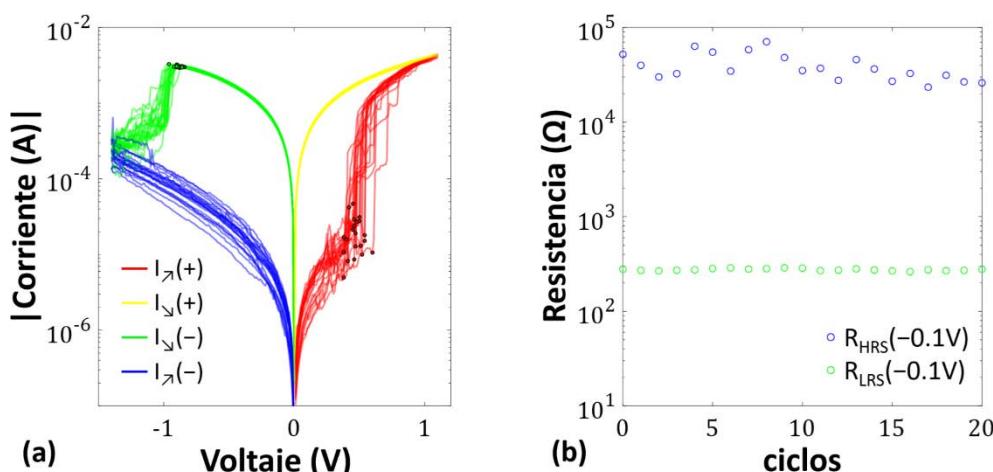
#### Caracterización inicial de dispositivos de distintas obleas

Después de la fabricación de los dispositivos, el primer paso ha sido caracterizar eléctricamente los dispositivos de distinta área en cinco chips de las distintas zonas de la oblea, normalmente un chip central más cuatro chips que pertenecen a cada zona “cardinal” de la oblea. Esta caracterización inicial ha seguido la metodología expuesta en la sección anterior, con una etapa inicial de forming con un límite de corriente de 1 mA, seguida de ciclos de barrido bipolar de voltaje por rampas entre +1.10 V y -1.40 V. Esta caracterización inicial ha revelado una uniformidad de características en oblea indicando la homogeneidad de los procesos tecnológicos en las distintas zonas de la oblea. Por otro

lado, y en cuanto al rendimiento, en las obleas con dispositivos en cruce se ha observado un mayor rendimiento en los dispositivos de áreas  $5 \times 5 \mu\text{m}^2$  y de  $15 \times 15 \mu\text{m}^2$ , mientras que en las obleas con dispositivos aislados el mayor rendimiento se ha obtenido para los dispositivos de áreas  $120 \times 120 \mu\text{m}^2$  y  $60 \times 60 \mu\text{m}^2$ , si bien en el caso de la oblea 10371-1, el rendimiento ha sido alto para todas las áreas.

Los resultados de un ciclo típico de conmutación resistiva medidos con un barrido con rampas en ambas polaridades a temperatura ambiente se muestran en la **Figura 3-4**. En concreto, este ciclo representativo pertenece a un dispositivo de la oblea 9512-3 con un área activa de  $5 \times 5 \mu\text{m}^2$ . Los valores de resistencia, medidos a  $-0.10 \text{ V}$ , en ambos estados resistivos, son  $R_{\text{LRS}} = 135 \Omega$  y  $R_{\text{HRS}} = 6584 \Omega$ , y las tensiones de SET y RESET son  $+0.35 \text{ V}$  y  $-0.84 \text{ V}$ , respectivamente. Un detalle importante que destacar es el hecho de que en el LRS la corriente es linealmente dependiente del voltaje, lo cual indica que en ese estado la conducción es de tipo óhmico.

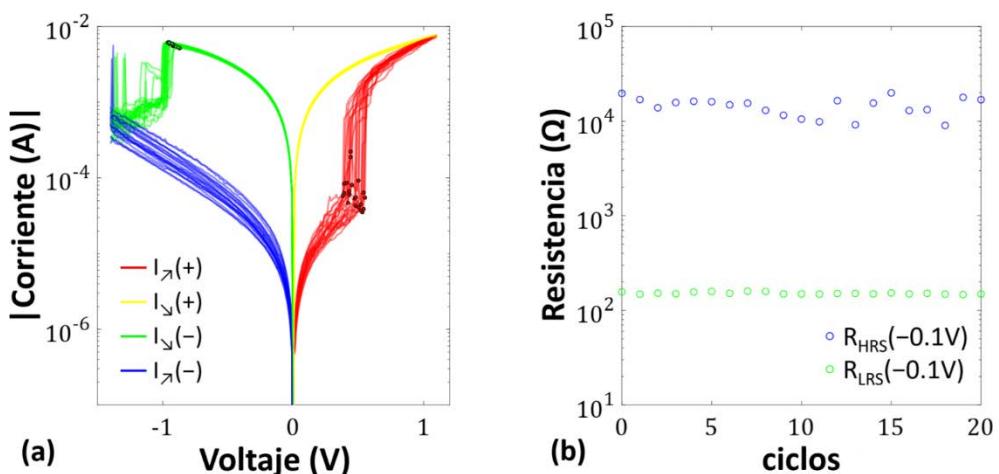
En la **Figura 3-7** se muestra la característica I-V de los 20 ciclos iniciales medidos en el mismo dispositivo. Como se puede apreciar la forma de la curva de corriente durante la transición SET es abrupta a diferencia de la curva en la **Figura 3-4** donde se observa que es más suave. Los valores de resistencia medidos a  $-0.10 \text{ V}$  en ambos estados son  $R_{\text{LRS}} = (276 \pm 7) \Omega$  y  $R_{\text{HRS}} = (39.7 \pm 13.1) \text{k}\Omega$ , lo que proporciona una ventana inicial en el dispositivo de 2.16 décadas. De estos valores se puede apreciar como el valor de  $R_{\text{HRS}}$  es



**Figura 3-7.** (a) Características I-V de 20 ciclos de barrido por rampas medidos en un dispositivo de área  $5 \times 5 \mu\text{m}^2$  de la oblea 9512-3. Los puntos en negro señalan el comienzo de las transiciones SET/RESET. (b) Valores de resistencia, medidos a  $-0.1 \text{ V}$ , de los ciclos mostrados en (a).

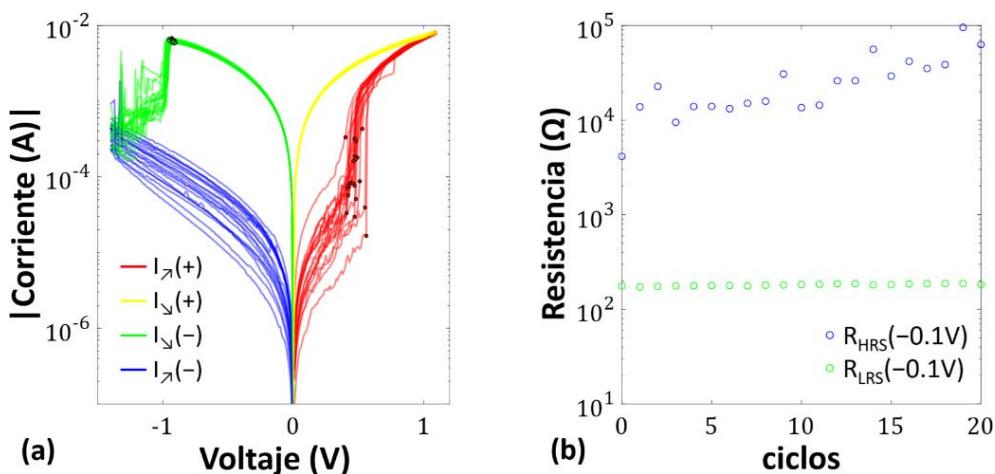
más variable, siendo su desviación estándar un 33.1% de la media, mientras que  $R_{LRS}$  es mucho más estable, siendo la desviación estándar sólo un 2.5% de la media.

En la **Figura 3-8** se muestra la característica I-V de los 20 ciclos iniciales medidos en un dispositivo en cruce de la oblea 8356-2 cuya celda MIM tiene un área de  $5 \times 5 \mu\text{m}^2$ , y sus electrodos metálicos tienen un espesor de 200 nm, a diferencia del caso anterior en el que el espesor era de 300 nm. Los valores de resistencia medidos a  $-0.10 \text{ V}$  son  $R_{LRS} = (152 \pm 4) \Omega$  y  $R_{HRS} = (14.5 \pm 3.1) \text{ k}\Omega$ , lo que proporciona una ventana inicial en el dispositivo de 1.98 décadas. Al igual que en el anterior caso, la variabilidad ciclo a ciclo de  $R_{HRS}$  es significativa, con una desviación estándar de 21.4% de la media, mientras que  $R_{LRS}$  presenta una menor variabilidad, siendo su desviación estándar sólo un 2.5% de la media. Hay que señalar que las características obtenidas en este dispositivo son muy similares a las mostradas en la **Figura 3-7**, tanto en la forma como en la ventana que presentan, con la diferencia de la existencia de un desplazamiento de 0.1 décadas de uno respecto del otro que puede ser atribuible a la variabilidad entre dispositivos. Si esta variación fuera debida a la disminución del espesor de la capa metálica de los electrodos y, por tanto, debida al incremento de la resistencia de las pistas que se cruzan para definir la celda MIM, el desplazamiento a observar hubiera sido el contrario, ya que un aumento en la resistencia global del dispositivo produciría una disminución de los niveles de corriente y comparando ambas características I-V se observa lo contrario.



**Figura 3-8.** (a) Características I-V de 20 ciclos de barrido por rampas medidos en un dispositivo de área  $5 \times 5 \mu\text{m}^2$  de la oblea 8356-2. Los puntos en negro señalan el comienzo de las transiciones SET/RESET. (b) Valores de resistencia, medidos a  $-0.1 \text{ V}$ , de los ciclos mostrados en (a).

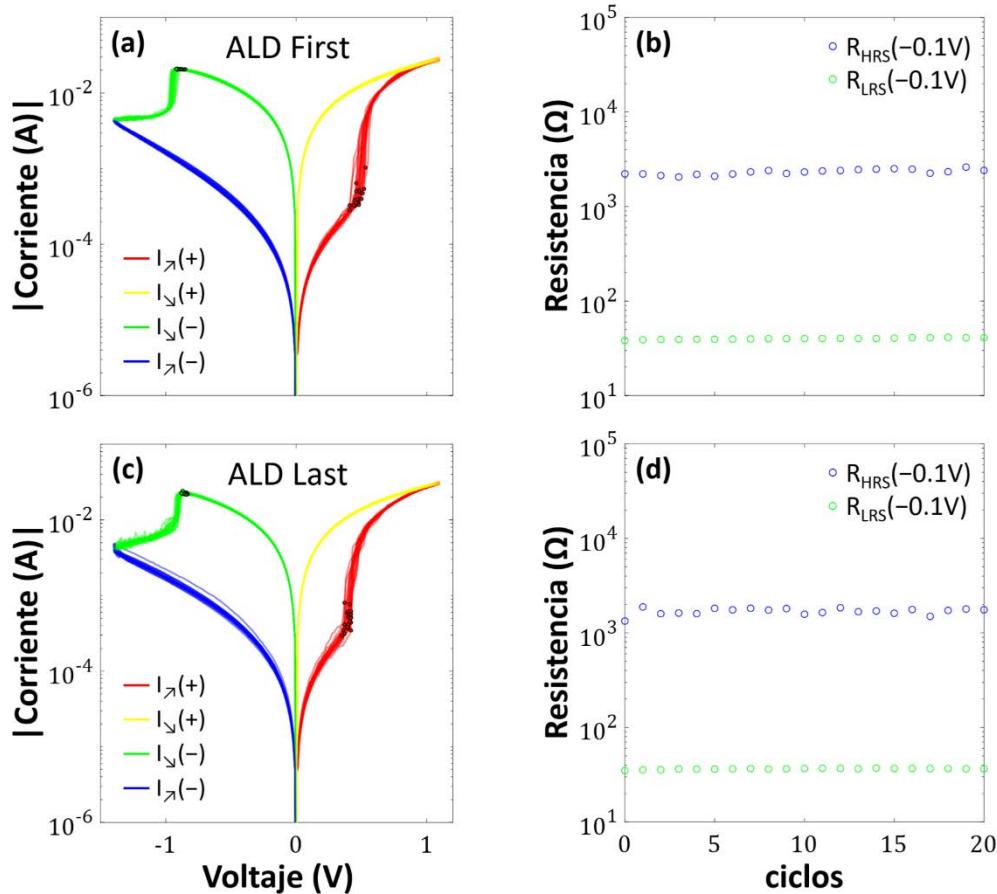
Para comparar las características de los dispositivos en cruce con los de configuración aislada, se muestran en la **Figura 3-9** las características I-V de los 20 ciclos iniciales medidos en un dispositivo de la oblea 10371-1 de área  $5 \times 5 \mu\text{m}^2$ . Los valores de resistencia medidos a  $-0.10 \text{ V}$  son  $R_{\text{LRS}} = (181 \pm 4) \Omega$  y  $R_{\text{HRS}} = (28.2 \pm 21.2) \text{k}\Omega$ , lo que proporciona una ventana inicial en el dispositivo de 2.19 décadas. Se puede observar cómo en este caso la variabilidad del valor  $R_{\text{HRS}}$  es más grande que en los anteriores dos casos, siendo la desviación estándar un 75.1% de la media, mientras que  $R_{\text{LRS}}$  sigue siendo muy poco variable, la desviación estándar sólo es un 2.4% de la media. Vemos por tanto como las características de los tres casos son análogas tanto cualitativa como cuantitativamente.



**Figura 3-9.** (a) Características I-V de 20 ciclos de barrido por rampas medidos en un dispositivo de área  $5 \times 5 \mu\text{m}^2$  de la oblea 10371-1. Los puntos en negro señalan el comienzo de las transiciones SET/RESET. (b) Valores de resistencia, medidas a  $-0.1 \text{ V}$ , de los ciclos mostrados en (a).

Para evaluar la posible influencia en el comportamiento de la conmutación resistiva que puede tener el orden con el que se ha depositado la capa de dieléctrico (ALD First o ALD Last) durante el proceso de fabricación de los dispositivos de configuración aislada, se han medido varios dispositivos a lo largo de las obleas 10050-1 (ALD First) y 10132-1 (ALD Last) y se han comparado sus resultados. Como casos representativos en la **Figura 3-10** se muestran las medidas de los 20 ciclos iniciales en dos dispositivos de estas obleas y los valores que toma la resistencia, a  $-0.10 \text{ V}$ , en estos. Los dos dispositivos tienen un área activa de  $120 \times 120 \mu\text{m}^2$ . Durante el forming inicial a ambos se les ha aplicado una limitación de corriente de 1 mA. Como puede observarse, en líneas generales, ambos casos presentan características muy parecidas. El dispositivo con ALD First (**Figura 3-10a,b**) toma unos

valores  $R_{LRS} = (40.0 \pm 0.8) \Omega$  y  $R_{HRS} = (2322 \pm 146) \Omega$  definiendo una ventana de 1.76 décadas en media. Los valores de resistencia que toma el dispositivo con ALD Last (**Figura 3-10c,d**) son  $R_{LRS} = (36.5 \pm 0.5) \Omega$  y  $R_{HRS} = (1695 \pm 128) \Omega$ , lo que supone una ventana de 1.67 décadas en media.



**Figura 3-10.** Características I-V de 20 ciclos de barrido por rampas medidos en dos dispositivos de configuración aislada de área  $120 \times 120 \mu\text{m}^2$  de las obleas 10050-1 (a) y 10132-1 (c). Los puntos en negro señalan el comienzo de las transiciones SET/RESET. (b) y (d) muestran los valores de resistencia, medidos a  $-0.1 \text{ V}$ , de los ciclos mostrados en (a) y (c) respectivamente.

Comparando los resultados obtenidos en estos dos casos con los tres casos que se han mostrado previamente se observan dos diferencias. En primer lugar, aunque en estos dos casos la variabilidad en el HRS sigue siendo mayor que en el LRS, la variabilidad del HRS es muy inferior a la observada en los dispositivos anteriores. De hecho, en estos dos casos la desviación estándar del valor de  $R_{HRS}$  sólo representa el 6.3% y 7.6%, respectivamente, del valor medio. La segunda gran diferencia es la disminución de los valores de resistencia en ambos estados. Esto puede ser debido a que los dispositivos de configuración aislada tienen una menor resistencia en serie asociada a la estructura de los electrodos en

comparación con los dispositivos en cruce mostrados, en los que las pistas metálicas para definir la celda MIM, de 5 µm de ancho, incrementan la resistencia del dispositivo, en comparación con el caso de los dispositivos de configuración aislada.

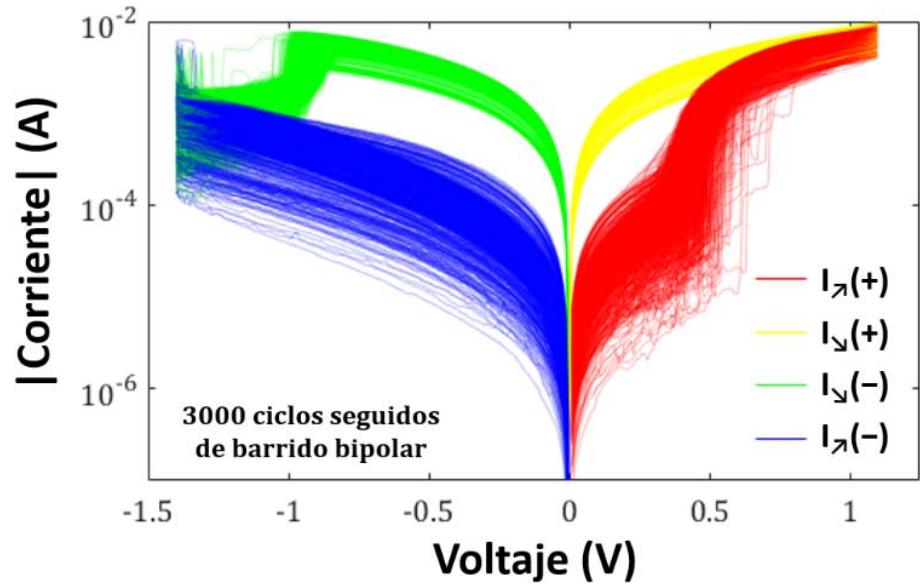
En la **Tabla V** se muestran los valores de los puntos de inicio de los procesos SET/RESET de los cinco casos mostrados. Se puede observar cómo, independientemente del proceso de fabricación de los dispositivos, las transiciones de la conmutación resistiva comienzan en valores de voltaje similares, lo que es indicativo de que los procesos de conmutación dependen de los materiales empleados y no de otros parámetros asociados al proceso de fabricación o a resistencias parásitas.

#Oblea	9512-3	8356-2	10371-1	10050-1	10132-1
V <sub>SET</sub>	+0.47±0.06	+0.47±0.05	+0.47±0.04	+0.47±0.03	+0.40±0.02
V <sub>RESET</sub>	-0.89±0.02	-0.93±0.03	-0.92±0.01	-0.89±0.02	-0.85±0.02

**Tabla V.** Valores medios y desviación estándar de las tensiones V<sub>SET</sub> y V<sub>RESET</sub>.

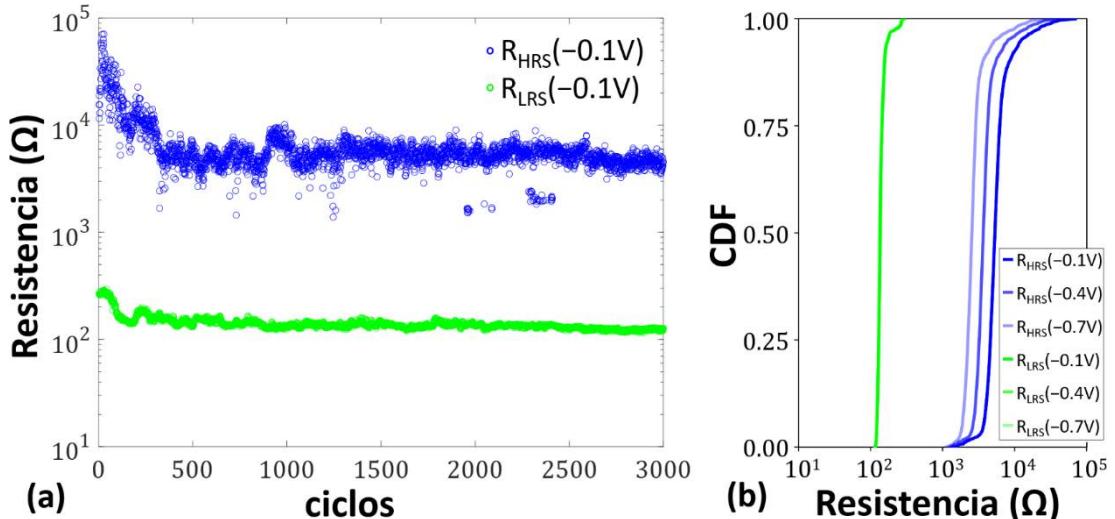
### Caracterización con una secuencia larga de ciclos

Una vez realizada la caracterización inicial de los dispositivos fabricados, con la finalidad de evaluar la variabilidad ciclo a ciclo del comportamiento de la conmutación resistiva se midió una secuencia de 3000 ciclos seguidos de barridos por rampas en un dispositivo, al que previamente se le había aplicado una etapa inicial de forming seguida del primer proceso de recuperación (ver **Figura 3-3**). Las curvas I-V medidas en el experimento se muestran en la **Figura 3-11**, en las que se puede observar que la variabilidad ciclo a ciclo es mayor en el HRS que en el LRS durante los 3000 ciclos del experimento. Este hecho puede explicarse por las variaciones cíclicas aleatorias de la distancia de separación entre el extremo del filamento conductor y el electrodo.



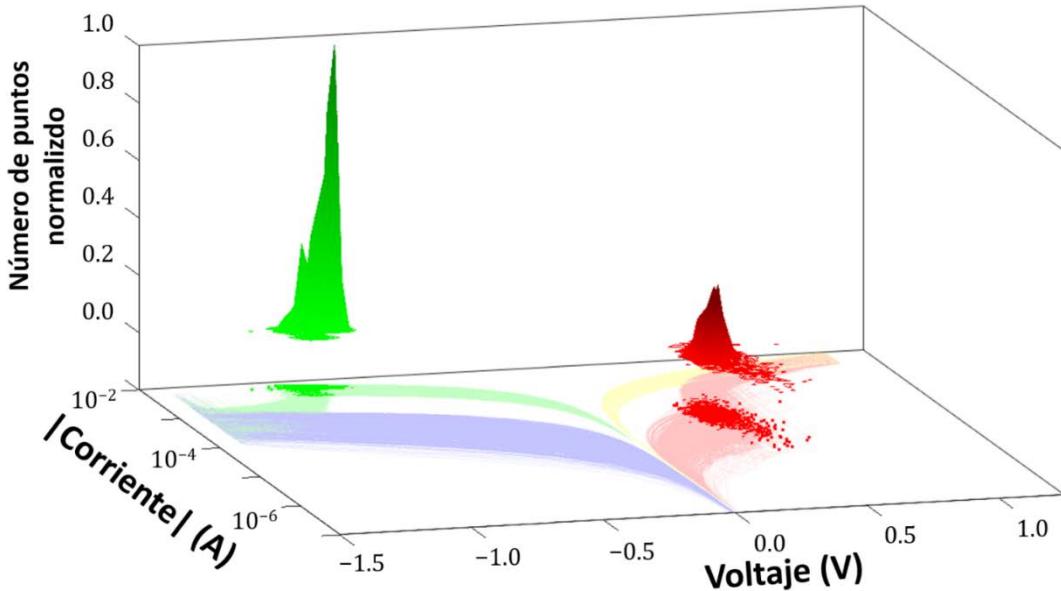
**Figura 3-11.** Característica I-V de 3000 ciclos seguidos de barrido por rampas medidos de manera secuencial en un solo dispositivo de área  $5 \times 5 \mu\text{m}^2$  de la oblea 9512-3

Adicionalmente, en la **Figura 3-12a** se muestra la evolución de los valores de resistencia en los dos estados resistentes del dispositivo, medidos a  $-0.1 \text{ V}$ , durante esta medida. En esta evolución se puede observar cómo durante los primeros ciclos la resistencia de ambos estados disminuye gradualmente para luego estabilizarse. Además, esta disminución ocurre a un ritmo mayor en HRS que en LRS y hace que se pase de tener una ventana inicial de más de dos décadas a una ventana estable de aproximadamente una 1.5 décadas. En la **Figura 3-12b** se muestra la función de distribución acumulada (CDF, Cumulative Distribution Function) de los valores de resistencia medidos a  $-0.1 \text{ V}$ , así como de los valores de resistencia medidos a otros dos voltajes: a  $-0.7 \text{ V}$ , que es un valor próximo al que se produce la transición RESET, y a  $-0.4 \text{ V}$ , como punto intermedio entre los otros dos valores. Se puede apreciar que las curvas pertenecientes a los valores de  $R_{LRS}$  están superpuestas debido a que en el LRS la conducción es de tipo óhmico con lo que el valor de resistencia no depende de la tensión. En el HRS el valor de la resistencia es mayor para tensiones menores, consecuencia del mecanismo de conducción que determina la característica I-V en este estado.

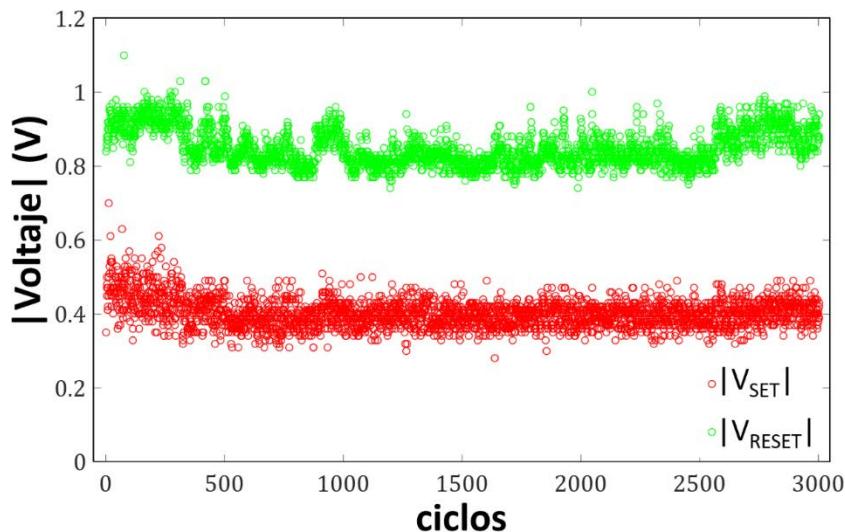


**Figura 3-12.** Valores de resistencia medidos a  $-0.1\text{ V}$ , en HRS y LRS, de la secuencia de 3000 ciclos de barrido con rampas aplicados a un solo dispositivo de área  $5\times 5\text{ }\mu\text{m}^2$  de la oblea 9512-3. (b) CDF de los valores de resistencia medidos a tres voltajes ( $-0.1\text{ V}$ ,  $-0.4\text{ V}$ ,  $-0.7\text{ V}$ ) durante los 3000 ciclos de barrido.

Los valores de los puntos en los que se inician el SET y el RESET del dispositivo en cada uno de estos 3000 ciclos mostrados en la se han extraído utilizando el método descrito anteriormente (ver **Figura 3-5**). Este conjunto de puntos, junto con su análisis estadístico, se muestra en la **Figura 3-13**, donde se ha representado el histograma 3D obtenido de la distribución de estos puntos SET/RESET sobre el plano I-V. Estos resultados indican claramente la naturaleza estocástica de los procesos de formación y disolución de la estructura del filamento conductor. Se puede apreciar que los puntos correspondientes a las transiciones RESET están más concentrados que los correspondientes a los procesos de SET. Esto indica que la variabilidad ciclo a ciclo de la energía necesaria para iniciar la reconstrucción de la estructura del filamento (comutar a LRS) es mayor que para la ruptura de esta (comutar al HRS). Este hecho puede verse influido por la mayor variabilidad ciclo a ciclo del valor de la resistencia en el HRS antes de producirse el proceso de SET. Adicionalmente, en la **Figura 3-14** se muestran los valores de voltaje a los que se inician las transiciones SET/RESET ( $V_{\text{SET}}/V_{\text{RESET}}$ ) a lo largo de la medida secuencial de los 3000 ciclos de barrido mostrados en la **Figura 3-11**, donde se puede apreciar como ocurren a valores de voltaje muy similares durante toda la medida.



**Figura 3-13.** Histograma 3D de los puntos de las transiciones SET (rojo) / RESET (verde) de cada uno de los 3000 ciclos de barrido mostrados en la **Figura 3-11**. En el eje vertical están representados los histogramas normalizados al número total de puntos. En el plano horizontal ( $I-V$ ) se muestran los 3000 ciclos (con transparencia) y los puntos SET/RESET para cada uno de ellos.

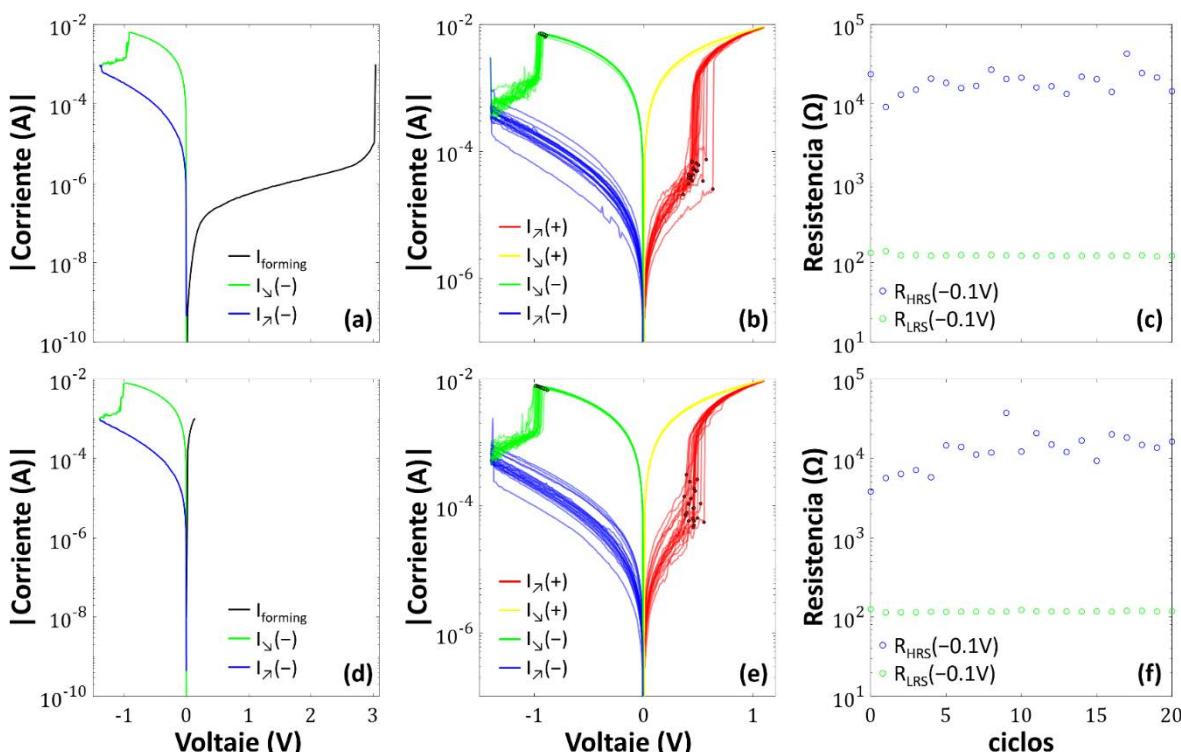


**Figura 3-14.** Evolución de  $V_{SET}$  y  $V_{RESET}$  durante la medida secuencial de los 3000 ciclos mostrados en la **Figura 3-11**.

### Caracterización en dispositivos encapsulados

Para poder utilizar los dispositivos en circuitos y sistemas es necesario cortar las obleas en chips, encapsular los chips y realizar la soldadura de los pads de los dispositivos a los pines de las cápsulas para tener acceso eléctrico externo. Para evaluar cómo afecta el proceso de encapsulado en el comportamiento de conmutación resistiva de los dispositivos, se encapsularon chips de la oblea 9512-3 en cápsulas TO8. Para ello se utilizó la misma

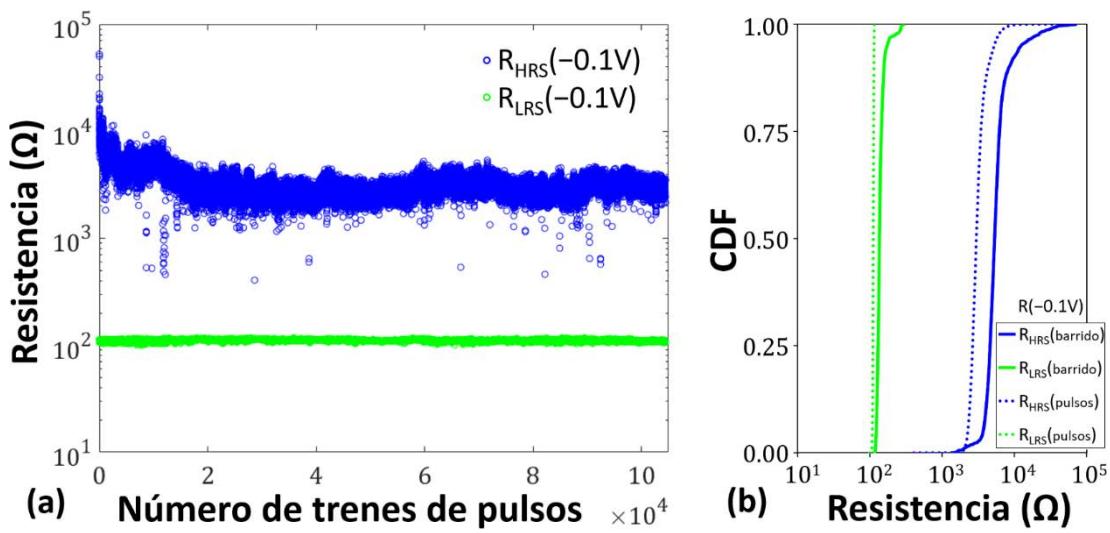
metodología que la mostrada en la caracterización inicial de los dispositivos, con una etapa inicial de forming, con un límite de corriente de 1 mA, seguida de 20 ciclos de barrido bipolar de voltaje por rampas entre +1.1 V y -1.40 V, utilizando el montaje mostrado en la **Figura 3-2**. En la **Figura 3-15** se muestran los resultados de la caracterización realizada a dos dispositivos de área  $5 \times 5 \mu\text{m}^2$ , de dos encapsulados distintos. Durante la caracterización de los dispositivos encapsulados se observó que en la etapa inicial de forming (**Figura 3-15a**) prácticamente la totalidad de los dispositivos presentaba un comportamiento análogo al esperado en los dispositivos que ya han sido formados previamente, de una manera parcial o total, cuando en realidad todos los dispositivos encapsulados eran vírgenes. Sin embargo, la caracterización de la conmutación resistiva realizada a continuación mostró que las características I-V (**Figura 3-15b**) y los valores de resistencia de ambos estados (**Figura 3-15c**) eran similares a los obtenidos durante las medidas realizadas a los dispositivos sobre oblea. Por tanto, aunque no se ha podido determinar la causa última que ha dado lugar al comportamiento irregular inicial, las características de conmutación resistiva son análogas, y por tanto es posible realizar el encapsulado microelectrónico convencional de los dispositivos.



**Figura 3-15.** Caracterización de dos dispositivos de área  $5 \times 5 \mu\text{m}^2$  de la oblea 9512-3 encapsulados en dos cápsulas distintas. Para ambos dispositivos se muestra: (a) proceso inicial de forming, (b) característica I-V de 20 ciclos de barrido por rampas y (c) valores de resistencia, medidos a -0.1 V, de los ciclos mostrados en (b).

### 3.2.2 Medidas con trenes de pulsos

El comportamiento de la conmutación resistiva en los dispositivos TiN/Ti/HfO<sub>2</sub>/W también se ha estudiado aplicando largas secuencias de trenes de pulsos seguidos. En la **Figura 3-16a** se muestra la evolución de los valores de la resistencia (medidos a -0.1 V) de los estados HRS y LRS durante un experimento en el que se aplicó la secuencia de 10<sup>5</sup> ciclos seguidos de trenes de pulsos, como el de la **Figura 3-6**, a un único dispositivo durante 25 horas. Al igual que en la caracterización mediante ciclos de barrido, se puede observar que la variabilidad ciclo a ciclo es mayor en el HRS que en el LRS.



**Figura 3-16.** (a) Valores de resistencia (medidos a -0.1 V) en los estados HRS y LRS de los 10<sup>5</sup> ciclos de trenes de pulsos aplicados secuencialmente en un solo dispositivo de área 5×5 μm<sup>2</sup> de la oblea 9512-3. (b) CDF de los valores de resistencia de (a) y de los valores de resistencia mostrados en la **Figura 3-12a**.

Con la finalidad de poder comparar los resultados obtenidos mediante ambos procedimientos de medida de largas secuencias de ciclos, se ha calculado la CDF de los valores de resistencia medidos a -0.1 V durante la secuencia de 10<sup>5</sup> ciclos de trenes de pulsos y se ha representado junto con la CDF de los valores de resistencia medidos a -0.1 V durante los 3000 ciclos de barrido (ver **Figura 3-16b**). Hay que prestar especial atención al hecho de que en ambos experimentos se han obtenido valores de resistencia similares que dan lugar a una ventana de más de una década entre el LRS y el HRS, siendo esta mayor en el caso de los barridos con rampas.

### 3.2.3 Evaluación del efecto del aumento V<sub>LIM-</sub>

Según el mecanismo físico que da cuenta de la conmutación resistiva bipolar de nuestros dispositivos, el tamaño máximo del filamento conductor que se puede alcanzar durante un ciclo de conmutación resistiva depende de los valores máximos de voltaje y de corriente establecidos durante la aplicación de la rampa, o pulsos, de voltaje positivo. En líneas generales, un mayor voltaje y nivel de corriente producen un mayor campo eléctrico y calentamiento local, con el correspondiente incremento de la agitación atómica, que favorece la creación de vacantes de oxígeno y su migración de la capa de HfO<sub>2</sub> hacia la capa de Ti. Un incremento de V<sub>LIM+</sub> va a producir una reducción de R<sub>LRS</sub>, pero este incremento será posible hasta un máximo en el que ya no será posible romper el filamento conductor y el dispositivo dejará de ser funcional, al haber alcanzado la ruptura dieléctrica irreversible.

Por su parte el incremento de V<sub>LIM-</sub> va a influir en la ruptura del filamento durante el proceso de RESET en el que las vacantes de oxígeno previamente generadas van siendo ocupadas por los iones O<sup>2-</sup> que vuelven de la capa de Ti, por lo que, un mayor campo eléctrico negativo producido por un mayor V<sub>LIM-</sub> favorece este movimiento. Sin embargo, al aumentar V<sub>LIM-</sub> para aumentar la corriente, puede dar lugar a una degradación irreversible del dispositivo y que deje de presentar un comportamiento de conmutación resistiva.

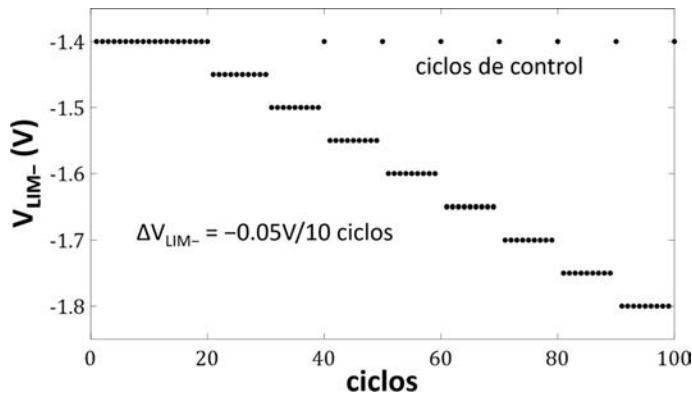
Para evaluar la máxima tensión en el barrido de tensiones negativas sin que se produzca la degradación irreversible de los dispositivos, se han realizado dos tipos de medida variando V<sub>LIM-</sub> hasta un valor máximo de -1.80 V, una con tramos de ciclos de barrido durante los que V<sub>LIM-</sub> permanece constante y se varía entre tramo y tramo, y otra en la que V<sub>LIM-</sub> se varía a un ritmo constante ascendente entre ciclos de barridos aplicados secuencialmente.

#### Medida por tramos (V<sub>LIM-</sub> constante en cada tramo)

En el primer experimento se midieron 100 ciclos de barrido de voltaje consecutivos en los que V<sub>LIM+</sub> = +1.10 V y V<sub>LIM-</sub> se fue variando de acuerdo con las siguientes condiciones (**Figura 3-17**):

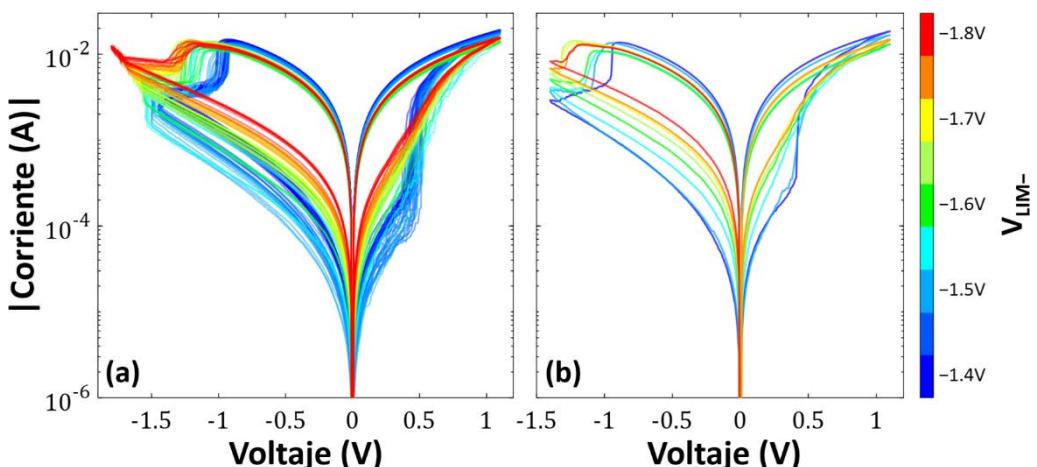
1. En los primeros 20 ciclos V<sub>LIM-</sub> = -1.40 V (condiciones estándar).
2. A partir del ciclo 21, V<sub>LIM-</sub> se incrementa a un ritmo de -0.05 V cada tramo de 10 ciclos hasta llegar a -1.80 V.

3. A partir de  $V_{LIM-} = -1.50$  V (ciclo 40), además de incrementar  $-0.05$  V cada 10 ciclos, el último ciclo de cada tramo será un ciclo de “control” en el que el barrido de voltaje se medirá en condiciones estándar ( $V_{LIM-} = -1.40$  V), permitiendo comparar las características eléctricas del dispositivo con las condiciones previas al estrés eléctrico aplicado.



**Figura 3-17.** Valor de  $V_{LIM-}$  en cada ciclo de medida durante el experimento de estrés eléctrico.

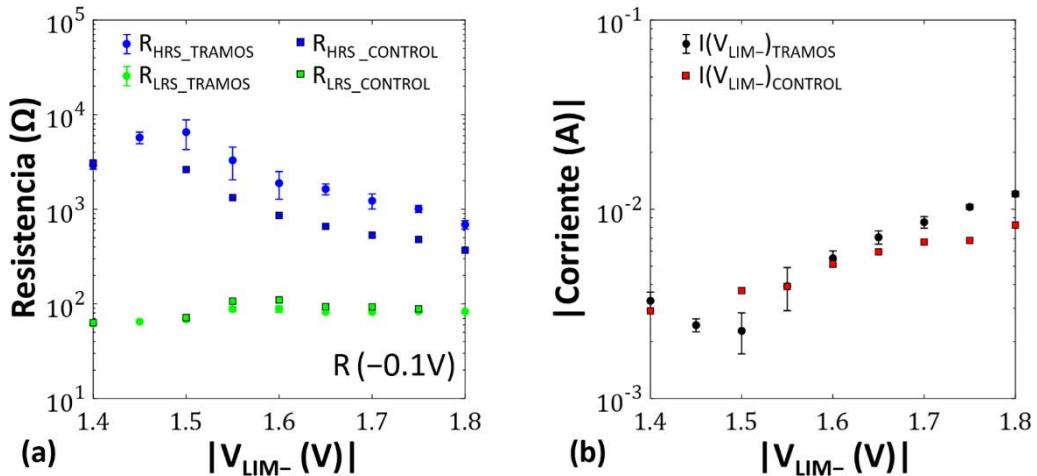
En la **Figura 3-18a** se muestran las curvas I-V de cada uno de los tramos de este experimento, y en la **Figura 3-18b** se muestran las curvas I-V de los ciclos de control medidos a continuación de cada uno de los tramos. En esta figura el primer ciclo representado (azul oscuro) es el último ciclo del tramo inicial medido con  $V_{LIM-} = -1.40$  V y se toma como referencia de las características que presenta un ciclo de conmutación resistiva en las condiciones definidas como estándar previamente. La primera característica



**Figura 3-18.** (a) Característica I-V de los ciclos de conmutación resistiva en los que  $V_{LIM-}$  ha ido variando a razón de  $0.05$  V por cada tramo de 10 ciclos, en un dispositivo de área  $120 \times 120 \mu\text{m}^2$  de la oblea 10371-1. (b) Característica I-V de los ciclos de control ( $-1.40$  V,  $+1.10$  V) medidos inmediatamente después de cada tramo.

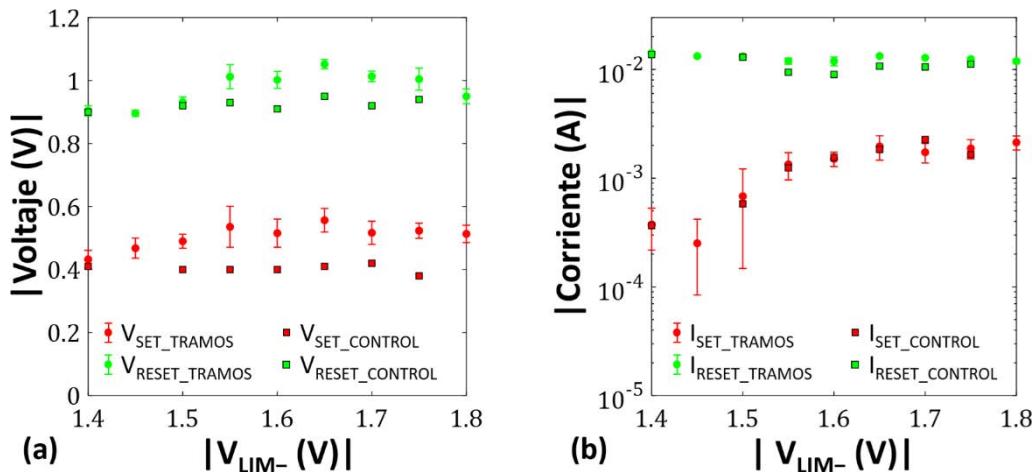
que se puede observar es cómo cambia la forma de las curvas. Hasta  $-1.50\text{ V}$  el punto de inicio de ambas transiciones SET/RESET presenta una característica vertical, es decir, para el punto de voltaje en que inicia la transición la corriente aumenta/disminuye de una manera abrupta. Sin embargo, para  $-1.55\text{ V}$  se puede apreciar como la forma de ambas transiciones se empieza a suavizar y ya para valores  $V_{\text{LIM}-} \leq -1.60\text{ V}$  es mucho más suave, sobre todo en el caso del proceso de SET.

Otra característica que destacar es que las curvas que presentan menores niveles de corriente en el HRS se dan para el tramo en el que  $V_{\text{LIM}-} = -1.50\text{ V}$ , hecho que se puede apreciar de igual manera en los valores de resistencia medidos a  $-0.1\text{ V}$  (**Figura 3-19a**). A partir de este punto el valor de  $R_{\text{HRS}}$  va disminuyendo conforme la tensión límite aumenta. Hay que fijarse que los niveles de corriente del ciclo de control medido después del tramo en que  $V_{\text{LIM}-} = -1.50\text{ V}$  coinciden con los del ciclo de referencia ( $V_{\text{LIM}-} = -1.40\text{ V}$ ), lo que indica que el comportamiento de la conmutación resistiva sigue siendo el mismo, pues para los mismos parámetros eléctricos la respuesta medida es la misma. Sin embargo, para valores  $|V_{\text{LIM}-}| \geq 1.55\text{ V}$ , la curva del HRS de los ciclos de control se desplaza hacia arriba, o lo que es lo mismo, a partir de este punto el valor medido de  $R_{\text{HRS}}$  es siempre menor que el correspondiente a los ciclos iniciales medidos en condiciones estándar. A diferencia de lo que ocurre para el HRS, los valores resistivos se mantienen estables en el LRS, si bien existe una pequeña disminución en el valor de la resistencia para  $|V_{\text{LIM}-}| \geq 1.55\text{ V}$ . Otra característica que se puede observar es el aumento de variabilidad ciclo a ciclo en el HRS para el rango  $1.50\text{ V} \leq |V_{\text{LIM}-}| \leq 1.60\text{ V}$ , hecho que se refleja en el aumento de la desviación estándar de los valores de  $R_{\text{HRS}}$  y de los valores de corriente medidos para el extremo del barrido negativo  $I(V_{\text{LIM}-})$  (ver **Figura 3-19b**) desapareciendo completamente para los barridos medidos con una mayor tensión límite.



**Figura 3-19.** Valores de resistencia, medidos a  $-0.1\text{ V}$ , en ambos estados resistivos (a) y valor de corriente medida en  $V_{\text{LIM}-}$  (b) de los tramos de ciclos mostrados en la **Figura 3-18a** y de los ciclos de control mostrados en la **Figura 3-18b**.

Analizando el cambio que produce el aumento de  $V_{\text{LIM}-}$  en las transiciones de la conmutación resistiva se observa que, tanto para  $V_{\text{SET}}$  como para  $V_{\text{RESET}}$ , las transiciones se producen a un voltaje mayor a partir de  $|V_{\text{LIM}-}| \geq 1.55\text{ V}$  (ver **Figura 3-20a**). Sin embargo, en los ciclos de control los valores obtenidos son similares a los ciclos iniciales ( $V_{\text{LIM}-} = -1.40\text{ V}$ ), lo que indica que aún después de haber sometido al dispositivo a un valor de voltaje que ha producido un cambio de comportamiento, el comienzo de las transiciones se produce a un voltaje muy similar para los mismos parámetros de medida. Hay que hacer hincapié en que los valores de  $V_{\text{RESET}}$  no se calculan en los propios ciclos de control mostrados en la **Figura 3-18b**, si no en el siguiente ciclo, ya que la modificación de  $V_{\text{LIM}-}$  en un ciclo afecta la transición RESET del siguiente ciclo. Respecto de los valores de corriente en estos puntos, en la **Figura 3-20b** se pueden observar cómo el valor de  $I_{\text{RESET}}$  se mantiene constante alcanzando los mismos valores de corriente que en el punto del voltaje límite del barrido positivo,  $I(V_{\text{LIM}+})$ , como sucede en los ciclos medidos en condiciones estándar. Sin embargo, los valores de  $I_{\text{SET}}$  muestran una evolución asociada a la variación de  $V_{\text{LIM}-}$ , que coincide con el gran cambio de la forma en las curvas I-V (**Figura 3-18**) de abrupta a suave, en la transición SET, como se ha comentado previamente. Es especialmente reseñable el hecho de que en los ciclos en los que se ha ido observando como la transición de SET pasaba de ser abrupta a suave se puede observar una gran variabilidad ciclo a ciclo de  $I_{\text{SET}}$ .



**Figura 3-20.** Evolución del valor de voltaje (a) y de corriente (b) de los puntos de inicio de las transiciones SET/RESET respecto de la variación de  $V_{LIM-}$ .

Así pues, una vez analizados los resultados se puede concluir que el punto de irreversibilidad se ha producido en el tramo en que  $V_{LIM-} = -1.55$  V y, además, se ha podido observar que, para los tramos con valores de voltaje límite ligeramente inferiores a este punto, el dispositivo exhibe una mayor ventana entre los valores de resistencia de ambos estados junto con una variabilidad ciclo a ciclo más elevada.

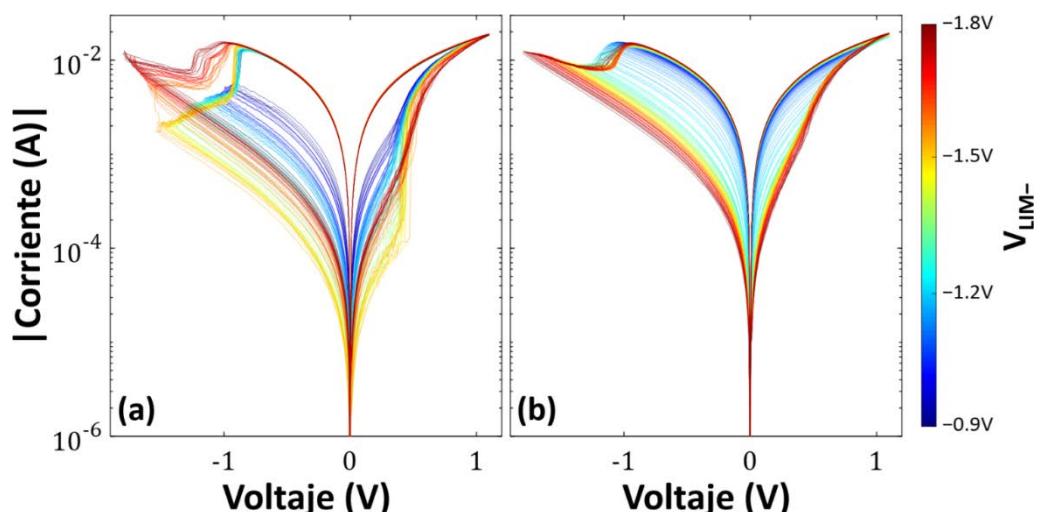
#### Medida por secuencia de ciclos con $V_{LIM-}$ ascendente

Una vez analizados los resultados del primer experimento por tramos se ha realizado un segundo experimento para corroborar los resultados e intentar obtener, con una mayor precisión, el punto en el que se produce el cambio de comportamiento. Este segundo experimento, se empezó con un barrido de voltaje en condiciones estándar (-1.40 V, +1.10 V) para descender  $V_{LIM-}$  hasta -0.90 V. A continuación, se midió la primera secuencia de barridos por rampas variando  $V_{LIM-}$  a un ritmo de 0.01 V/ciclo desde -0.90 V hasta -1.80 V (mismo límite que en el experimento anterior para comparar resultados) mientras  $V_{LIM+} = +1.10$  V. Y después se midió la segunda secuencia de barridos, replicando los mismos parámetros de la primera secuencia para comparar las diferencias en los resultados entre ambas.

Hay que hacer notar que en este experimento las secuencias de barrido de valores de  $V_{LIM-}$  comienzan en -0.90 V y terminan en -1.80 V. El valor último se ha establecido como el valor último del anterior experimento, para que, en teoría, se produzcan los mismos cambios de la estructura del filamento y se puedan comparar los resultados de ambos

experimentos. Sin embargo, el primer valor se ha escogido menor que  $-1.40\text{ V}$  para poder observar la tendencia de cambio respecto  $V_{\text{LIM}-}$  para valores menores que los usados como estándar en estos dispositivos, aunque hay que recordar que antes de aplicar la primera secuencia al dispositivo, este había sido medido bajo estas condiciones ( $V_{\text{LIM}-} = -1.40\text{ V}$ ,  $V_{\text{LIM}+} = +1.10\text{ V}$ , sin limitación de corriente).

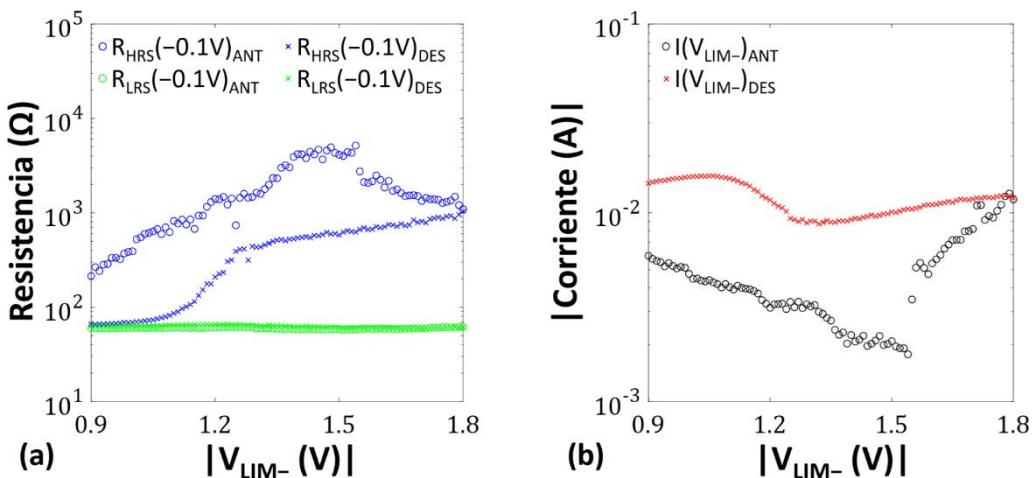
En la **Figura 3-21** se muestran las curvas I-V de ambas secuencias, siendo muy evidente el cambio de comportamiento entre ambas. Hay que destacar dos hechos: el primero es que en la primera secuencia se puede observar la misma evolución de cambio que se ha observado en las curvas del experimento por tramos (**Figura 3-18**), es decir, la variación de los niveles de corriente en el HRS mientras que en el LRS permanecen igual, y la suavización de las transiciones, sobre todo en el SET. El segundo hecho es que las curvas de los últimos ciclos de ambas secuencias de ciclos, medidas a  $V_{\text{LIM}-} = -1.80\text{ V}$ , son prácticamente idénticas y, de hecho, las curvas I-V de la segunda secuencia son un barrido diferencial de los niveles de corriente desde el LRS hasta el nivel del HRS de la curva de este último ciclo, lo que respalda lo que ya se había observado en el anterior experimento, que una vez sobrepasado el voltaje negativo aplicado que produce la irreversibilidad, el comportamiento queda determinado por este, a no ser de que se aplique otro  $V_{\text{LIM}-}$  mayor que determinará unos nuevos niveles de corriente.



**Figura 3-21.** Característica I-V de los ciclos de conmutación resistiva en dos secuencias de ciclos de barrido por rampas en las que  $V_{\text{LIM}-}$  se ha ido variando de manera continua ciclo a ciclo a un ritmo de  $0.01\text{ V/ciclo}$  que han sido medidas en un dispositivo de área  $120 \times 120\text{ }\mu\text{m}^2$  de la oblea 10132-1. En (a) se muestran los ciclos de la primera secuencia medida mientras que en (b) los ciclos correspondientes a la segunda secuencia.

Hay que señalar que el cambio de comportamiento en la primera secuencia se produce exactamente en el ciclo en que  $V_{LIM^-} = -1.55$  V, siendo esta curva la última que presenta una forma similar a las curvas medidas para  $V_{LIM^-} = -1.40$  V. En el siguiente ciclo ( $V_{LIM^-} = -1.56$  V) la curva tiene una forma distinta que se puede identificar claramente observando el cambio de comportamiento en la transición RESET.

Esta evolución respecto  $V_{LIM^-}$  y los cambios en el comportamiento que ha producido se pueden observar de igual manera en los valores de resistencia, medidos a -0.1 V, para ambos estados resistivos (**Figura 3-22a**) y en los valores de corriente medida para el voltaje límite negativo (**Figura 3-22b**). En la primera secuencia de ciclos se puede observar cómo los valores de  $R_{HRS}$  aumentan para los valores de  $V_{LIM^-}$  cercanos al punto de cambio,  $V_{LIM^-} = -1.55$  V, antes de alcanzarlo, para después disminuir, al igual que el comportamiento mostrado en el anterior experimento (**Figura 3-19a**). De igual manera, en la primera secuencia de ciclos, la corriente  $I(V_{LIM^-})$  desciende, para valores menores al punto de cambio, y después aumenta conforme el límite de voltaje aumenta siguiendo la misma evolución que en el anterior experimento (**Figura 3-19b**).

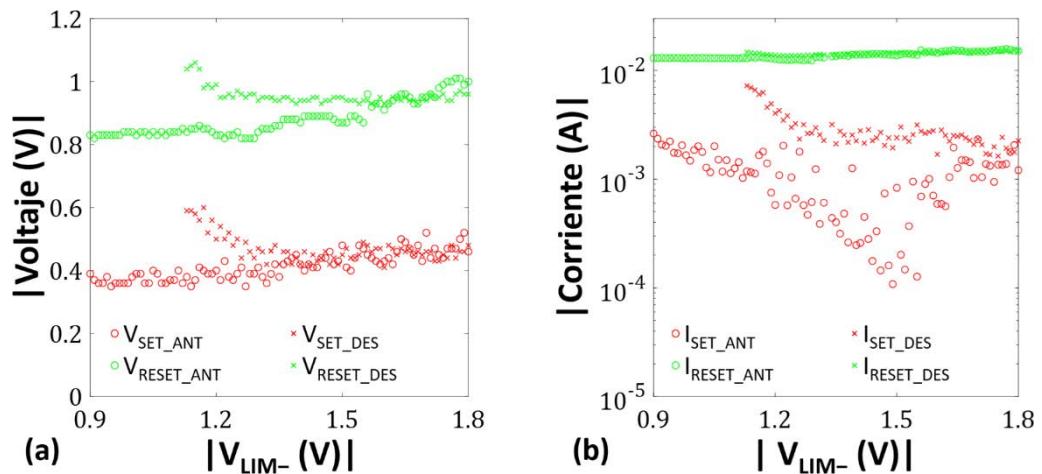


**Figura 3-22.** (a) Valores de resistencia, medidos a -0.1 V, en ambos estados resistivos (a) y valor de corriente medida en  $V_{LIM^-}$  (b) de las dos secuencias de ciclos mostradas en la **Figura 3-21**. La primera secuencia (o) está medida antes de producirse el cambio de irreversibilidad y la segunda secuencia (x) después de este cambio que se produce a  $V_{LIM^-} = -1.55$  V en la primera secuencia.

En la segunda secuencia se puede observar que el comportamiento es muy diferente, como refleja la característica I-V observada en la **Figura 3-21b**. Tanto en los valores de  $R_{HRS}$  como en los de  $I(V_{LIM^-})$  se puede observar un claro cambio de comportamiento en el punto  $V_{LIM^-} = -1.24$  V. Esto es debido a que hasta este punto no se produce una transición RESET

completa como la que se puede observar en un ciclo de conmutación resistiva típico. Es más, como se puede observar en la **Figura 3-23a**, donde se muestran los valores de  $V_{SET}$  y  $V_{RESET}$  calculados para este experimento, y en la **Figura 3-23b**, donde de igual manera se muestran los valores de  $I_{SET}$  y  $I_{RESET}$ , por debajo de  $V_{LIM^-} = -1.13$  V el dispositivo no conmuta permaneciendo en el LRS durante todo el ciclo, como se refleja en los valores de resistencia de la **Figura 3-22a**. A partir de este punto  $V_{LIM^-} = -1.24$  V, tanto  $R_{HRS}$  como  $I(V_{LIM^-})$  muestran un comportamiento exponencial en función de  $V_{LIM^-}$ .

Como también se puede observar en estas figuras, los valores correspondientes al inicio de las transiciones SET/RESET de la primera secuencia de ciclos, medida antes de producirse el cambio irreversible, muestran un comportamiento muy similar al de los valores calculados en el experimento por tramos (ver **Figura 3-20**). En esta primera secuencia el dispositivo conmuta desde el valor más pequeño de  $V_{LIM^-}$  ( $-0.90$  V) y se puede apreciar de manera muy clara el aumento de la variabilidad ciclo a ciclo de  $I_{SET}$  en los valores inferiores de  $V_{LIM^-}$  cercanos al punto de cambio irreversible, producida por la variabilidad ciclo a ciclo del nivel de corriente del HRS, como ha ocurrido de igual manera en el experimento anterior.



**Figura 3-23.** Evolución del valor de voltaje (a) y de corriente (b) de los puntos de inicio de las transiciones SET/RESET respecto de la variación de  $V_{LIM^-}$  para las dos secuencias de ciclos medidas antes ( $\circ$ ) y después ( $\times$ ) del cambio de comportamiento irreversible.

Una vez analizados los resultados de ambos experimentos y ver que se respaldan y complementan, se puede asegurar que el cambio de comportamiento, debido a una irreversibilidad en el dispositivo por el aumento del voltaje del barrido negativo, se produce

a  $V_{LIM-} = -1.55$  V, observando además que, para los valores de  $V_{LIM-}$  ligeramente inferiores a este punto ( $-1.45$  V a  $-1.55$  V), el dispositivo exhibe una mayor ventana entre el HRS y el LRS junto con una variabilidad ciclo a ciclo más elevada.

Es reseñable el indicar que, aunque la aplicación de un mayor límite de voltaje en el barrido negativo ha producido un cambio irreversible debido a la degradación de la estructura del filamento, el comportamiento obtenido a continuación muestra una ventana de al menos una década entre ambos estados resistentes, una variación ciclo a ciclo muy pequeña y una tendencia exponencial de cambio respecto  $V_{LIM-}$ , características adecuadas para usar estos dispositivos como dispositivos multinivel, tal y como se podrá ver, de manera más exhaustiva y detallada, en el siguiente capítulo.

### 3.3 Conclusiones

De la caracterización inicial de la conmutación resistiva, mediante barridos de voltaje bipolares con rampas, de los diferentes dispositivos fabricados se ha podido determinar que:

- Las características de conmutación resistiva son muy similares en todos los dispositivos fabricados, independientemente de la configuración, observándose en todos una ventana de 1.5 a 2.0 décadas entre las resistencias de los dos estados resistentes, presentando el HRS una variabilidad ciclo a ciclo mayor que el LRS, de acuerdo con lo esperado, si bien, en los dispositivos de configuración aislada de área  $120 \times 120 \mu\text{m}^2$  esta variabilidad ciclo a ciclo del HRS es mucho menor.
- El inicio de las transiciones SET/RESET de los dispositivos se producen a los mismos valores de voltaje lo que indica robustez en el proceso de conmutación resistiva e independencia respecto de la naturaleza del proceso de fabricación y del área de los dispositivos.
- En los dispositivos con configuración en cruce, los mejores resultados se han obtenido en los de áreas  $5 \times 5 \mu\text{m}^2$  y  $15 \times 15 \mu\text{m}^2$ , mientras que en los dispositivos en configuración aislada presentan mayor robustez los de área  $120 \times 120 \mu\text{m}^2$  y  $60 \times 60 \mu\text{m}^2$ .

Del análisis del comportamiento de la conmutación resistiva en secuencias largas de ciclos de barrido con rampas bipolares y de trenes de pulsos se ha podido observar que:

- Los valores de resistencia medidos con ambos métodos son muy similares y, si bien la ventana inicial entre los dos estados resistivos disminuye durante los primeros ciclos, se sigue teniendo una amplitud de más de una década tanto después de los 3000 ciclos de barrido como de los 100000 ciclos de trenes de pulsos, lo que indica una muy buena operatividad durante largos periodos de funcionamiento.
- Al igual que en la caracterización inicial de los diferentes dispositivos, durante todo el proceso de medida, la variabilidad ciclo a ciclo es mayor en el HRS que el LRS, lo que significa que se mantiene la aleatoriedad de la distancia de separación entre el extremo del filamento conductor roto y el electrodo.
- Los valores de voltaje de los puntos de inicio de las transiciones SET/RESET se han mantenido estables durante toda la secuencia de ciclos lo que indica un proceso robusto de conmutación resistiva durante largos periodos de funcionamiento.

Finalmente, el estudio del comportamiento bajo tensiones negativas elevadas, mediante la variación del voltaje límite del barrido negativo, tanto por tramos discretos como por variaciones continuas se ha podido concluir que:

- La aplicación de un barrido de voltaje negativo con un límite superior a -1.55 V produce una degradación en el dispositivo que afecta al HRS, pero no al LRS, obteniendo un HRS menos resistivo y con una reducida variabilidad ciclo a ciclo.
- Los valores máximos valores de resistencia en el HRS, así como un aumento de la variabilidad ciclo a ciclo, se dan para los valores de voltaje límite cercanos a ese punto (-1.45 V a -1.55 V).
- Aunque la degradación en el dispositivo con un aumento del límite del voltaje del barrido negativo, al menos hasta -1.80 V, produce un HRS menos resistivo, se sigue manteniendo una amplitud de al menos una década entre los dos estados resistivos. Además, se observa una relación exponencial entre el voltaje límite aplicado y el valor de la resistencia de HRS, lo que muestra un cierto potencial para un control multinivel del dispositivo.



## **4. Investigación de la capacidad multinivel de comutación resistiva mediante rampas y pulsos programados**

---

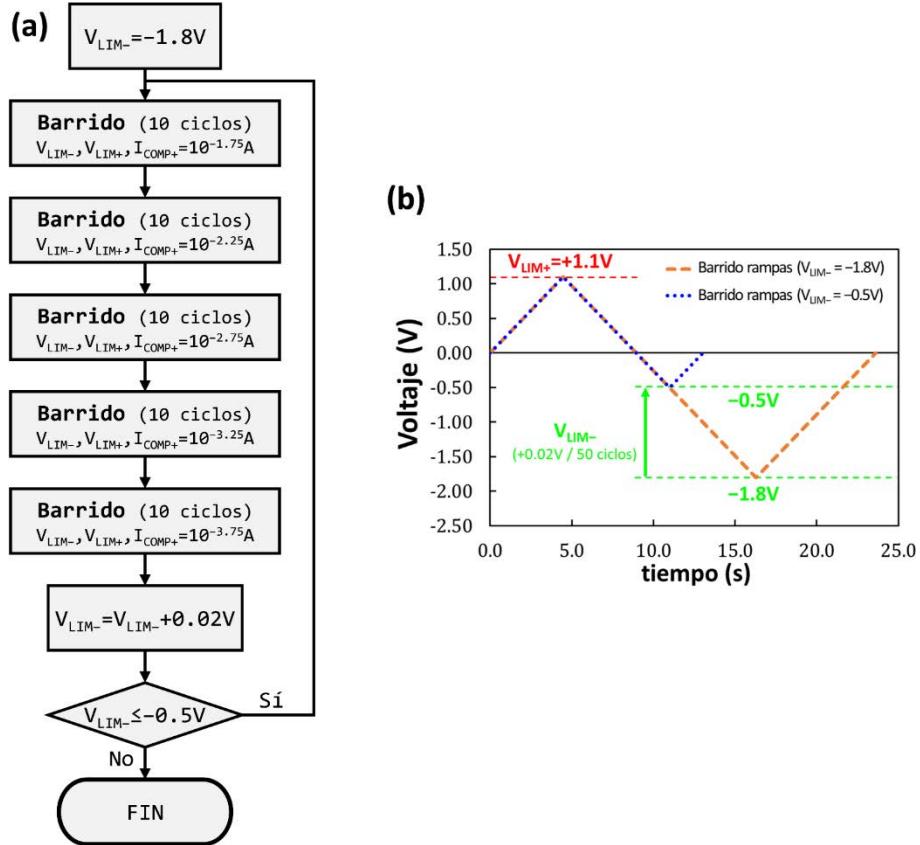
Después de evaluar las características de comutación resistiva de los dispositivos fabricados y demostrada su robustez, se plantea el interés por estudiar la capacidad que pueden tener los dispositivos para almacenar múltiples bits y evaluar su potencial como dispositivos sinápticos para circuitos neuromórficos inspirados en sistemas biológicos. Con este objetivo se han realizado distintos experimentos mediante la aplicación de secuencias programadas de barridos de rampas de voltaje y trenes de pulsos tanto en dispositivos con configuración en cruce, como en configuración aislada, puesto que los dispositivos de ambas configuraciones presentan esta capacidad multinivel. En este capítulo se presenta la metodología empleada, así como los resultados obtenidos.

## 4.1 Procedimiento experimental de la caracterización multinivel

### 4.1.1 Esquema de medida multinivel por barridos

La metodología empleada para el estudio de la capacidad multinivel de los dispositivos TiN/Ti/HfO<sub>2</sub>/W fabricados empieza en primer lugar con su inicialización de acuerdo con el procedimiento descrito en el apartado 3.1.2. A partir de este punto se ha aplicado un algoritmo de medida (ver **Figura 4-1a**) para evaluar la capacidad multinivel del dispositivo a través de la aplicación secuencial de barridos de voltaje, en ambas polaridades, mediante rampas entre  $V_{LIM+}$  (voltaje límite de los barridos positivos) y  $V_{LIM-}$  (voltaje límite de los barridos negativos). Hay que aclarar que durante este proceso de medida se han aplicado varios valores de limitación de corriente en los barridos positivos ( $I_{COMP+}$ ) con lo que el esquema temporal de los voltajes positivos aplicados, que se muestra en la **Figura 4-1b**, sólo se cumple cuando la corriente medida no alcanza el límite impuesto, debido a que el equipo de medida disminuye automáticamente el voltaje aplicado cuando la corriente alcanza  $I_{COMP+}$ .

Concretamente, durante el experimento, se han aplicado 3750 ciclos de barrido de tensión en los cuales se ha mantenido fijo el valor de  $V_{LIM+} = +1.1$  V mientras que  $V_{LIM-}$  se ha ido variando cada 50 ciclos, a un paso de +0.02 V, desde -1.80 V hasta -0.50 V. Además, se ha variado el valor de  $I_{COMP+}$  cada 10 ciclos entre cinco niveles de corriente distintos dentro de una ventana de dos décadas (entre los valores mínimo y máximo de  $I_{COMP+}$ ) correspondiendo el valor máximo a  $I_{COMP+} = 10^{-1.75}$  A, un valor ligeramente superior al nivel de corriente máximo que se ha obtenido en las medidas realizadas bajo los parámetros óptimos de medida ( $V_{LIM+} = +1.1$  V,  $V_{LIM-} = -1.4$  V) para estos dispositivos, por lo que para  $I_{COMP+} = 10^{-1.75}$  A no se esperaría impacto del límite de corriente en el nivel de corriente alcanzado después del SET. Los valores de los cinco niveles de corriente se han escogido de tal manera que estén espaciados uniformemente en escala logarítmica dentro de la ventana de dos décadas ( $10^{-1.75}$  A,  $10^{-2.25}$  A,  $10^{-2.75}$  A,  $10^{-3.25}$  A,  $10^{-3.75}$  A). Adicionalmente, el valor de corriente durante el proceso de RESET ha quedado limitado a 100 mA, límite impuesto por el equipo de medida, siendo este un valor mucho mayor que cualquiera de los valores de corriente medidos.

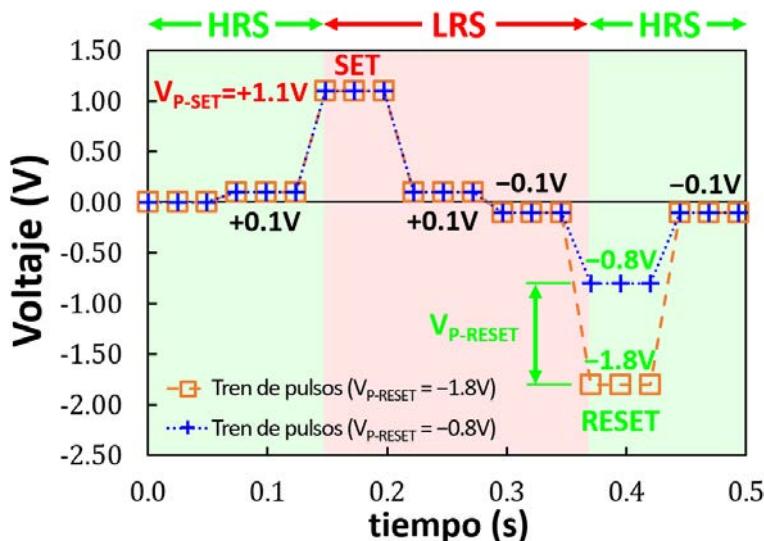


**Figura 4-1.** (a) Diagrama de flujo del algoritmo de medida aplicado para evaluar la capacidad multinivel del dispositivo con rampas de voltaje. Los valores  $V_{LIM-}$  varían desde  $-1.80\text{ V}$  a  $-0.50\text{ V}$  con un paso de  $+0.02\text{ V}$  cada bloque de 50 ciclos. El límite de corriente  $I_{COMP+}$  cambia entre los valores  $10^{-1.75}\text{ A}$ ,  $10^{-2.25}\text{ A}$ ,  $10^{-2.75}\text{ A}$ ,  $10^{-3.25}\text{ A}$ ,  $10^{-3.75}\text{ A}$ , cada 10 ciclos. (b) Esquema temporal de los barridos de voltaje con rampas aplicados con el algoritmo de medida.

#### 4.1.2 Esquema de medida multinivel por pulsos

En la **Figura 4-2** se muestra el esquema del tren de pulsos que se ha aplicado durante las medidas de secuencia de pulsos. En este tren de pulsos se han definido dos operaciones de escritura, una para producir un proceso de SET al dispositivo y la otra para producir el de RESET. Los valores de la amplitud de voltaje aplicados en estos pulsos para lograr estas transiciones han sido  $V_{P-SET} = +1.1\text{ V}$  (fijo para todos los trenes de pulsos) y  $V_{P-RESET}$  (variado entre  $-0.8\text{ V}$  y  $-1.8\text{ V}$ ). Este último parámetro ha sido variado a lo largo de la medida con la finalidad de evaluar la capacidad multinivel del dispositivo. Además, se ha aplicado el límite de corriente establecido por el equipo de medida de  $100\text{ mA}$  para ambos procesos, aunque en ningún momento se alcanzó ese valor. Durante el experimento, se han empleado dos procedimientos de medida, uno con una variación discreta de los valores de  $V_{P-RESET}$ , y otro con una variación continua ciclo a ciclo de este parámetro. Adicionalmente, antes y

después de cada operación de escritura, se han realizado dos operaciones de lectura a +0.1 V (antes y después del SET) y -0.1 V (antes y después del RESET) para comprobar y evaluar el cambio de conductancia producido por ambas transiciones.



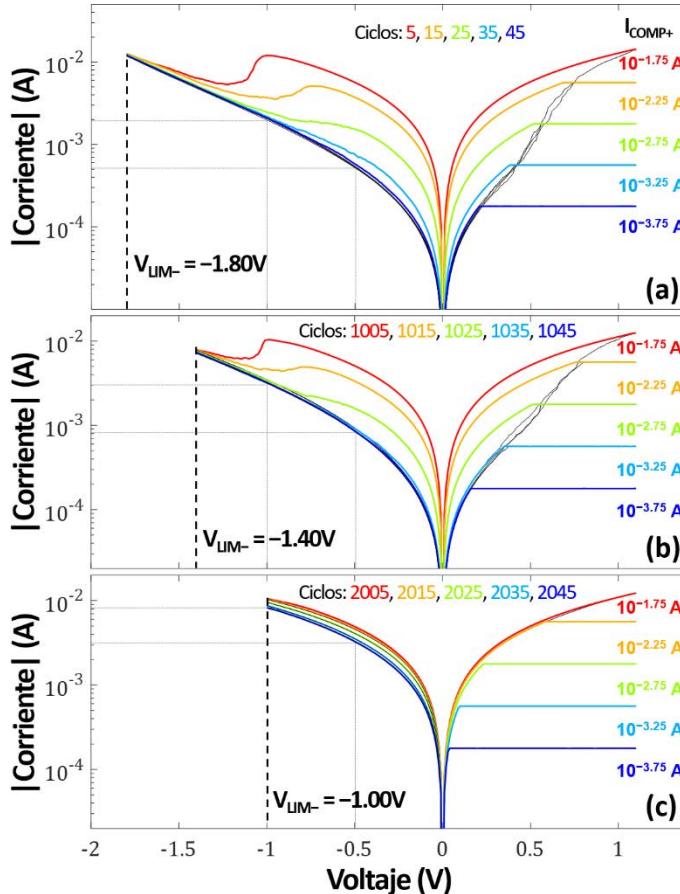
**Figura 4-2.** Evolución temporal del voltaje aplicado con el esquema de tren de pulsos utilizado en las medidas. La amplitud del pulso de la operación de SET, para todas la medidas, ha sido  $V_{P-SET} = +1.1$  V. Sin embargo, la operación de RESET ha sido aplicada con diferente amplitud de pulso durante los experimentos dentro del rango de valores  $-1.8$  V <  $V_{P-RESET}$  <  $-0.8$  V.

## 4.2 Resultados y discusión

### 4.2.1 Evaluación del multinivel por barridos

En la **Figura 4-3** se muestra la característica I-V para cinco ciclos típicos de conmutación resistiva para tres valores representativos de  $V_{LIM-}$  (-1.8 V, -1.4 V, -1.0 V). El nivel más elevado de corriente registrado en estos tres casos,  $I = 10^{-1.85}$  A, se ha medido a +1.1 V después del proceso de SET. Este valor es inferior al valor más alto de los límites de corriente establecidos,  $I_{COMP+} = 10^{-1.75}$  A. Esto implica que las curvas I-V medidas bajo esta condición ( $I_{COMP+}$  máximo) tienen las mismas características que si hubieran sido medidas sin aplicar ninguna restricción de corriente.

En el HRS, las curvas I-V (en color negro) se superponen para los distintos límites de corriente que se ha aplicado, lo cual indica que en este estado la característica I-V no depende de la limitación de corriente impuesta durante la medida. Además, se puede observar que conforme se disminuye  $|V_{LIM-}|$  las curvas del HRS se van desplazando hacia arriba, lo cual indica que el proceso de RESET es menos efectivo debido a que el campo



**Figura 4-3.** Característica I-V medida en un dispositivo de área  $120 \times 120 \mu\text{m}^2$  de la oblea 10050-1, para 3 valores de  $V_{\text{LIM}-}$ :  $-1.8 \text{ V}$  (a),  $-1.4 \text{ V}$  (b),  $-1.0 \text{ V}$  (c) para cada uno de los cuales se han aplicado 5 valores de  $I_{\text{COMP}+}$ .

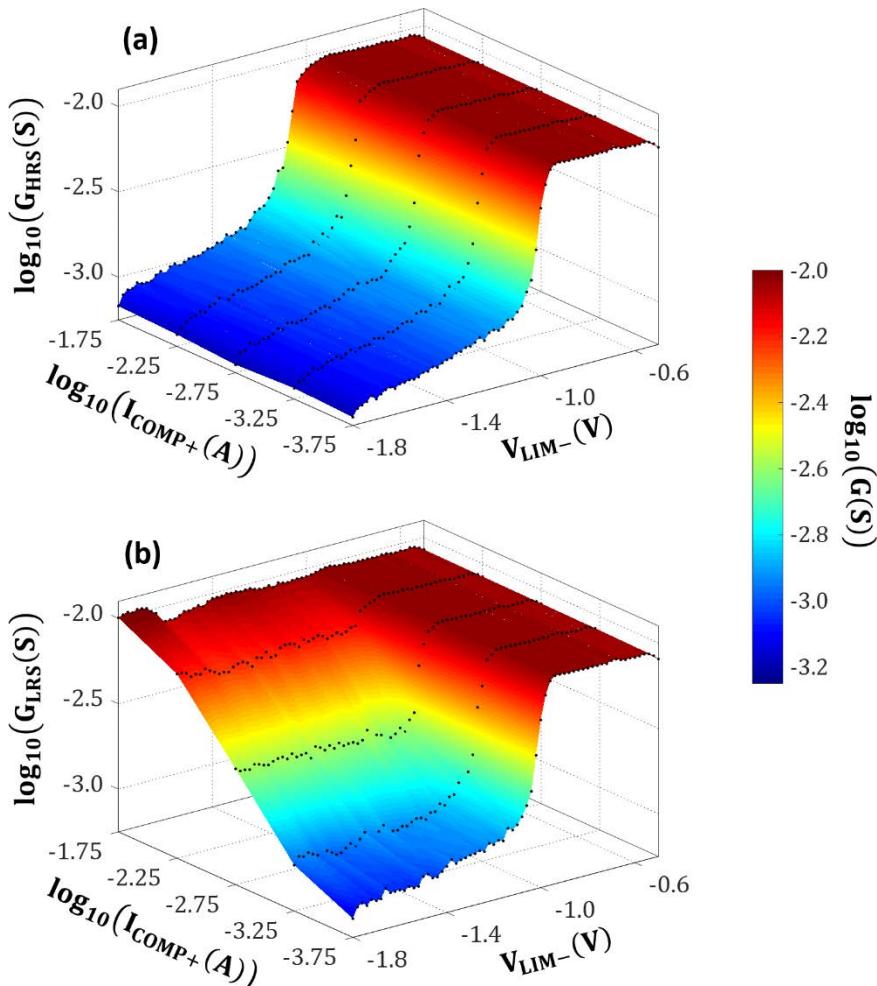
eléctrico aplicado es menor. Este hecho se aprecia notablemente en la variación del valor de la corriente medida para  $-0.5 \text{ V}$  y  $-1.0 \text{ V}$  (indicado en la **Figura 4-3** mediante rectas continuas grises para diferentes  $V_{\text{LIM}-}$ ). Así pues, las curvas del LRS empiezan a superponerse con las curvas del HRS para  $V_{\text{LIM}-} = -1.0 \text{ V}$ . Es decir, para  $V_{\text{LIM}-} > -1.0 \text{ V}$  el voltaje negativo aplicado es demasiado pequeño para que se produzca una recuperación del filamento conductor con lo que la transición RESET del dispositivo no se puede llevar a cabo. En consecuencia, el dispositivo se mantiene en el LRS.

Por otra parte, para valores  $V_{\text{LIM}-} < 1.2 \text{ V}$  en el LRS se observa que, a mayor nivel de límite de corriente aplicado, se obtiene una corriente más elevada y una transición de RESET menos progresiva. Es importante mencionar que para  $V_{\text{LIM}-} > -1.0 \text{ V}$ , en los tres mayores valores de  $I_{\text{COMP}+}$  la curva del LRS medida es muy similar, independientemente del valor de  $V_{\text{LIM}-}$ . Esto se puede explicar por el algoritmo de medida (ver **Figura 4-1**) que produce que

el nivel de corriente se establezca en los ciclos con el valor del límite de corriente más alto definido, cuando no se pudo producir el RESET por el bajo campo eléctrico aplicado.

En la **Figura 4-4** se muestra el conjunto de resultados que se han obtenido para la secuencia completa de 3750 ciclos de barrido medidos en el experimento. En concreto están representados los valores de conductancia medidos a -0.1 V para el HRS (**Figura 4-4a**) y LRS (**Figura 4-4b**) en función de  $I_{COMP+}$  y  $V_{LIM-}$ , es decir, el valor de cada punto negro de la superficie 3D corresponde al valor de conductancia medido para cada combinación de  $I_{COMP+}$  y  $V_{LIM-}$ . La superficie 3D se ha realizado a través de una interpolación de los datos.

En la **Figura 4-4a** puede observarse que en el HRS la conductancia depende significativamente de  $V_{LIM-}$ , sin embargo, no muestra una dependencia respecto a la



**Figura 4-4.** Representación 3D de los valores de la conductancia medidos a -0.1 V en los estados HRS (a) y LRS (b) durante la secuencia de ciclos de barrido aplicada a un dispositivo con una celda MIM de área 120×120 μm<sup>2</sup> de la oblea 10050-1. La conductancia (eje z) está representada respecto límite de corriente (eje y) y el límite de voltaje negativo (eje x).

restricción del límite de corriente. El comportamiento de la conductancia respecto  $V_{LIM^-}$  se puede diferenciar claramente en tres regiones:

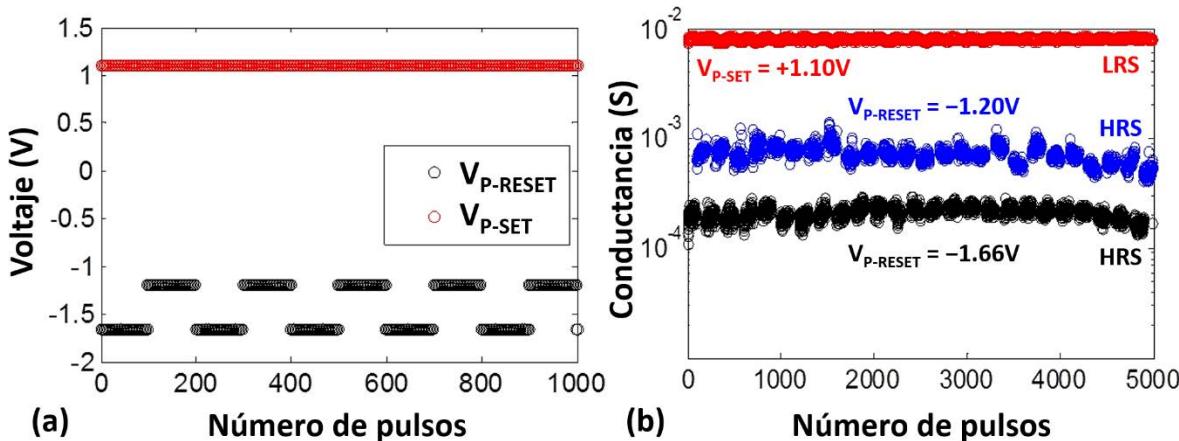
1. Para  $V_{LIM^-} < -1.2$  V, el valor de conductancia crece ligeramente al disminuir  $V_{LIM^-}$ .
2. En el rango  $-1.2$  V  $< V_{LIM^-} < -1.0$  V, el valor de conductancia aumenta considerablemente al disminuir el campo eléctrico aplicado.
3. Para  $-1.0$  V  $< V_{LIM^-}$ , la conductancia se mantiene constante. De acuerdo con lo explicado anteriormente, lo que sucede es que el proceso de RESET no puede producirse aplicando un campo eléctrico tan pequeño con lo que el dispositivo se mantiene en el LRS.

En el caso del LRS (**Figura 4-4b**) puede observarse que para  $V_{LIM^-} < -1.2$  V, el valor de la conductancia sólo depende de  $I_{COMP+}$ , ya que este parámetro establece el nivel de corriente que puede ser alcanzado por el dispositivo en el LRS. Mientras que para  $V_{LIM^-} > -1.0$  V el nivel de conductancia en el LRS es independiente de  $I_{COMP+}$ , debido a que no se produce el RESET. Esto se puede explicar cómo se ha comentado con anterioridad, por el algoritmo de medida que produce que el nivel de corriente se establezca en los ciclos con el valor del límite de corriente más alto definido.

#### 4.2.2 Evaluación de multiniveles discretos por pulsos

Con el objeto de evaluar las características de multiniveles discretos en los dispositivos estudiados, se ha efectuado una medida aplicando secuencialmente, durante 5000 ciclos, el esquema de tren de pulsos que se puede observar en la **Figura 4-2**, definido de tal manera que  $V_{P-SET} = +1.1$  V para todos los ciclos y la amplitud de  $V_{P-RESET}$  se ha alternado entre  $-1.20$  V y  $-1.66$  V cada 100 ciclos. En la **Figura 4-5a** se muestran los valores de los pulsos de escritura para producir las transiciones SET/RESET durante los primeros 1000 ciclos y en la **Figura 4-5b** los valores de conductancia medidos a  $-0.1$  V después del pulso de RESET y de SET durante los 5000 ciclos de la medida. Claramente se pueden distinguir tres niveles diferentes de conductancia lo cual indica unos estados resistivos muy bien definidos. El nivel de conductancia más elevado corresponde al LRS, mientras que los otros dos, con un valor claramente inferior, pertenecen al HRS. Cuando se ha aplicado  $V_{P-RESET} = -1.20$  V, la ventana de valores de corriente entre el LRS y el HRS es de una década, mientras que para  $V_{P-RESET} = -1.66$  V es casi de dos décadas. Esta dependencia de la

conductancia, en el HRS, respecto del valor de la amplitud del pulso de RESET es coherente con los resultados que se han obtenido en la caracterización multinivel de dispositivos TiN/Ti/HfO<sub>2</sub>/W mediante rampas de tensión.

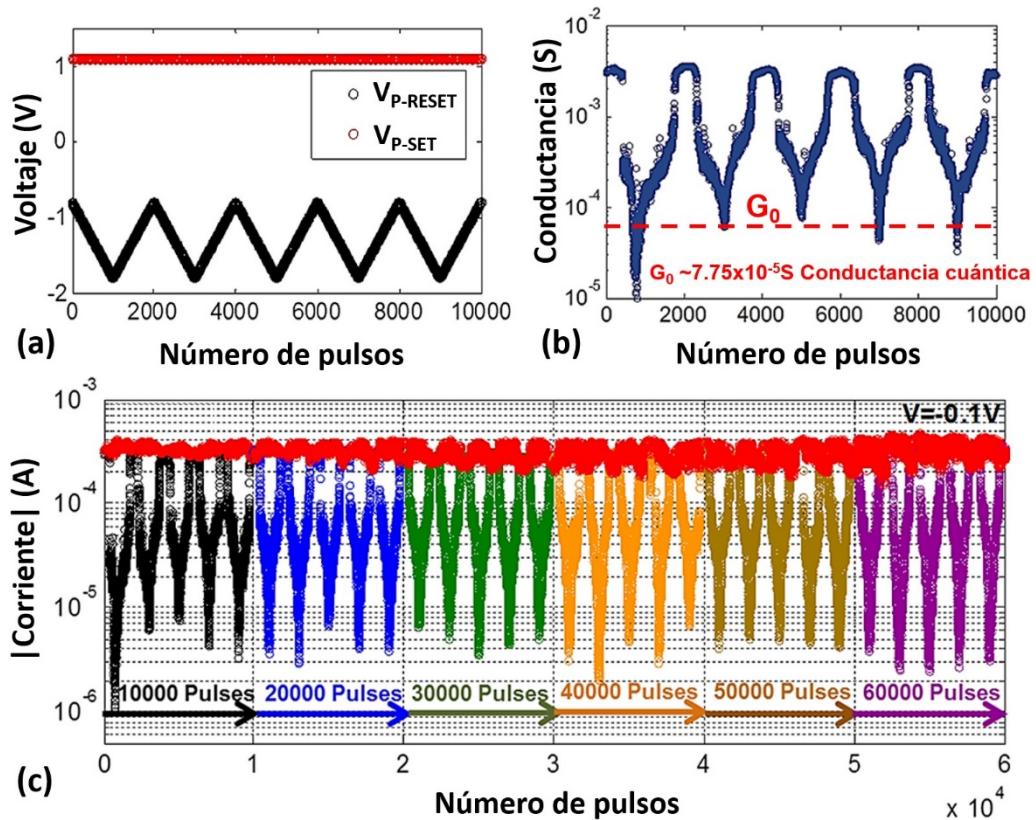


**Figura 4-5.** (a) Esquema de los valores de voltaje  $V_{P-SET}$  y  $V_{P-RESET}$  que se han tomado durante una secuencia aplicada de 1000 pulsos. (b) Valores de conductancia medidos a -0.1 V, después de los pulsos de SET (rojo), y RESET con amplitudes -1.20 V (azul) y -1.66 V (negro), aplicados en una secuencia de 5000 pulsos que sigue el esquema de (a) en un dispositivo de la oblea 8356-2 cuya celda MIM tiene un área  $5 \times 5 \mu\text{m}^2$ .

#### 4.2.3 Evaluación del comportamiento analógico

Para complementar la evaluación de la característica multinivel mediante pulsos, también se ha investigado con una variación continua de  $V_{P-RESET}$ . Específicamente se ha realizado una medida en la que también se ha aplicado de manera secuencial, durante 60000 ciclos, el esquema de tren de pulsos mostrado en la **Figura 4-2** con la diferencia de que, en este experimento, se ha ido variando la amplitud  $V_{P-RESET}$  de forma continua a un ritmo de 1mV/ciclo en el rango de -0.8 V a -1.8 V, mientras que la amplitud de  $V_{P-SET}$  ha estado fijada a +1.1 V para todos los ciclos. En la **Figura 4-6** se pueden observar (a) las amplitudes de los pulsos  $V_{P-SET}$  y  $V_{P-RESET}$  aplicadas para producir las transiciones SET/RESET durante los primeros 10000 ciclos, (b) los valores de conductancia medidos a -0.1 V después del proceso de RESET durante estos 10000 primeros ciclos y (c) los valores de corriente registrados, en ambos estados resistivos, durante el total de los 60000 ciclos del experimento. Se puede observar que hay una fuerte dependencia de la conductancia respecto del valor  $V_{P-RESET}$  durante toda la medida, lo que resulta en una clara capacidad de poder ajustar la conductancia para valores por encima de la conductancia cuántica,  $G_0 = 2e / h = (12.9 \text{ k}\Omega)^{-1}$ . Hay que señalar que para esos valores, puede darse una relación

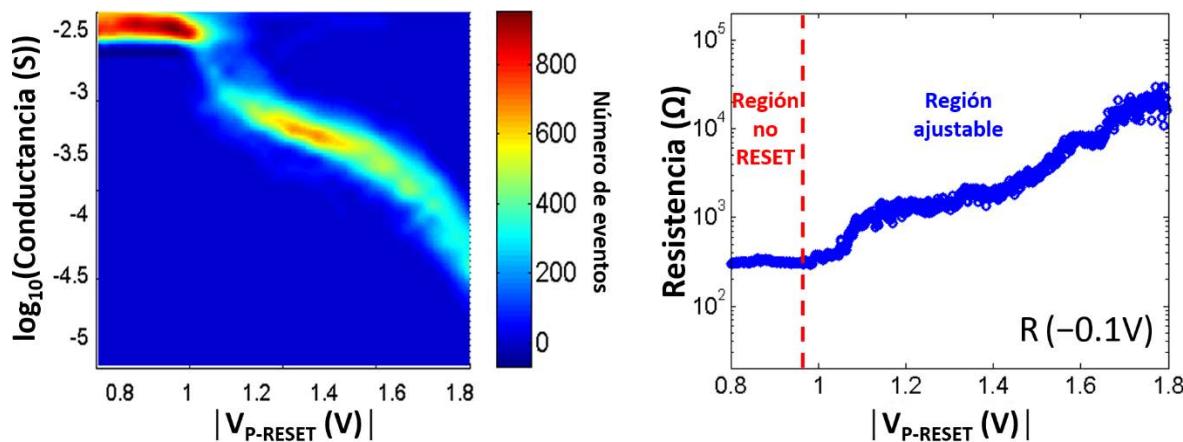
I-V lineal que corresponde a la presencia de un filamento conductor completamente formado que conecta los dos electrodos [77,78].



**Figura 4-6.** (a) Valores de amplitud de  $V_{P\text{-SET}}$  y  $V_{P\text{-RESET}}$  durante los primeros 10000 ciclos del experimento. Un ciclo corresponde a un tren de pulsos cuyo esquema está indicado en la **Figura 4-2**. (b) Valores de conductancia medidos después de cada pulso de RESET, durante esos 10000 ciclos iniciales, en un dispositivo con una celda MIM de área  $5 \times 5 \mu\text{m}^2$  de la oblea 8356-2. (c) Corriente medida a  $-0.1 \text{ V}$ , después de los pulsos de SET, y RESET, para la secuencia total de 60000 ciclos siguiendo el esquema de valores de pulsos de (a).

En la **Figura 4-7a** se muestra un mapa de eventos de los valores medidos de conductancia, después del pulso de RESET, respecto de los valores aplicados con  $V_{P\text{-RESET}}$  durante los 60000 ciclos de la medida. La escala cromática indica el número de eventos. Se puede apreciar que existe una clara relación continua entre  $V_{P\text{-RESET}}$  y la conductancia del dispositivo. Esta variación de la conductancia se puede explicar por los cambios morfológicos y estequiométricos de los filamentos conductores [31]. Como se puede observar en la **Figura 4-7b**, la tendencia que siguen los valores de resistencia del filamento respecto  $V_{P\text{-RESET}}$  se puede clasificar en dos regiones claramente definidas, una correspondiente al rango de valores  $0.95 \text{ V} < |V_{P\text{-RESET}}| < 1.8 \text{ V}$ , en la que la conductancia del dispositivo después del

pulso de RESET puede ser variada con  $V_{P-RESET}$  y otra, para  $|V_{P-RESET}| < 0.95$  V, en la que la conductancia es independiente de este parámetro.



**Figura 4-7.** (a)  $\log_{10}$  (Conductancia) medida después del pulso RESET vs.  $V_{P-RESET}$  para los 60000 ciclos que se ven en la **Figura 4-6c**. El mapa de color indica el número de eventos. (b) Característica que muestran los valores de resistencia respecto  $V_{P-RESET}$  para 100 voltajes de RESET diferentes, en el rango entre -0.8 V y +1.8 V con un paso de 1 mV.

### 4.3 Conclusiones

En dispositivos RRAM fabricados, cuya estructura MIM está formada por TiN/Ti/HfO<sub>2</sub>/W, se ha podido distinguir claramente estados multinivel aplicando secuencias programadas de rampas de voltaje y de trenes de pulsos. Se ha demostrado que al aumentar el límite de corriente durante la transición de SET se incrementa considerablemente la conductancia en LRS, mientras que al aumentar en valor absoluto el voltaje máximo aplicado durante el proceso de RESET se reduce la conductancia en el HRS. También se ha visto que los valores de conductancia pueden ser ajustados siempre y cuando estos sean superiores a la conductancia cuántica ( $G_0$ ), hecho que se corresponde con una posible relación I-V lineal que aparece con la presencia de un filamento conductor completamente formado que conecta los dos electrodos. La capacidad de modular de los valores de resistencia de los dispositivos fabricados se puede explicar por cambios morfológicos y estequiométricos de los filamentos conductores. Así pues, los resultados obtenidos sugieren que los dispositivos estudiados pueden ser empleados como dispositivos para sinapsis electrónicas en circuitos neuromórficos en el rango de 100  $\Omega$  a 10 k $\Omega$ .

## **5. Conmutación resistiva complementaria**

---

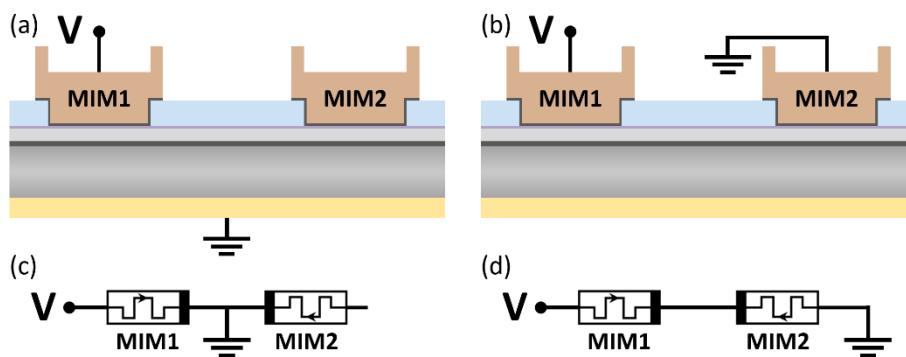
En este capítulo se estudia experimentalmente el fenómeno de la conmutación resistiva complementaria, o CRS (Complementary Resistive Switching), en dos dispositivos de conmutación resistiva conectados en antiserie. El capítulo muestra el procedimiento de caracterización eléctrica empleado y los resultados de dos experimentos realizados en las estructuras fabricadas. En estos experimentos, se analiza la variabilidad ciclo a ciclo de este fenómeno y, además, se estudia el impacto de la tensión máxima aplicada y de la historia eléctrica de los dispositivos en el comportamiento de CRS.

### **5.1 Procedimiento de caracterización eléctrica del fenómeno de conmutación resistiva complementaria**

#### **5.1.1 Montaje instrumental**

El montaje instrumental utilizado para caracterizar este fenómeno ha sido el mismo que para el resto de las medidas realizadas descritas previamente (ver apartado 3.1.1) con la diferencia del modo en que son contactados los electrodos de los dispositivos (ver **Figura 5-1**). Los dispositivos utilizados en este capítulo son estructuras TiN/Ti/HfO<sub>2</sub>/W de configuración aislada de la oblea 10132-1 (ver sección 2.4). Es importante señalar que todas las celdas MIM en esta configuración comparten el mismo electrodo inferior. Debido a esta

característica, para obtener una medida con un comportamiento CRS es necesario medir una pareja de dispositivos aplicando los barridos de voltaje al electrodo superior de uno de ellos mientras se mantiene a tierra el electrodo superior del otro dispositivo (ver **Figura 5-1b,d**). Por otro lado, la caracterización individual de cada dispositivo se ha realizado aplicando el voltaje en el electrodo superior y conectando a tierra el electrodo inferior (ver **Figura 5-1a,c**).



**Figura 5-1.** Diagramas de conexión para medir una celda MIM independientemente (a) o dos celdas MIM conectadas en antiserie (b). (c) y (d) representan los esquemas eléctricos de (a) y (b) respectivamente.

### 5.1.2 Metodología experimental

Para caracterizar el comportamiento de la CRS se han medido parejas de dispositivos con celdas MIM de la misma área, los cuales están situados en chips vecinos. Específicamente se han elegido dispositivos con celdas de  $120 \times 120 \mu\text{m}^2$  de chips contiguos porque el comportamiento de la conmutación resistiva observado en medidas previas de la oblea 10132-1, en dispositivos con celdas de este tamaño, ha mostrado una menor variabilidad dispositivo a dispositivo. En términos generales, durante la caracterización del comportamiento de la CRS de cada pareja de dispositivos se han seguido 3 pasos:

1. **Inicialización de los dispositivos.** En este primer paso, cada dispositivo de la pareja se ha contactado individualmente (ver **Figura 5-1a,c**) para realizar el forming con una limitación de corriente de 1 mA y, a continuación, una pequeña secuencia de ciclos de barrido de voltaje en ambas polaridades para caracterizar su conmutación resistiva bipolar individual.
2. **Caracterización del fenómeno CRS.** Una vez que ambos dispositivos han sido inicializados y se ha comprobado que ambos presentan unas buenas características de comportamiento individual de conmutación resistiva se ha procedido a

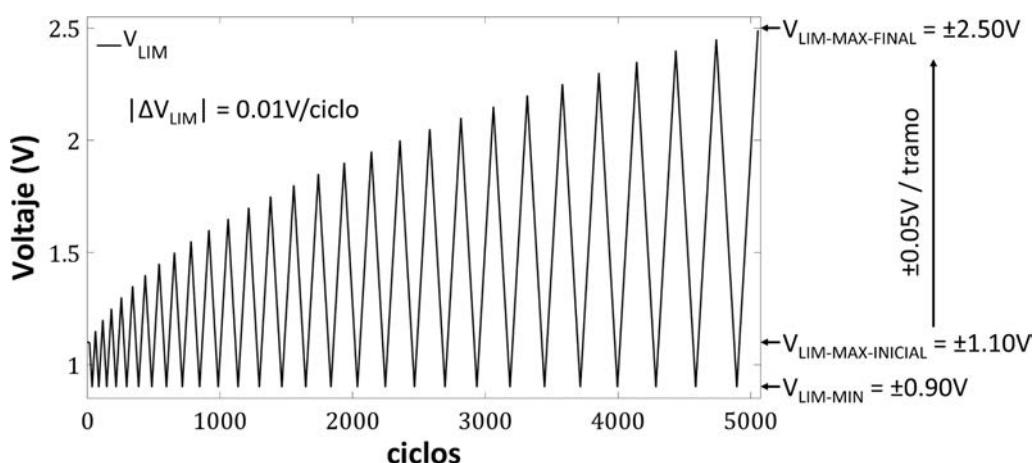
conectarlos en antiserie (ver **Figura 5-1b,d**). La asociación en antiserie de dos celdas iguales resulta en una estructura simétrica. Es decir, idealmente debería obtenerse un comportamiento simétrico de la característica corriente-voltaje del fenómeno de CRS. Sin embargo, las características de conmutación resistiva propias de cada celda pueden diferir debido a la variabilidad dispositivo a dispositivo inherente al proceso de fabricación, y a la naturaleza estocástica del mecanismo de conmutación resistiva. Con el fin de investigar el comportamiento y la simetría del fenómeno de CRS, una vez que se han inicializado los dispositivos y se ha realizado su conexión antiserie, se han aplicado diferentes secuencias de ciclos de barrido mediante rampas de voltaje con límites simétricos ( $\pm V_{LIM}$ ).

3. **Comprobación del estado final de los dispositivos.** Una vez acabada de aplicar la secuencia principal del experimento, que ha caracterizado el comportamiento de CRS en cada pareja de dispositivos, se ha procedido a medir la característica de la conmutación resistiva individual que presenta cada dispositivo después del experimento, y así compararla con la que se había medido inicialmente (paso1), lo cual permite comprobar si existe o no una posible variación en el comportamiento eléctrico de un memristor debido a la medida global realizada.

De entre las diferentes estrategias de caracterización seguidas durante esta tesis doctoral en estructuras MIM conectadas en antiserie, para este capítulo, se han seleccionado dos experimentos que muestran tanto la variabilidad ciclo a ciclo del fenómeno de CRS, como el impacto de la tensión máxima aplicada y de la historia eléctrica de los dispositivos en el comportamiento de CRS:

1. En el primer experimento se analiza la variabilidad ciclo a ciclo y se evalúa el impacto de  $V_{LIM}$  en el fenómeno de CRS. Para ello, se ha medido una secuencia de 1700 ciclos de barrido entre  $V_{LIM} = \pm 1.30$  V para analizar la variabilidad ciclo a ciclo. Una vez completada esta primera fase, se ha procedido a una segunda secuencia de medidas en la que se han medido 20 tramos de 10 ciclos cada uno, en los cuales se ha aumentado los límites de los barridos a un ritmo de 0.02 V cada tramo de 10 ciclos hasta llegar a  $V_{LIM} = \pm 1.70$  V.
2. En el segundo experimento se profundiza en la dependencia de la CRS respecto de la variación de  $V_{LIM}$ . Además, se evalúa el impacto de la historia eléctrica de los

dispositivos en el fenómeno de CRS. Con este fin, se ha llevado a cabo un experimento en el que se ha medido una secuencia de 5000 ciclos en la que  $V_{LIM}$  ha sido variada simétricamente, ciclo a ciclo, siguiendo un patrón de zigzag (ver **Figura 5-2**). En concreto,  $V_{LIM}$  se ha variado a un ritmo de  $\pm 0.01$  V/ciclo alcanzando en cada tramo del zigzag un valor mínimo  $V_{LIM-MIN} = \pm 0.90$  V, constante para todos los tramos, y un valor máximo  $V_{LIM-MAX}$  que ha sido aumentado en cada tramo del zigzag a razón de  $\pm 0.05$  V/tramo, desde  $V_{LIM-MAX-INICIAL} = \pm 1.10$  V, a principio de la medida, hasta  $V_{LIM-MAX-FINAL} = \pm 2.50$  V, valor alcanzado en el último ciclo.

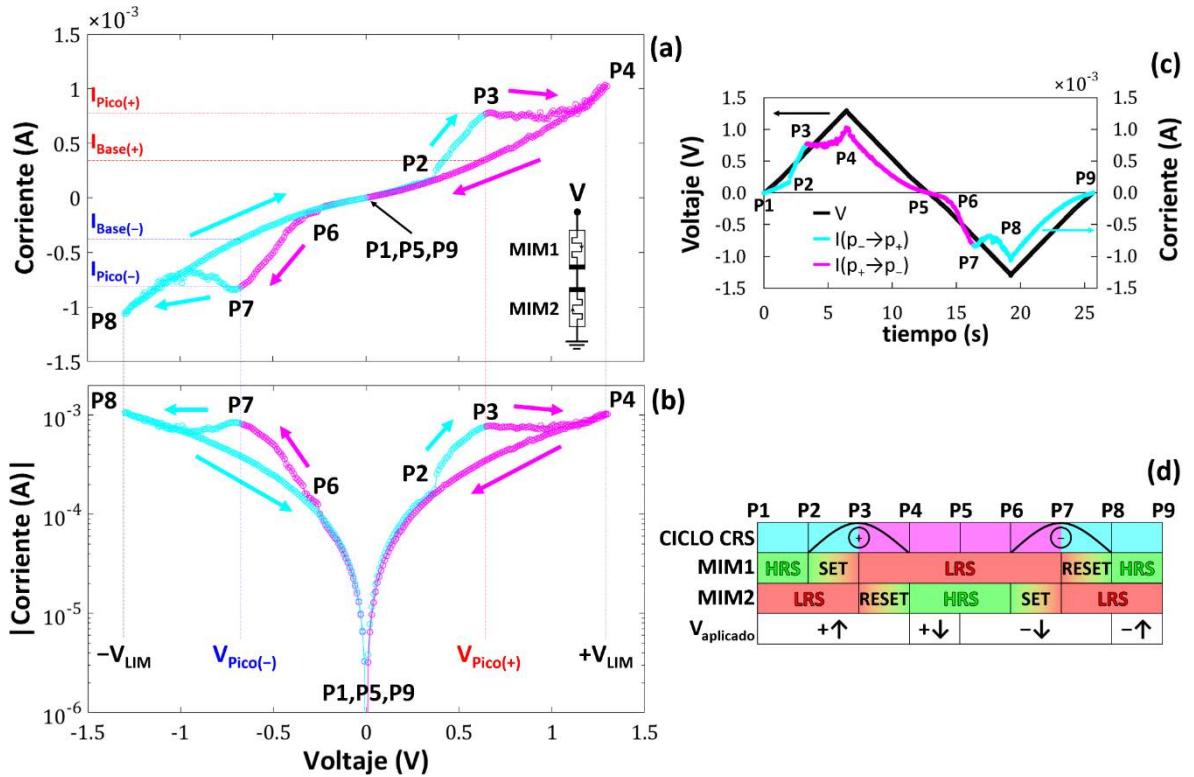


**Figura 5-2.** Evolución ciclo a ciclo del valor de los límites de los barridos de voltaje ( $\pm V_{LIM}$ ) aplicados a una pareja de dispositivos en antiserie para caracterizar el comportamiento de CRS en función de la variación de este parámetro.

## 5.2 Resultados y discusión

### 5.2.1 Caracterización de un ciclo de CRS

Como se ha comentado previamente, todos los experimentos realizados se han hecho con la intención de evaluar la respuesta simétrica del fenómeno de CRS, en parejas de celdas MIM conectadas en antiserie, a la hora de aplicar ciclos de barrido de voltaje simétricos. Esto se puede observar en la **Figura 5-3** donde se muestra un ciclo completo medido de CRS aplicando dos barridos de voltaje en ambas polaridades entre  $V_{LIM} = \pm 1.30$  V. La corriente medida ha sido representada en dos colores (magenta y cian) para indicar separadamente los tramos que van desde un pico hasta el otro en las curvas. Las regiones (P1-P9) señaladas en estas, tanto en la característica I-V (a,b) como en la evolución temporal (c) indican los momentos característicos de este ciclo de CRS:



**Figura 5-3.** Característica I-V en escala (a) lineal y (b) logarítmica durante un ciclo completo de conmutación resistiva complementaria (CRS). En (c) se muestra la evolución temporal del voltaje aplicado y de la corriente medida durante este ciclo. En (d) se muestra la relación en un ciclo de CRS, entre el estado resistivo en que se encuentran las dos celdas MIM y el signo y sentido de la rampa de voltaje que se aplica en cada tramo.

**P1.** Punto inicial del ciclo. La celda MIM1 se encuentra en el HRS mientras que la celda MIM2 se encuentra en el LRS (**MIM1 → HRS, MIM2 → LRS**). En este punto se empieza a aplicar una rampa de voltaje positivo que llegará hasta  $+V_{LIM}$  comenzando, por tanto, el ciclo de CRS.

**P2.** A partir de este punto se empezará a producir un aumento considerable del nivel de corriente. Esto es debido a que el voltaje que cae en la celda MIM1 provoca que empiece la transición de SET que hará commutar la celda al LRS.

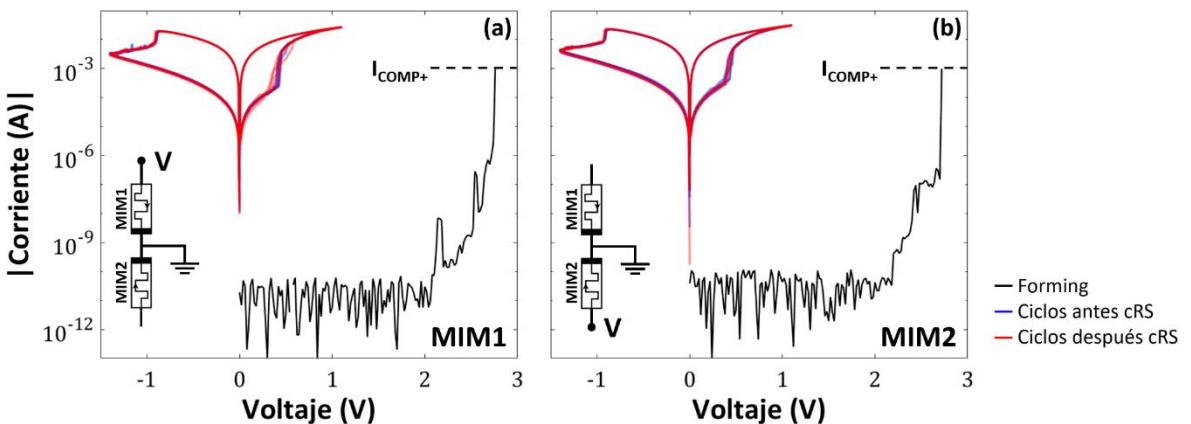
**P3.** En este punto, el nivel de corriente ha aumentado porque ambas celdas están en un estado de baja resistividad (**MIM1 → LRS, MIM2 → LRS**). Este punto corresponde al pico característico de la curva corriente-tensión que resulta de aplicar la doble rampa de voltaje positivo. Se ha denominado a este punto Pico(+) para facilitar el lenguaje durante la discusión de los resultados. Despues de esta región, la celda MIM2 inicializará el proceso de RESET.

- P4.** El barrido de voltaje positivo llega al límite  $+V_{LIM}$ . El voltaje que cae en MIM2 ha provocado una transición RESET de esta celda conmutándola al HRS. Debido a esto, se obtiene que (**MIM1 → LRS, MIM2 → HRS**). A continuación, se aplica una rampa de bajada hasta 0V que permite la comparación entre los valores de corriente medidos en el Pico(+) y los de bajada de la rampa en  $V_{Pico(+)}$ , este punto se ha denominado Base(+). Esta comparación se realiza porque justo entre estos dos puntos es donde se produce el máximo de la ventana entre los valores de corriente medidos con la rampa de subida y la de bajada.
- P5.** La rampa positiva de bajada llega a 0 V. Los estados resistivos de las celdas no han cambiado desde P4, es decir, la celda MIM2 se sigue encontrando en el HRS mientras que la celda MIM1 se encuentra en el LRS. En este punto se empieza a aplicar una rampa de voltaje negativo que llegará hasta  $-V_{LIM}$  comenzando con la segunda parte del ciclo que será muy similar a la primera, pero con los valores de voltaje y corriente de signo opuesto.
- P6.** Desde este punto se empezará a producir un aumento considerable del nivel de corriente. De manera casi simétrica a P2, el voltaje que cae en la MIM2 provoca el inicio de una transición de SET de esta celda conmutándola al LRS con lo que a partir de este momento el nivel de corriente medido aumenta.
- P7.** En este punto, el nivel de corriente ha aumentado porque ambas celdas están en un estado de baja resistividad (**MIM1 → LRS, MIM2 → LRS**). A este punto P7, se le ha denominado Pico(-). Después de esta región, la celda MIM1 inicializará el proceso de RESET.
- P8.** El barrido de voltaje negativo llega a su límite  $-V_{LIM}$ . El voltaje que cae en MIM1 ha provocado una transición RESET de esta celda conmutándola al HRS. Debido a esto, se obtiene que (**MIM1 → HRS, MIM2 → LRS**). A continuación, se aplica una rampa de subida hasta 0 V. Al igual que en la parte positiva, al punto de este tramo que se ha medido a  $V_{Pico(-)}$  se le ha denominado Base(-) siendo entre estos dos puntos donde se produce el máximo de la diferencia de las corrientes medidas entre ambos tramos de bajada y subida con voltajes negativos.

**P9.** La rampa de voltaje negativo ascendente llega a 0 V completando así un ciclo de barrido bipolar entero con el que se ha podido medir un ciclo completo de CRS. Los estados resistivos de las celdas siguen siendo los mismos desde P8.

### 5.2.2 Caracterización de la variabilidad ciclo a ciclo de CRS

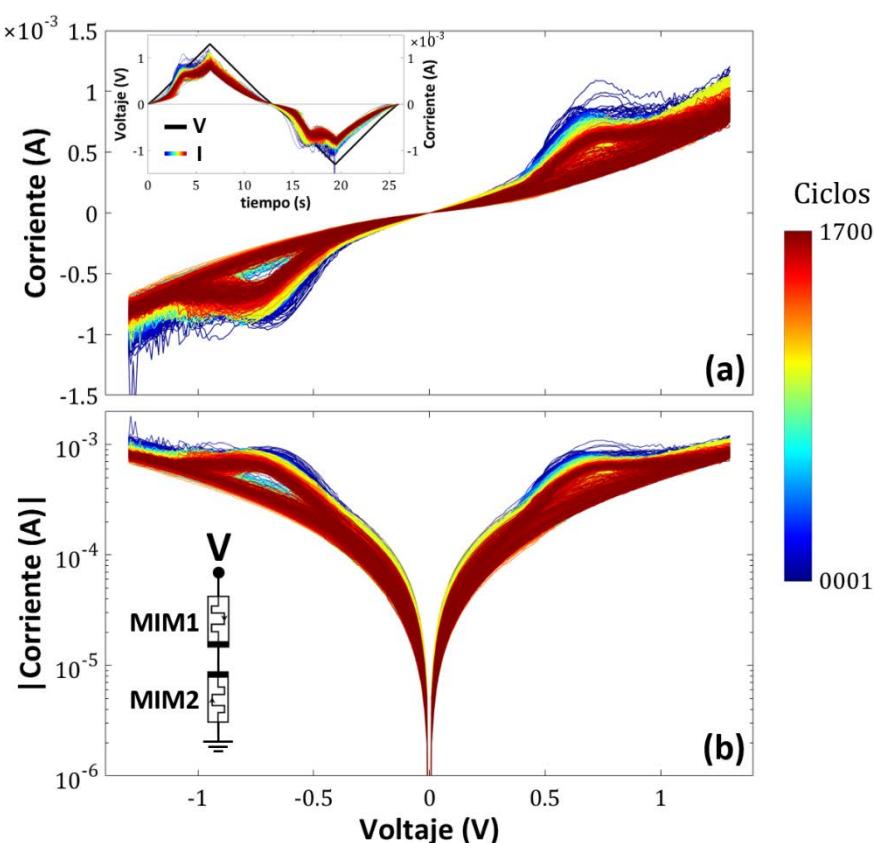
En esta sección se analizarán los resultados obtenidos del experimento 1, de una secuencia larga de ciclos de CRS. Como se ha explicado anteriormente, el primer paso antes de realizar cualquier ciclo de medida de CRS, como el mostrado en la **Figura 5-3**, es el de inicializar individualmente a ambos dispositivos de la pareja que se va a caracterizar. En la **Figura 5-4** se muestra este proceso para los dos dispositivos que se han utilizado durante el primer experimento, además de mostrar los ciclos individuales realizados después de la secuencia de medidas de CRS. Los resultados indican que las características de conmutación resistiva de los dispositivos individuales no se han visto afectadas por las medidas de CRS realizadas en el primer experimento.



**Figura 5-4.** Característica I-V del proceso de forming (negro) realizado individualmente a las celdas MIM1 (a) y MIM2 (b) de la pareja de dispositivos del primer experimento. Adicionalmente se muestra la característica I-V de la conmutación resistiva de 5 ciclos medidos individualmente entre (-1.4 V, +1.1 V) en cada celda antes (azul) y 5 ciclos medidos después (rojo) de realizar el primer experimento. En los insets de ambas figuras se muestra la conexión eléctrica realizada para las medidas individuales.

Después del proceso de forming y ciclado de los dispositivos individuales, se procedió a medir la secuencia de 1700 ciclos de barrido de voltaje con  $V_{\text{LIM}} = \pm 1.3\text{V}$ . En la **Figura 5-5** se muestran las curvas I-V de esta secuencia. Como se puede apreciar, tanto en las curvas I-V, como en el gráfico temporal de los ciclos (inset de **Figura 5-5a**), el fenómeno de CRS en los dispositivos analizados muestra una variabilidad ciclo a ciclo pequeña. La variabilidad observada se puede explicar por la naturaleza estocástica de los mecanismos de

comutación resistiva y por la variabilidad intrínseca de los procesos de fabricación de los dispositivos. Cabe destacar que en los ciclos del inicio de la medida (azul oscuro) existe una mayor variabilidad ciclo a ciclo que en los ciclos posteriores, que vendría relacionada con el proceso de estabilización del fenómeno de CRS. Además, se ha observado un comportamiento casi simétrico de la característica corriente-voltaje. Este hecho es debido a que las características de conmutación resistiva que muestran ambos dispositivos son similares (ver **Figura 5-4**).



**Figura 5-5.** Característica I-V en escala lineal (a) y logarítmica (b) de 1700 ciclos de CRS con  $V_{\text{LIM}} = \pm 1.3\text{ V}$  medidos de forma secuencial con una sola pareja de celdas MIM conectadas en antiserie. El inset en (a) muestra la evolución temporal durante el ciclo de CRS para esta secuencia de 1700 ciclos.

Con la finalidad de analizar numéricamente las características de esta secuencia de ciclos se ha programado en un entorno de Matlab un algoritmo de detección automática de los puntos de los picos de los ciclos. De acuerdo a lo explicado en apartado 5.2.1 acerca de las características de un ciclo de CRS, para su cálculo se ha tomado la regla en la que se considera que estos puntos son aquellos en los que se alcanza el máximo y el mínimo de la diferencia de los valores medidos de corriente entre los tramos de subida y bajada, ya que,

como dispositivo memristivo, lo que interesa es conocer el punto de operación con una mayor ventana, es decir, a qué valor de voltaje hay una mayor diferencia entre las corrientes medidas para ese valor, es decir:

$$I_{\uparrow}(V_{\text{Pico}(+)}) - I_{\downarrow}(V_{\text{Pico}(+)}) = \max\{I_{\uparrow}(V) - I_{\downarrow}(V)\}$$

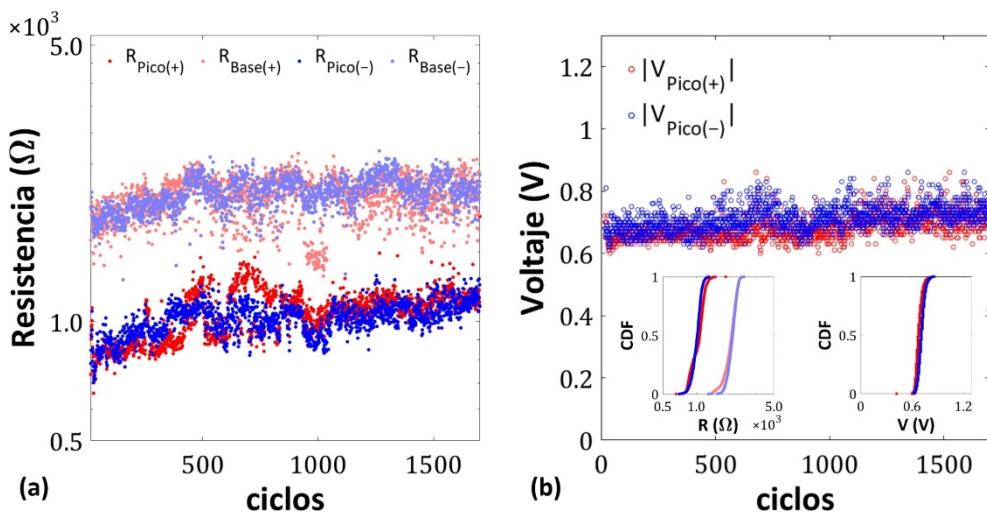
$$I_{\downarrow}(V_{\text{Pico}(-)}) - I_{\uparrow}(V_{\text{Pico}(-)}) = \min\{I_{\downarrow}(V) - I_{\uparrow}(V)\}$$

Una vez localizados estos puntos para los 1700 ciclos de la secuencia, se ha procedido al cálculo de los valores de resistencia en los puntos de los picos y de sus bases. La evolución de estos parámetros con el número de ciclos y su función de distribución acumulada (CDF) se muestran en la **Figura 5-6**, en los que se puede apreciar:

- Las CDF del Pico(+) y del Pico(–) y las de sus correspondientes bases están prácticamente superpuestas (inset de **Figura 5-6b**), lo que indica una alta simetría de comportamiento entre ambos picos.
- También se puede apreciar una gran verticalidad en estas curvas, lo cual indica que la variabilidad durante la secuencia de 1700 ciclos es pequeña.
- La ventana que se aprecia entre las CDFs de un pico y su respectiva base es de un factor  $\sim 2$ . El valor medio y desviación estándar de las resistencias en los picos y sus bases son:
  - $R_{\text{Pico}(+)} = 1049 \pm 142 \Omega$  y  $R_{\text{Base}(+)} = 2053 \pm 248 \Omega$
  - $R_{\text{Pico}(-)} = 1016 \pm 95 \Omega$  y  $R_{\text{Base}(-)} = 2115 \pm 195 \Omega$

Adicionalmente, en la **Figura 5-6b** se muestra la evolución de los valores de voltaje a los que se han producido los picos durante los 1700 ciclos y su correspondiente CDF. De estos valores, en los que  $V_{\text{Pico}(+)} = +0.68 \pm 0.04 \text{ V}$  y  $V_{\text{Pico}(-)} = -0.71 \pm 0.04 \text{ V}$ , se pueden observar dos hechos:

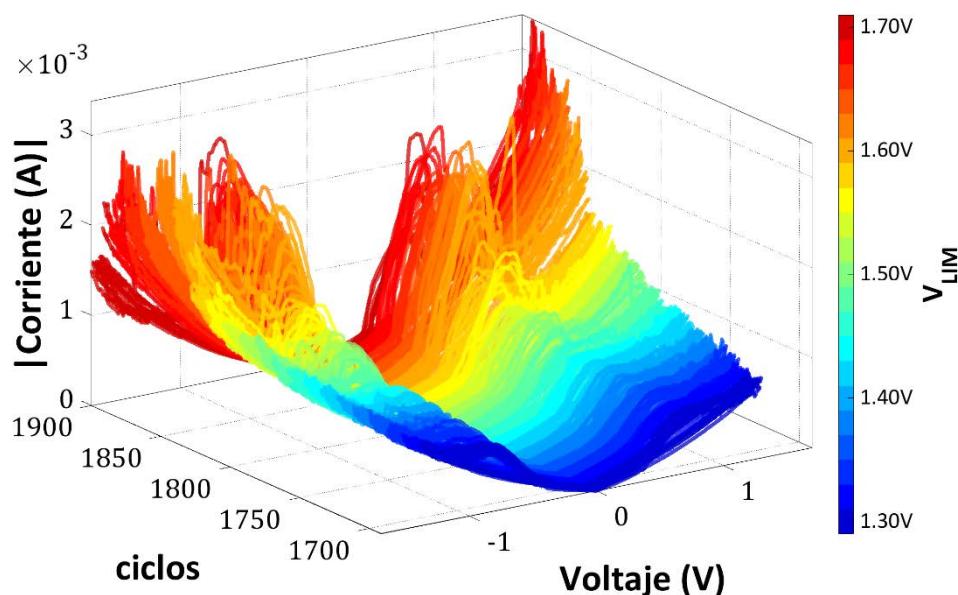
- La desviación estándar que presentan estos valores es pequeña, indicando la robustez del proceso de transición de los dispositivos ante los límites  $V_{\text{LIM}} = \pm 1.3 \text{ V}$  aplicados.
- El voltaje del Pico(–) se ha producido a una magnitud ligeramente superior que el Pico(+), de lo que se puede interpretar que en la celda MIM1 la transición RESET se produce a un voltaje ligeramente superior que en la celda MIM2 o que el proceso de SET en la celda MIM2 se da a un voltaje ligeramente superior al de la MIM1.



**Figura 5-6.** (a) Valores de resistencia, en función del número de ciclos, en los puntos de los picos y de sus bases durante los 1700 ciclos mostrados en la **Figura 5-5**. (b) Valores de voltaje a los que tiene lugar los picos para los 1700 ciclos. Los inset en (b) son las CDF calculadas de (a) y (b).

### 5.2.3 Caracterización en función de un pequeño incremento de $V_{\text{LIM}}$

Como se ha comentado en el apartado de metodología, en el experimento 1, a continuación de la secuencia de 1700 ciclos medidos entre  $V_{\text{LIM}} = \pm 1.30$  V, se midió 200 ciclos en los que  $V_{\text{LIM}}$  se incrementó a un ritmo de 0.02 V cada 10 ciclos hasta llegar a  $V_{\text{LIM}} = \pm 1.70$  V. En la **Figura 5-7** se muestran las curvas I-V de estos 200 tramos de 10 ciclos ( $V_{\text{LIM}} = \pm 1.32$  V  $\rightarrow$   $\pm 1.70$  V) junto con un primer tramo adicional ( $V_{\text{LIM}} = \pm 1.30$  V) que corresponde con los últimos 10 ciclos de la secuencia de 1700 ciclos con fines comparativos.

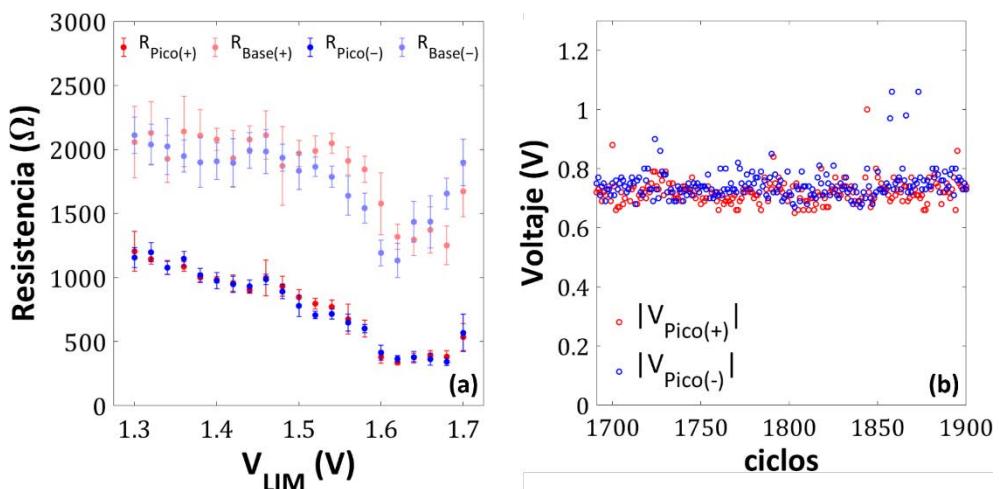


**Figura 5-7.** Característica I-V de la medida secuencial de 200 ciclos de barrido de CRS en los que  $V_{\text{LIM}}$  es incrementado a razón de 0.02 V cada tramo de 10 ciclos desde  $\pm 1.30$  V hasta  $\pm 1.70$  V.

En la **Figura 5-8a** se muestran los valores medios de resistencia, y su desviación estándar, en los puntos de los picos y de sus bases en cada uno de los tramos con  $V_{LIM}$  distinta. Tanto en esta figura como en la **Figura 5-7** se observa que:

- Al igual que cuando  $V_{LIM}$  era fija, hay una gran simetría entre el comportamiento de los puntos de los picos y las bases en ambas polaridades.
- La resistencia medida en los picos tiende a disminuir conforme los límites de los barridos de voltaje aumentan, hasta llegar a  $V_{LIM} = \pm 1.64$  V. La tendencia seguida por la resistencia de las bases es similar a la de los picos hasta  $V_{LIM} = \pm 1.64$  V. A partir de este punto, se observa una mayor inestabilidad de los valores de las resistencias de las bases. Como se observa en la **Figura 5-4**, la característica I-V individual de cada celda antes y después del experimento es el mismo, lo cual significa que las celdas no se han degradado y que esta mayor inestabilidad de la resistencia a  $|V_{LIM}| > 1.64$  V viene asociada a los valores altos de  $V_{LIM}$ .

Adicionalmente, en la **Figura 5-8b** se muestra que, al contrario que la tendencia seguida por los valores de resistencia, los valores de voltaje a los que se han producido los picos no se ven afectados significativamente respecto del incremento de  $V_{LIM}$ , en el rango de valores aplicados.

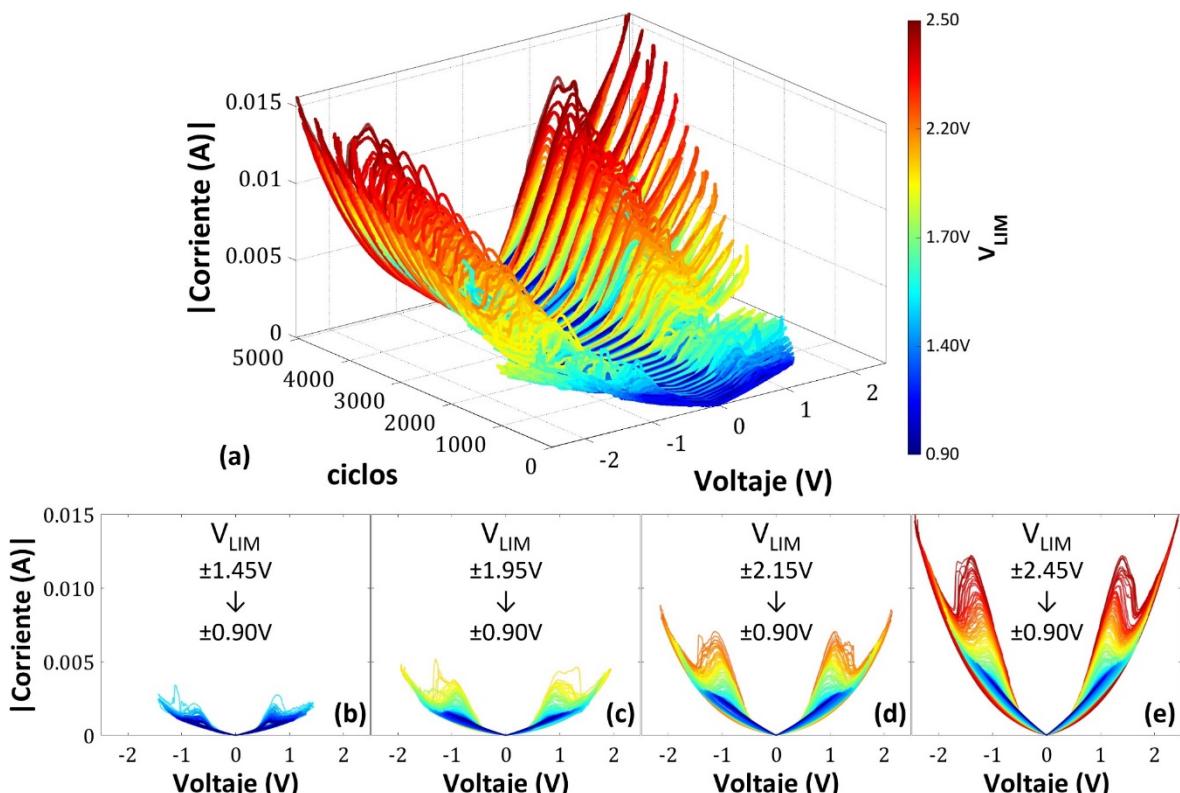


**Figura 5-8.** (a) Evolución respecto de  $V_{LIM}$  de la media de los valores de la resistencia medidos en los puntos de los picos y de las bases, para cada tramo de  $V_{LIM}$  diferente (ver **Figura 5-7**). Las barras de error indican la desviación estándar. (b) Valores de voltaje a los que tiene lugar los picos para esta secuencia de 200 ciclos.

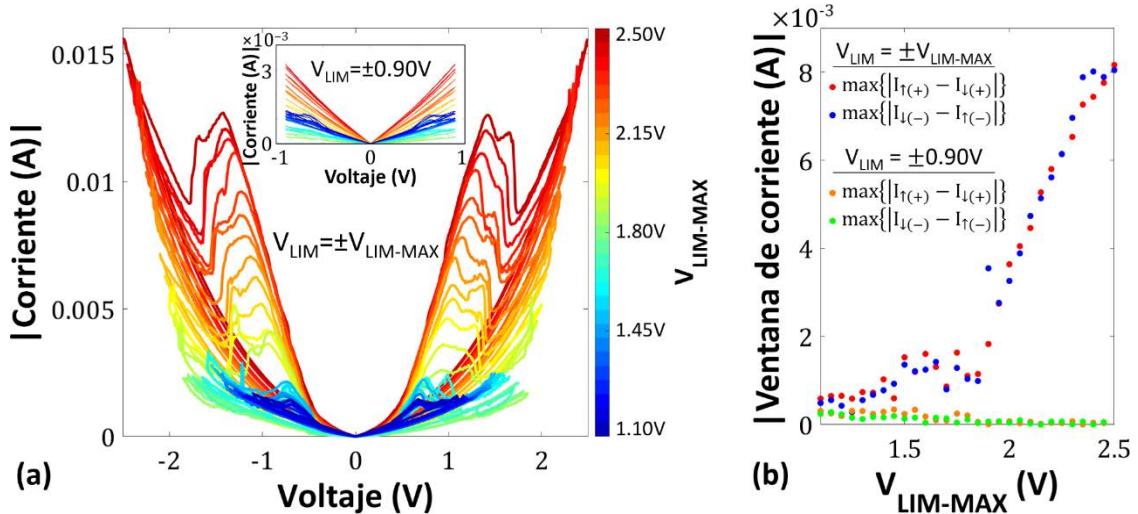
### 5.2.4 Caracterización en función de la variación en zigzag de V<sub>LIM</sub>

Debido a los resultados obtenidos en la segunda parte del primer experimento, en los que se ve como el comportamiento del CRS va variando en función de un pequeño incremento de V<sub>LIM</sub>, sin llegar a degradar los dispositivos, se decidió realizar otro en el cual V<sub>LIM</sub> se aumentaba considerablemente, para comprobar en qué punto ocurre la degradación de los dispositivos y ver el límite máximo operativo que se puede alcanzar. Como se puede observar en la **Figura 5-9**, V<sub>LIM</sub> se aumentó hasta  $\pm 2.50$  V sin llegar a la ruptura de los dispositivos. Los resultados obtenidos de la variación en zigzag del voltaje máximo aplicado, junto con el análisis de los parámetros extraídos, han permitido determinar cuál es el comportamiento de CRS a un V<sub>LIM</sub> determinado después de haber superado un V<sub>LIM-MAX</sub> concreto.

En la **Figura 5-10a** se muestran las curvas I-V de la **Figura 5-9a** en las que V<sub>LIM</sub> alcanza tanto los valores máximos locales (V<sub>LIM-MAX</sub> =  $\pm 1.10$  V  $\rightarrow \pm 2.50$  V) del zigzag como los valores mínimos (V<sub>LIM-MIN</sub> =  $\pm 0.90$  V). En las curvas con V<sub>LIM</sub> =  $\pm V_{LIM-MAX}$ , se puede observar que hay



**Figura 5-9.** (a) Característica IV de los 5000 ciclos medidos variando V<sub>LIM</sub> en un patrón de zigzag creciente (ver **Figura 5-2**). En (b,c,d,e) se muestran la característica IV de los ciclos pertenecientes a 4 tramos de bajada representativos del zigzag.



**Figura 5-10.** (a) Característica I-V en las que  $V_{LIM}$  alcanza los valores máximos locales ( $V_{LIM-MAX} = \pm 1.10 V \rightarrow \pm 2.50 V$ ) en la secuencia de zigzag. El inset muestra las curvas I-V obtenidas con los valores mínimos del zigzag ( $V_{LIM-MIN} = \pm 0.90 V$ ) posteriormente a cada tramo del zigzag definido por  $V_{LIM-MAX}$ . (b) Evolución del máximo de la ventana de corriente entre los dos tramos de los barridos para los ciclos representados en (a) en función del  $V_{LIM-MAX}$ .

una clara tendencia respecto del aumento de la ventana de estados con el voltaje límite de los barridos. Sin embargo, en el caso de las curvas medidas a  $V_{LIM} = \pm 0.90 V$  (inset **Figura 5-10a**), hay un voltaje máximo aplicado previamente a partir del cual la cresta característica de CRS deja de observarse, al mismo tiempo que se observa un aumento de corriente a lo largo de todo el ciclo. Como se ha comentado en el apartado 5.2.2, la posición de los picos se determina por el punto en el que hay una mayor ventana de corriente entre los dos tramos de un barrido (para cada polaridad). Por tanto, por definición esta ventana es la misma que hay entre la corriente de un pico y su respectiva base. Así pues, si se analiza la evolución de este valor en función de  $V_{LIM-MAX}$  (**Figura 5-10b**) se puede determinar que a partir de  $V_{LIM-MAX} = 1.90 V$ , la ventana de corriente aumenta significativamente en las curvas  $V_{LIM} = \pm V_{LIM-MAX}$ , mientras que en las curvas con  $V_{LIM} = \pm 0.90 V$  deja de observarse el fenómeno de CRS.

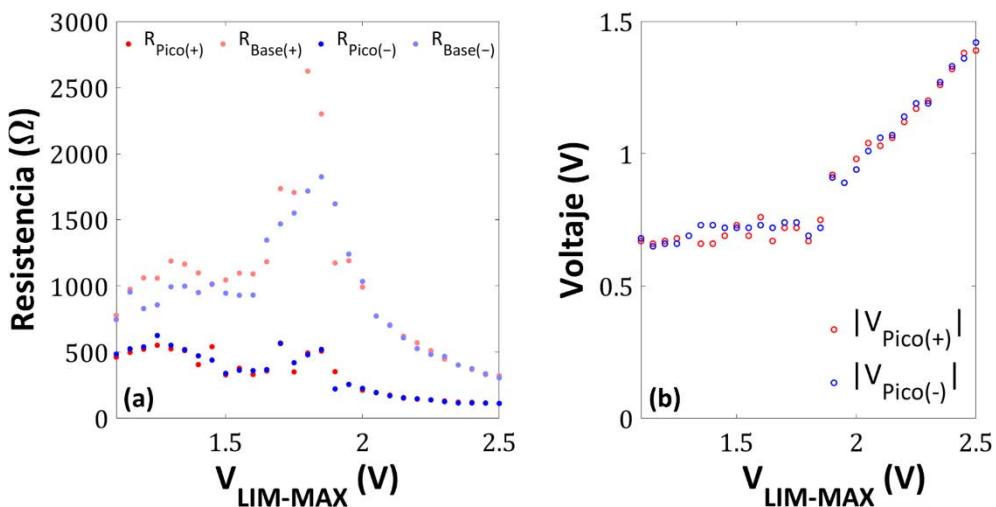
Si se analizan los valores de la resistencia para estos ciclos, en los que se cumple que  $V_{LIM} = \pm V_{LIM-MAX}$ , se puede concluir que (ver **Figura 5-11a**):

- Los valores de resistencia medidos en el rango  $V_{LIM-MAX} = 1.30 V - 1.70 V$  son algo inferiores a los medidos en el experimento 1, pero tienen una tendencia similar (ver **Figura 5-8a**), es decir, se observa una ligera disminución de la resistencia en los picos hasta  $V_{LIM} = \pm 1.65 V$  a partir del cual se producen unas fluctuaciones grandes

del valor de la resistencia de la base y ligeras fluctuaciones del valor de la resistencia de los picos. Es notable destacar que esta similitud en las tendencias obtenidas con los dos experimentos otorga una característica robusta al comportamiento de CRS respecto  $V_{LIM}$  en la zona de operación  $V_{LIM-MAX} < 1.60$  V, aspecto que puede ser muy deseable a la hora de querer controlar los niveles de los dispositivos variando simplemente este parámetro.

- A partir  $V_{LIM-MAX} = 1.90$  V, los valores de resistencia, tanto en los picos como de las bases de estos, disminuyen considerablemente.

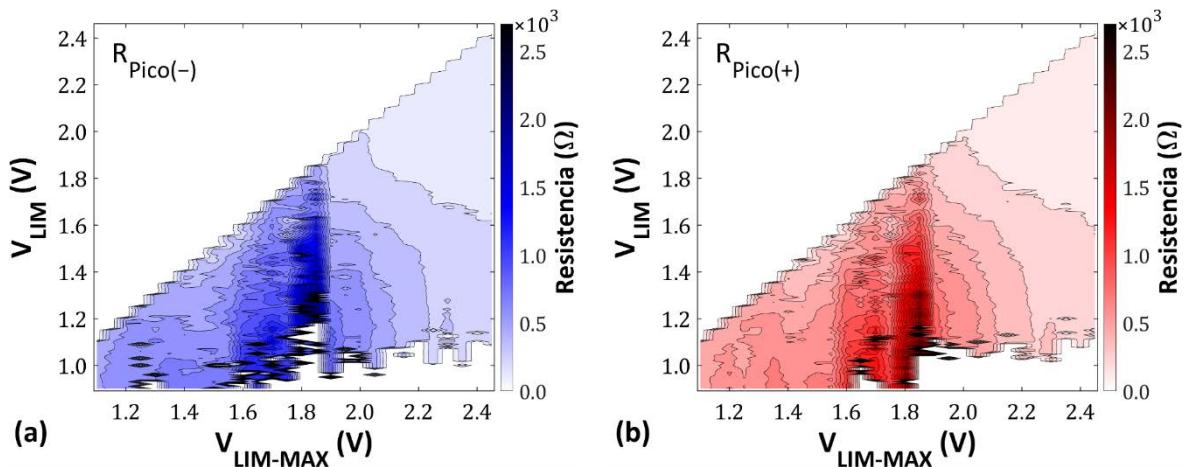
Si se analiza el comportamiento del voltaje al cual se producen los picos (ver **Figura 5-11b**) se observa cómo hasta el punto de cambio  $V_{LIM-MAX} = 1.90$  V los picos o las transiciones RESET se producen a un valor de voltaje prácticamente constante y, sin embargo, a partir de este punto este valor se incrementa linealmente con una pendiente de 0.90 ( $R^2 = 0.97$ ).



**Figura 5-11.** (a) Evolución respecto de  $V_{LIM-MAX}$  de los valores de la resistencia medidos en los puntos de los picos y de las bases para los ciclos en los que  $V_{LIM} = V_{LIM-MAX}$  (ver **Figura 5-10a**). (b) Valores de voltaje a los que tiene lugar los picos los mismos ciclos.

En la **Figura 5-12** se muestran los mapas de curvas de nivel de los valores de resistencia de ambos picos, en función de  $V_{LIM}$  y  $V_{LIM-MAX}$ , medidos en los ciclos de los tramos de bajada del zigzag de todo el experimento. Hay que recordar que  $V_{LIM-MAX}$  es el máximo  $V_{LIM}$  registrado hasta el ciclo en que se está midiendo (ver **Figura 5-2**). De ello se produce que estos mapas sean triangulares, ya que  $V_{LIM} \leq V_{LIM-MAX}$ . Como consecuencia, los valores de las diagonales ( $V_{LIM} = V_{LIM-MAX}$ ) de estos mapas de curvas de nivel corresponden a los valores de las respectivas series ( $R_{Pico(+)}, R_{Pico(-)}$ ) mostradas en la **Figura 5-11a**. Hay que aclarar que,

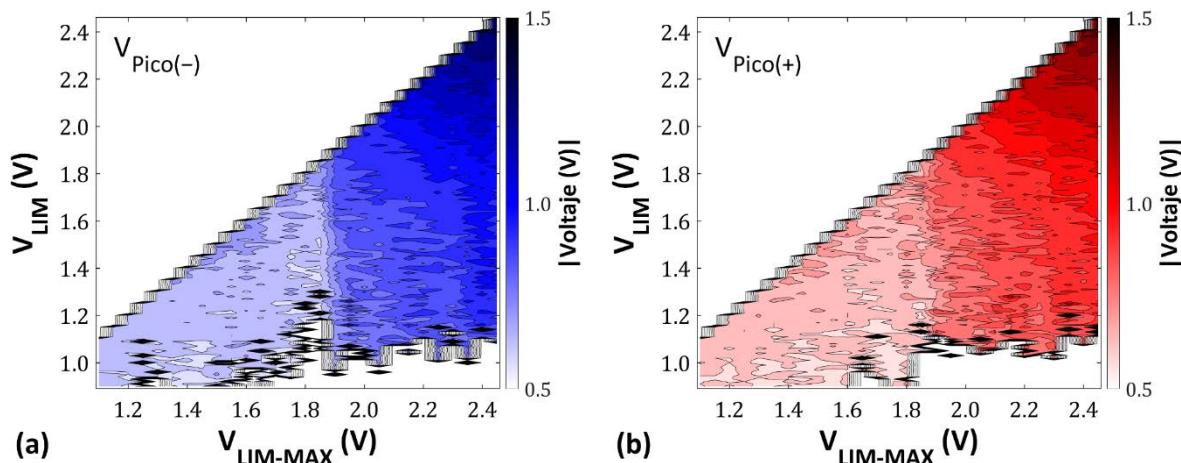
a diferencia de la zona superior triangular en blanco, las zonas que aparecen en blanco por debajo de la diagonal corresponden a los puntos en los que no se detectan los picos. Como era de esperar, estos ciclos en los que no se detecta el comportamiento de CRS, ocurre principalmente cuando  $V_{LIM}$  es pequeña, ya que el nivel de voltaje aplicado a las celdas MIM no es el suficiente para que conmuten su estado. Además, este efecto se intensifica en gran medida a partir del punto de cambio ( $V_{LIM-MAX} = 1.90$  V), lo cual puede significar que la nanoestructura del filamento conductor ha cambiado drástica e irreversiblemente debido a un estrés eléctrico y requiere de una mayor cantidad de energía para que las celdas MIM conmuten, lo que corresponde a lo observado previamente en el inset de la **Figura 5-11a**. Adicionalmente se puede observar que, a partir de este punto de cambio, el valor de resistencia que toman los picos para un mismo valor de  $V_{LIM}$  es menor conforme  $V_{LIM-MAX}$  crece. Sin embargo, esto no se cumple para los ciclos medidos con  $1.60 \text{ V} < V_{LIM-MAX} < 1.90 \text{ V}$ , donde las fluctuaciones de los valores de las resistencias son evidentes. Los resultados muestran que la zona de operación  $V_{LIM-MAX} < 1.60 \text{ V}$  un buen punto de trabajo para el dispositivo sin que este se degrade.



**Figura 5-12.** Mapas de curvas de nivel de los valores de resistencia de ambos picos para los tramos de bajada del zigzag.

Adicionalmente, en la **Figura 5-13** se muestran los mapas de curvas de nivel, respecto de  $V_{LIM}$  y  $V_{LIM-MAX}$ , de los valores de voltaje a los que se producen ambos picos en los ciclos de los tramos de bajada del zigzag de todo el experimento. Por la misma razón que se ha comentado anteriormente, los valores de las diagonales de ambos mapas de curvas de nivel ( $V_{LIM} = V_{LIM-MAX}$ ) corresponden a los valores de las dos series mostradas en la **Figura 5-11b**.

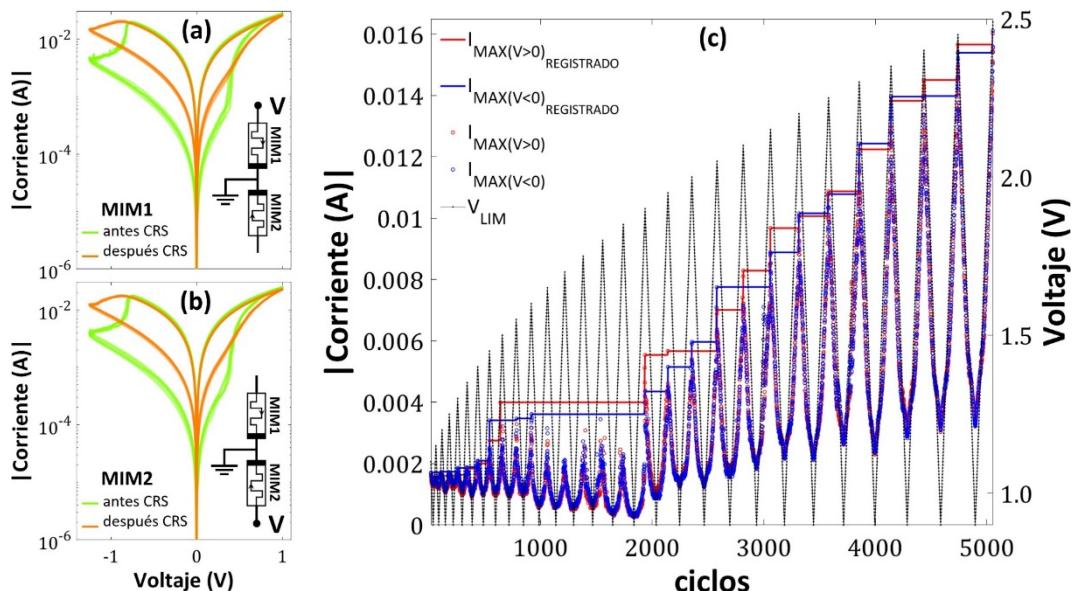
En este caso, las zonas que aparecen en blanco por debajo de la diagonal se corresponden con puntos en los que no se detectan crestas de CRS. Como era de esperar por lo analizado hasta el momento, hay un claro cambio de comportamiento de los dispositivos respecto de cambio en  $V_{LIM-MAX} = 1.90$  V. Previo a este punto, las transiciones RESET de las celdas MIM son prácticamente independientes de ambos parámetros. La dependencia respecto de  $V_{LIM-MAX}$  ya se ha observado previamente en el análisis de la **Figura 5-11b**. Sin embargo, a partir del punto de cambio, se observa que el comportamiento de los voltajes a los que se producen los picos también se ve modificado además de la resistencia de estos (ver **Figura 5-12**). El voltaje necesario para producir una transición RESET en las celdas para un mismo valor de  $V_{LIM}$  es mayor conforme  $V_{LIM-MAX}$  crece, debido a que, como se ha supuesto anteriormente, conforme  $V_{LIM-MAX}$  es mayor hay una parte más grande de la nanoestructura que ha cambiado por el estrés eléctrico, por la que cada vez se pierde más energía, haciendo que la parte de la energía destinada al proceso de transición sea menor.



**Figura 5-13.** Mapas de curvas de nivel de los valores de voltaje a los que se producen ambos picos para los tramos de bajada del zigzag.

Una vez acabado el experimento, para comprobar el impacto que ha tenido la medida de 5000 ciclos del experimento 2 en el comportamiento de la conmutación resistiva de cada celda, se ha medido una pequeña serie de ciclos de barridos de voltaje individualmente en ambas celdas y se ha comparado con los ciclos medidos previa e individualmente al experimento (ver **Figura 5-14a,b**). Como se puede observar, ambas celdas han sufrido un daño irreversible debido al estrés eléctrico. Los niveles de corriente en el HRS son mucho más elevados mientras que los niveles de corriente en el LRS permanecen en un nivel

similar al medido antes del experimento. De hecho, si se comparan los valores de resistencia medidos a  $-0.1$  V antes y después del experimento, se observa que para la celda MIM1,  $R_{HRS}$  ha descendido de  $1048 \pm 122$   $\Omega$  a  $219 \pm 10$   $\Omega$ , mientras que  $R_{LRS}$  apenas ha cambiado ( $37$   $\Omega$  a  $42$   $\Omega$ ), y para la celda MIM2,  $R_{HRS}$  ha descendido de  $1117 \pm 158$   $\Omega$  a  $273 \pm 12$   $\Omega$ , mientras que  $R_{LRS}$  apenas ha cambiado ( $42$   $\Omega$  a  $47$   $\Omega$ ). El daño que ha sufrido la nanoestructura del filamento conductor se puede atribuir al campo eléctrico y efecto Joule. La máxima corriente en ambas polaridades que se produce durante el experimento se analiza en **Figura 5-14c**, donde se observa que hay un punto ( $V_{LIM-MAX} = \pm 1.90$  V) a partir del cual la corriente empieza a aumentar de manera significativa, y que la corriente máxima registrada coincide con el ciclo de  $V_{LIM} = V_{LIM-MAX}$ , en el voltaje  $V = V_{LIM-MAX}$  (ver **Figura 5-14a**).



**Figura 5-14.** (a) y (b) muestran la característica I-V medida en cada celda individualmente durante 5 ciclos antes (verde) y 5 ciclos después (naranja) de realizar la medida de CRS. (c) Valores de corriente máximos, en ambas polaridades, alcanzados en cada ciclo durante toda la medida. Las líneas sólidas representan los valores máximos de corriente registrados con anterioridad a la medida del ciclo correspondiente.

## 5.3 Conclusiones

En este capítulo se ha caracterizado el comportamiento de la CRS midiendo parejas de dispositivos MIM asociados en antíserie, los cuales comparten el electrodo inferior, mediante la aplicación de diferentes tipos de secuencias de medida basadas en ciclos de barridos de voltaje bipolares simétricos. El estudio de la variabilidad ciclo a ciclo del

fenómeno de CRS, manteniendo el límite máximo de voltaje aplicado constante, ha mostrado que el proceso de CRS es robusto, ya que la variabilidad de los parámetros de CRS observada ha sido muy pequeña. También se ha observado que la variabilidad intrínseca del fenómeno de conmutación resistiva que tiene todo dispositivo MIM se ve reflejado en las características de las curvas I-V de CRS, aunque los resultados experimentales demuestran un comportamiento casi simétrico. Con la medida de ciclos de barrido incrementando linealmente el voltaje límite, sin llegar a producir una degradación eléctrica, se ha podido observar la capacidad modular la ventana de CRS en la zona de operación  $0.90 \text{ V} < V_{\text{LIM-MAX}} < 1.6 \text{ V}$ , siendo un proceso robusto debido a que las transiciones del CRS, que reflejan la conmutación individual de las celdas, se han seguido produciendo al mismo voltaje. La medida de la secuencia de barridos de voltaje en la que el límite se ha ido variando en zigzag hasta valores elevados, los cuales han producido un estrés eléctrico irreversible a los dispositivos, ha permitido realizar mapas de los parámetros característicos de las propiedades de CRS en función del valor límite de voltaje del ciclo que se está midiendo y del máximo límite de voltaje aplicado con anterioridad. Gracias a estos mapas se ha podido determinar el punto de operación óptimo antes de la degradación de los dispositivos, el punto de degradación de los dispositivos, y la tendencia y comportamiento de la CRS en los dispositivos una vez superado este punto. Al contrario de lo que se podía pensar, la degradación en los dispositivos da lugar a un régimen de trabajo que, para algunas aplicaciones como en las que se requiera una gran amplitud de multiniveles de corriente, puede ser muy indicado. Además, se ha observado que esta configuración de medida en antiserie protege la integridad de los dispositivos en la transición de SET, que es la más peligrosa, como se ha observado previamente en el comportamiento de celdas individuales, debido a que una vez que una celda MIM conmuta al LRS, la otra celda actúa por consiguiente de limitador, lo que ha permitido aplicar rampas de  $\pm 2.50 \text{ V}$  sin romper los dispositivos.

## **6. Caracterización física de estructuras filamentarias mediante una nueva metodología**

---

Los métodos presentes en la literatura que se han utilizado para caracterizar físicamente el filamento conductor responsable de la conmutación resistiva en los dispositivos que presentan este fenómeno, pueden dividirse principalmente en dos tipos de enfoque:

1. En primer lugar, están los métodos en los que se fabrican directamente estructuras de tamaño nanométrico que presentan conmutación resistiva, en forma de lamela para poder analizar *in situ* el fenómeno mediante técnicas físicas de alta resolución, como la Microscopía Electrónica de Transmisión (TEM) o la Espectroscopía de Pérdida de Energía de Electrones (EELS) [79–81]. En estas estructuras, el tamaño del filamento ocupa una gran parte de la muestra, con lo que se puede localizar y estudiar fácilmente. La desventaja asociada a estos métodos es que la estructura del filamento está limitada por las dimensiones de la lamela y las condiciones experimentales de la técnica de análisis, con lo que los resultados pueden diferir de los que se obtendrían en el estudio de un filamento de un dispositivo real.
2. En el segundo enfoque se incluyen los métodos en los que se estudia el filamento conductor creado en un dispositivo real. La principal ventaja de este enfoque es que la estructura del filamento que se estudiará ha sido creada en las condiciones de

trabajo características de dispositivos reales. Por otro lado, la principal desventaja asociada a estos métodos es la dificultad para la localización del filamento. Hasta la fecha se han publicado varios métodos que se han empleado para revelar la ubicación del filamento conductor. Ejemplos representativos son: el uso de una fotoresina que revela la posición del filamento conductor debido al calor generado por efecto Joule durante la creación del filamento [82], el grabado de la pared lateral del óxido de la estructura para determinar la profundidad lateral a la que se encuentra el filamento [83,84], o la eliminación de la capa superior de metal para observar y localizar posteriormente el filamento en la capa de dieléctrico. En este último caso, la superficie de la capa dieléctrica y, a su vez, la parte superior del filamento, se pueden caracterizar directamente por CAFM [85] o se puede localizar la estructura del filamento mediante SEM, si es lo suficientemente grande, para posteriormente extraerla del dispositivo en una lamela, preparada mediante un corte FIB, para su estudio por TEM y EELS [86].

Dentro de los métodos del segundo enfoque en los que se elimina la capa superior de metal, independientemente de la técnica de caracterización usada posteriormente, un factor clave para obtener resultados óptimos es la selectividad química de este proceso, es decir, que el ataque químico sea selectivo eliminando el metal sin dañar los restantes materiales del dispositivo. Dicho de otra manera, este proceso debe tener una alta selectividad para que el reactivo químico usado no dañe la capa dieléctrica, lo cual no permitiría una correcta caracterización posterior de la estructura del filamento.

En esta tesis, se propone un nuevo método que se enmarca en el segundo enfoque y permite localizar la posición de la estructura del filamento conductor, de diámetro reducido (~50nm), presente en dispositivos VCM basados en HfO<sub>2</sub> y, además, caracterizar el estado eléctrico en el que se encuentra.

## 6.1 Procedimiento experimental

En el método propuesto se ha aplicado a los dispositivos de TiN/Ti/HfO<sub>2</sub>/W de configuración aislada. Estos dispositivos primero se caracterizaron eléctricamente mediante un proceso de forming para crear el filamento conductor y, posteriormente, se

realizaron varios ciclos de conmutación resistiva, dejando diferentes dispositivos en diferentes estados eléctricos, con el propósito de variar la composición del filamento conductor. Posteriormente, la capa de metal del electrodo superior se eliminó mediante grabado húmedo para analizar la capa de dieléctrico subyacente por medio de técnicas físicas como la Microscopía Electrónica de barrido (SEM), Espectroscopía de rayos X de dispersión de energía (EDX) y la Microscopía de fuerza atómica (AFM). Finalmente, se analizó el impacto de las condiciones de las medidas eléctricas a nivel de dispositivo en la estructura filamentaria resultante.

Los pasos que se siguieron en la aplicación de la metodología propuesta se detallan a continuación:

**Paso 1. Preparación de la muestra:**

Inicialmente, de la oblea 10371-1 con dispositivos de configuración aislada, TiN/Ti/HfO<sub>2</sub>/W, se tomó un trozo con varios chips cuyos dispositivos estaban eléctricamente frescos.

**Paso 2. Medidas eléctricas:**

Todos los dispositivos de todos los chips de la muestra fueron caracterizados eléctricamente, excepto los de un chip que permanecieron en su estado eléctrico fresco para tener una referencia posterior respecto de los dispositivos medidos. Los dispositivos fueron inicializados eléctricamente a través de la etapa de forming usando tres valores distintos de limitación de corriente (0.5 mA, 1.0 mA, 10 mA). A continuación, se realizaron 20 ciclos de conmutación resistiva consecutivos, aplicando barridos de rampas de voltaje secuencialmente negativas y positivas de 0 V a -1.40 V y de 0 V a +1.10 V, respectivamente. En algunos dispositivos las rampas negativas se aplicaron de 0 V a -1.80 V para producir condiciones de estrés eléctrico (ver apartado 3.2.3). Después de la medida de los ciclos, los dispositivos se dejaron en tres estados eléctricos diferentes que deberían corresponder a diferentes tamaños y/o composiciones estequiométricas, de la estructura del filamento conductor estado de baja resistencia, estado de alta resistencia y un estado de degradación eléctrica. Adicionalmente, en algunos dispositivos se realizó la medida I-V sin imponer una limitación de la corriente (máximo 100 mA establecidos por el equipo de medida) llevando la capa de HfO<sub>2</sub> a una ruptura dieléctrica irreversible para poder comparar posteriormente la estructura filamentaria creada en estos dispositivos con la obtenida en los dispositivos

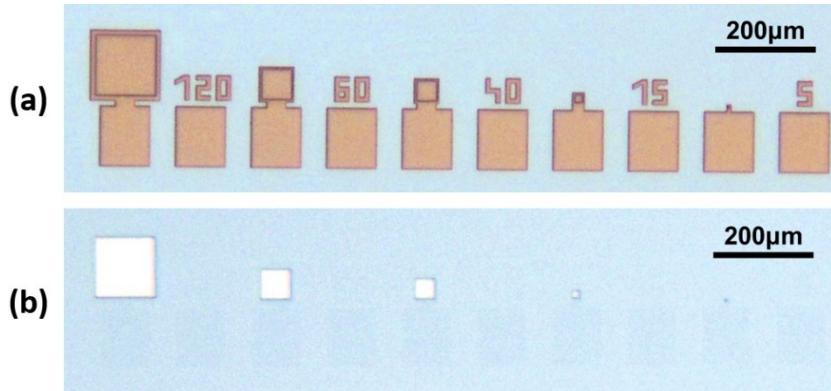
con limitación de corriente durante el proceso de forming. De estos dispositivos, unos se llevaron a la ruptura irreversible aplicando tensiones positivas y otros aplicando tensiones negativas.

#### **Paso 3. Inspección SEM antes del grabado:**

Después del acondicionamiento eléctrico de los dispositivos y antes de la eliminación de la capa metálica del electrodo superior de estos, se realizó una inspección mediante SEM para estudiar posibles relaciones entre el aspecto de la capa de TiN/Ti sobre el área activa antes del grabado, y las estructuras que se observen en la capa de HfO<sub>2</sub>, después del grabado. Esta inspección se realizó con una estación de trabajo Carl Zeiss Auriga 40 SEM-EDX.

#### **Paso 4. Grabado del metal:**

Para localizar la estructura del filamento conductor, en la metodología propuesta, se elimina el electrodo superior de TiN/Ti. Para ello se usa un grabado químico húmedo mediante una mezcla de peróxido de hidrógeno y amonio en agua (APM) a 70 °C, seguido de una inmersión breve, de 30 s, en HF diluido en propanodiol, para eliminar más efectivamente la capa de Ti. Hay que puntualizar que todos los metales presentes en los dispositivos, TiN, Ti, Hf y W pueden ser eliminados por el APM, pero no el HfO<sub>2</sub> ya que es resistente al APM [87], lo cual proporciona la alta selectividad química buscada para este proceso. Durante el proceso de grabado, los reactivos pueden reaccionar con las zonas subestequiométricas ( $HfO_x$  con  $x < 2$ ) de la estructura del filamento conductor y, por tanto, pueden penetrar a través de él produciendo un grabado de la capa de metal inferior. Para garantizar una eliminación completa de los electrodos superiores de metal, la muestra se expuso al APM durante 13 minutos. En la **Figura 6-1** se muestra la vista superior de los dispositivos del chip de referencia (en el que no se realizaron medidas eléctricas), antes y después del grabado del metal.



**Figura 6-1.** Inspecciones ópticas, antes (a) y después (b) del grabado del metal de los dispositivos del chip que permanecieron eléctricamente frescos.

#### Paso 5. Inspecciones después del grabado:

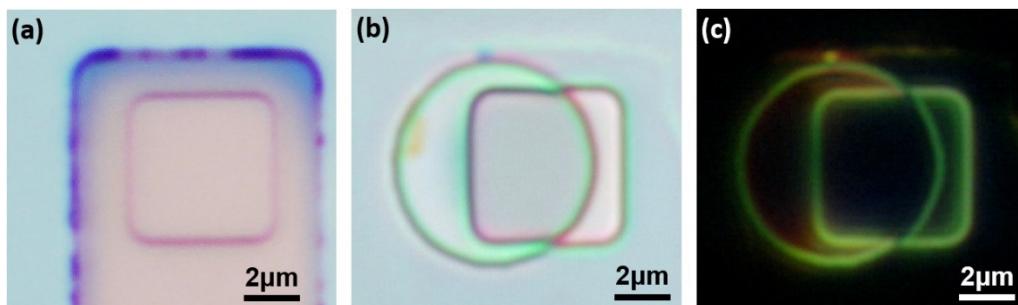
Después del proceso de grabado, y con el propósito de localizar y caracterizar las estructuras nanométricas de los filamentos conductores en la capa del dieléctrico de la estructura MIM de los dispositivos, se realizaron inspecciones físicas mediante las técnicas de SEM, EDX y AFM. Las inspecciones SEM y EDX se llevaron a cabo con la estación de trabajo Carl Zeiss Auriga 40 SEM-EDX. Y las inspecciones AFM se hicieron operando en modo tapping con un equipo Veeco Dimension 3100 AFM y un controlador Nanoscope IV.

## 6.2 Resultados y discusión

### 6.2.1 Localización de las estructuras filamentarias

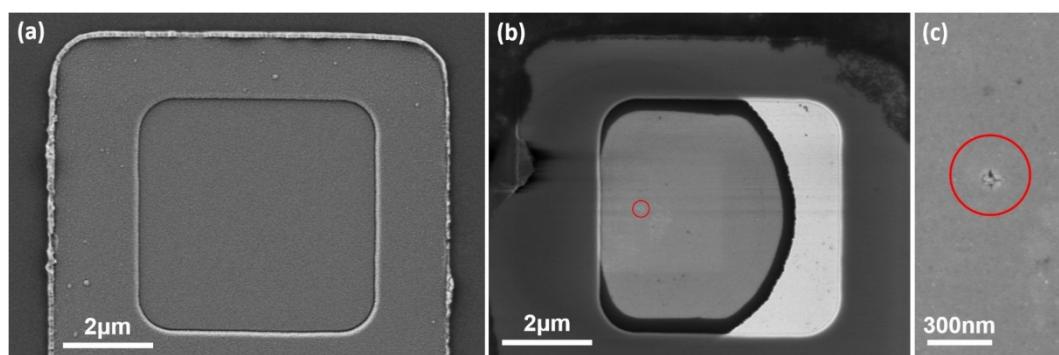
En la **Figura 6-2** se muestran las imágenes ópticas del área activa de un mismo dispositivo tomadas antes y después de la eliminación del metal del electrodo superior, y en la **Figura 6-3** las imágenes SEM correspondientes al mismo dispositivo. Como se puede apreciar en ambas figuras, mediante este grabado, además de la eliminación de la capa metálica superior de TiN/Ti, se ha formado una microestructura en forma de plato. Hay que señalar que estos “microplatos”, con diámetro en el rango 3-12  $\mu\text{m}$ , se han observado en todos los dispositivos a los que se les hizo un proceso de forming, mientras que en los dispositivos que permanecieron eléctricamente frescos no se encontró ninguna estructura de este tipo. Adicionalmente, en el centro geométrico de los microplatos se observa una morfología distintiva por SEM que no se aprecia en el resto del área activa (ver **Figura 6-3b,c**). Este resultado sugiere que esta morfología podría corresponder a la estructura de un filamento

conductor atacado por las soluciones de grabado empleadas que, penetrando a través del camino filamentario en la capa de HfO<sub>2</sub>, grabarían con simetría radial el electrodo inferior.



**Figura 6-2.** Imágenes ópticas tomadas antes (a) y después (b,c) del grabado del metal en un dispositivo cuya área activa es de  $5 \times 5 \mu\text{m}^2$ . Las imágenes obtenidas después del ataque se han tomado utilizando tanto campo claro (b) como campo oscuro (c) para resaltar los bordes de las estructuras presentes.

La caracterización mediante SEM de todos los dispositivos ha mostrado que en cada uno de ellos sólo existe una localización en la que se observa la morfología distinta, ubicada siempre en el centro geométrico de los microplatos. Bajo la hipótesis de que esa es la posición de los filamentos conductores, estas inspecciones nos muestran que la posición de los filamentos es aleatoria pero siempre dentro del área activa y no en el borde de esta, lo que indica que el perímetro de la estructura no es una zona débil eléctricamente. De este modo, las inspecciones físicas realizadas en los microplatos pueden emplearse para localizar y caracterizar el estado de la estructura del filamento conductor detectando su centro y observando sus propiedades.

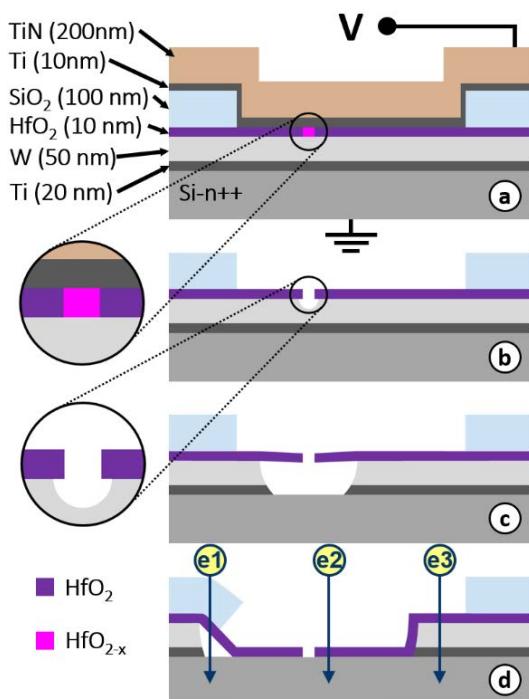


**Figura 6-3.** Imágenes SEM tomadas antes (a) y después (b) del grabado del metal del dispositivo mostrado en la **Figura 6-2**. (c) Imagen SEM de mayor resolución del centro geométrico del microplato señalado con un círculo rojo en (b) y (c) donde se aprecia la morfología distinta que parece corresponder hipotéticamente al filamento conductor.

## 6.2.2 Hipótesis de la formación del microplato

Como se ha dicho previamente, los resultados obtenidos mediante SEM sugieren que los reactivos penetraron a través de la estructura del filamento de la capa de HfO<sub>2</sub> hacia la capa de W/Ti grabándola con simetría radial. En este grabado radial, el ritmo de grabado del metal en la dirección horizontal es mayor que en la dirección vertical probablemente debido a que la interfaz entre la capa de HfO<sub>2</sub> y la capa de W puede proporcionar una mojabilidad extra haciendo que los reactivos se extiendan a un mayor ritmo que la velocidad de grabado de la reacción [88]. En la **Figura 6-4** se muestra una ilustración esquemática del proceso de formación de un microplato con los siguientes pasos:

- a. Inicialmente, durante el proceso de forming, en la capa de dieléctrico se crea un camino conductor basado en vacantes de oxígeno debido a la migración de iones O<sup>2-</sup>.
- b. Durante el proceso de grabado, una vez la capa de TiN/Ti del electrodo superior ha sido eliminada, los reactivos empiezan a atacar la parte de la estructura del filamento conductor que tiene una composición subestequiométrica (HfO<sub>x</sub> con x < 2), mientras que el resto de la capa de HfO<sub>2</sub> no es atacada. Al eliminarse esta parte susceptible al grabado se obtiene un agujero en la capa del dieléctrico, a través del cual los reactivos pueden penetrar y, como consecuencia, la capa inferior de W/Ti empieza a ser grabada con una simetría radial respecto de este punto de entrada.
- c. El sustrato de silicio es mucho más resistente a los reactivos del grabado que los metales empleados en la fabricación de los dispositivos. Debido a esto, el avance vertical del grabado se frena al llegar al sustrato, mientras que el avance horizontal del grabado de la capa inferior metálica (W/Ti) continua. Como resultado, la estructura de microplato se empieza a formar.
- d. Una vez acabado el proceso de grabado, el microplato se ha formado y la capa de HfO<sub>2</sub> ha colapsado sobre el fondo de este.



**Figura 6-4.** Diagrama de los pasos de formación de un microplato durante el proceso de grabado.

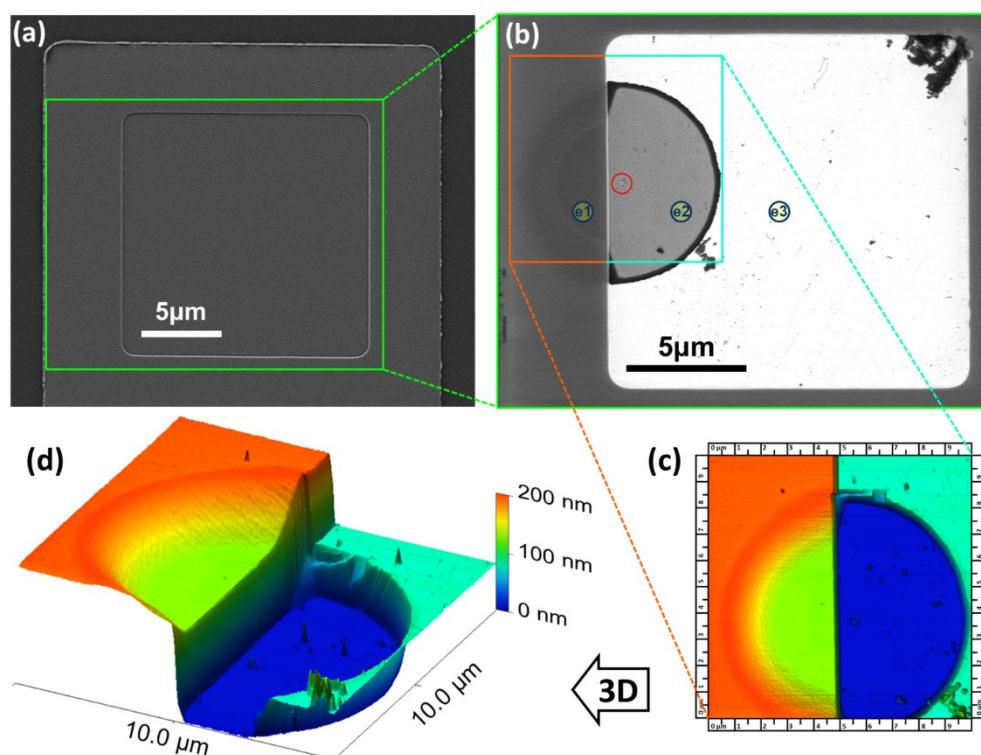
### 6.2.3 Morfología de un microplato

Para obtener información acerca de la morfología de la estructura de un microplato se han realizado inspecciones topográficas, mediante AFM, de la superficie de la región del dispositivo en que este aparece (ver **Figura 6-5**). Gracias a los datos topográficos recopilados se ha realizado una reconstrucción 3D de esta microformación que se muestra en la **Figura 6-5d**. La altura de las diferentes regiones de la superficie está indicada con una barra de escala cromática. En la corrección de las alturas obtenidas por el software, la superficie que correspondería al sustrato de silicio se tomó como cota inferior, o 0 nm (color azul oscuro), para una más fácil interpretación de la morfología. Con esta referencia base, los puntos de mayor elevación alcanzan un valor de 200 nm (color rojo). Analizando la zona inspeccionada se puede observar que hay cuatro regiones planas claramente diferenciadas:

1. La región coloreada de azul oscuro corresponde al fondo del microplato, donde los resultados sugieren que la capa del W/Ti ha sido eliminada por completo (ver zona e2 en **Figura 6-4d**), quedando simplemente la capa de 10 nm de HfO<sub>2</sub> colapsada sobre el fondo del microplato.

2. La zona coloreada en verde claro corresponde a la región en la cual se interpreta que la capa de  $\text{SiO}_2$  ha colapsado sobre el fondo del microplato (ver zona e1 en **Figura 6-4d**) quedando un apilamiento de 100 nm de  $\text{SiO}_2$  sobre 10 nm de  $\text{HfO}_2$ .
3. La zona rojo-anaranjada pertenece a la superficie de la región externa a la celda activa del dispositivo, en la que las inspecciones SEM sugieren que la capa de  $\text{SiO}_2$  está sobre la capa de W/Ti que no ha sido eliminada (apilamiento 100 nm- $\text{SiO}_2$  / 10 nm- $\text{HfO}_2$  / 50 nm-W / 20 nm-Ti).
4. La superficie de color turquesa es la que pertenece a la región de la celda MIM en la que los resultados sugieren que tampoco ha sido eliminada la capa inferior metálica de W/Ti (ver zona e3 en **Figura 6-4d**) quedando un apilamiento de 10 nm de  $\text{HfO}_2$  sobre 50 nm-W / 20 nm-Ti.

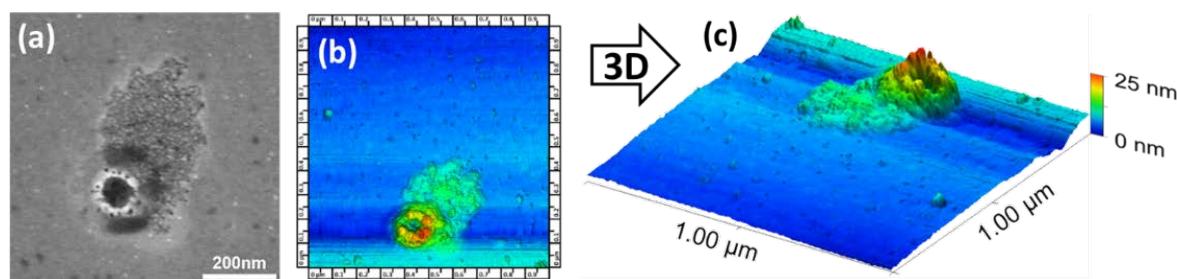
Adicionalmente a estas áreas planas se puede apreciar una superficie curvada en forma de semicorona, con un gradiente de color rojo-naranja-amarillo-verde, que pertenece a la región en la cual la capa de  $\text{SiO}_2$  se está descolgando debido a la diferencia de alturas entre la zona en la que la capa de  $\text{SiO}_2$  ha colapsado sobre el fondo del microplato y el área en que sigue estando a su altura original sobre la capa de W/Ti que no ha sido eliminada.



**Figura 6-5.** Imágenes SEM del área activa  $15 \times 15 \mu\text{m}^2$  de un dispositivo antes (a) y después (b) del grabado del metal. El círculo rojo en (b) indica la posición del filamento conductor. En (c) se muestra la imagen topográfica

obtenida con AFM del microplato que se observa en (b). En (d) se muestra una reconstrucción 3D de la formación del microplato con los datos topográficos de AFM de (c).

En la **Figura 6-6** se muestra la estructura filamentaria hallada en el centro del microplato del dispositivo de la **Figura 6-5** (ver círculo rojo en b). Se ha caracterizado su aspecto superficial mediante SEM y su topografía mediante AFM, lo que ha permitido hacer una reconstrucción 3D de esta estructura. Como se ha sugerido anteriormente, los reactivos utilizados en el grabado del metal han atacado la parte de la estructura del filamento que tiene una composición subestequiométrica ( $HfO_x$  con  $x < 2$ ), mientras que las zonas con  $HfO_2$  han permanecido inalteradas, lo que ha permitido observar la morfología de esta estructura.



**Figura 6-6.** (a) Imagen SEM de la estructura del filamento conductor del dispositivo de la **Figura 6-5**. (b) Análisis topográfico mediante AFM de la estructura de (a). (c) Reconstrucción 3D de la estructura del filamento a partir de los datos de (b).

#### 6.2.4 Análisis composicional de un microplato

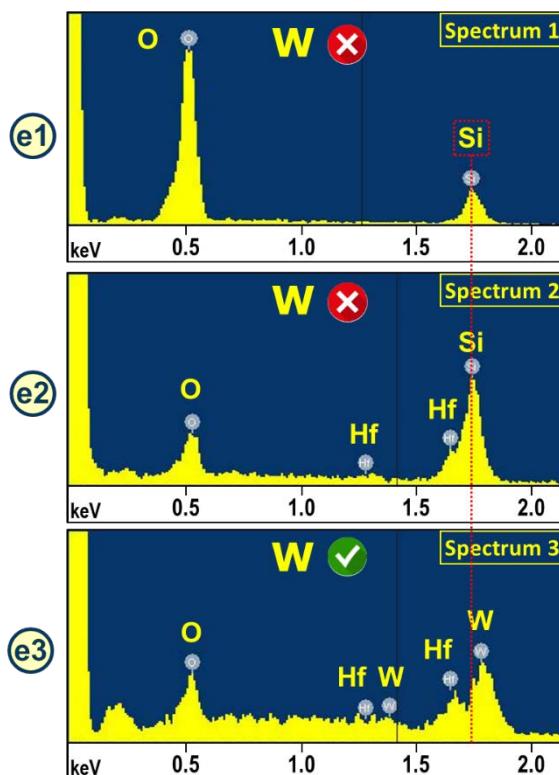
Para verificar la hipótesis de la formación de los microplatos, se realizó un análisis composicional, mediante EDX, en diferentes regiones de los dispositivos de la muestra. Los espectros obtenidos en tres puntos e1, e2 y e3 (ver **Figura 6-4d** y **Figura 6-5b**) de las tres zonas representativas del dispositivo, se muestran en la **Figura 6-7**. Estas tres regiones son:

1. La región interior del microplato que se encuentra fuera del área activa del dispositivo (superficie de color verde claro en la inspección AFM de la **Figura 6-5c,d**). Según la hipótesis de formación, en esta región se espera que el electrodo inferior de W/Ti haya sido eliminado completamente por debajo de las capas de óxido ( $SiO_2/HfO_2$ ). El análisis del espectro de EDX del punto e1 verifica esta suposición porque no se detecta ninguna señal proveniente ni de W ni de Ti, mientras que sí se detecta la presencia de Si y O, confirmando la presencia de capa de  $SiO_2$  y del

sustrato de Si de la oblea. Tampoco se detecta señal de Hf. Esto puede ser debido a varias razones. En primer lugar, la notable diferencia de espesor entre la capa de  $\text{HfO}_2$  (10 nm) y la capa de  $\text{SiO}_2$  (100 nm) implica que llegue mucha más señal del Si que del Hf. En segundo lugar, la capa de  $\text{SiO}_2$  está por encima de la capa de  $\text{HfO}_2$ , lo cual va a provocar que llegue menos señal del Hf. Además, hay una gran cercanía, en el espectro, entre los niveles de energía de los picos  $\text{Hf-M}_\alpha$  (1.64 keV) y  $\text{Si-K}_\alpha$  (1.74 keV). Estos hechos pueden causar que la alta intensidad del pico  $\text{Si-K}_\alpha$  oculte un pico  $\text{Hf-M}_\alpha$  de baja intensidad.

2. La región interior del microplato que está localizada dentro del área activa del dispositivo (superficie de color azul oscuro en la inspección AFM de la **Figura 6-5c,d**). Según la hipótesis de formación, en esta zona sólo debe quedar la capa de  $\text{HfO}_2$  sobre el sustrato de Si ya que la capa metálica de W/Ti inferior ha sido eliminada. El análisis del espectro del punto e2 confirma esta suposición porque sólo se detecta señal de los elementos Hf, O y Si. Hay que notar que la intensidad del pico  $\text{Si-K}_\alpha$  es mayor que en el primer espectro debido a que, en este caso, la señal recibida proviene en su mayor parte del sustrato. Además, se puede observar que la intensidad del pico  $\text{O-K}_\alpha$  (0.52 keV) disminuye respecto del primer espectro, como era de esperar, ya que la proviene del O en la capa de  $\text{HfO}_2$  con un espesor muy inferior al de la capa de  $\text{SiO}_2$ . Es muy significativo el hecho de que en este espectro es perfectamente distinguible el pico  $\text{Hf-M}_\alpha$  (1.64 keV).
3. La región externa al microplato que se encuentra dentro del área activa del dispositivo (superficie de color turquesa en la inspección AFM de **Figura 6-5c,d**). En esta región se ha asumido que la capa de W/Ti todavía permanece después del grabado. El análisis EDX del punto e3 confirma esta hipótesis debido a la detección del pico  $\text{W-M}_\alpha$  (1.77 keV), el cual está parcialmente superpuesto con el pico  $\text{Si-K}_\alpha$  (1.74 keV). Se puede apreciar que en este espectro el pico  $\text{Hf-M}_\alpha$  (1.64 keV) se distingue mucho mejor debido a que la capa de W/Ti reduce la señal que proviene del sustrato de Si. También se observa que el pico  $\text{O-K}_\alpha$  (0.52 keV) tiene un valor intensidad parecida al espectro obtenido en la región 2, ya en que en ambos análisis la señal viene del O presente en la capa  $\text{HfO}_2$ , siendo esta la capa más superficial en ambos puntos y, por tanto, su señal no está influida por ninguna otra capa. Hay que

notar que en este espectro no se detecta claramente la señal del Ti. Esto puede ser debido a que la capa de 50nm de W que está encima de la capa de 20 nm de Ti no deja que llegue una gran cantidad de electrones al Ti debido al elevado peso atómico del W, obteniendo, por tanto, muy poca señal del Ti, de la misma manera que se obtiene poca señal del Si, como se ha comentado anteriormente. Además, este pico Ti-L<sub>α</sub> (0.45 keV) de baja intensidad puede estar camuflado por el pico O-K<sub>α</sub> (0.52 keV).



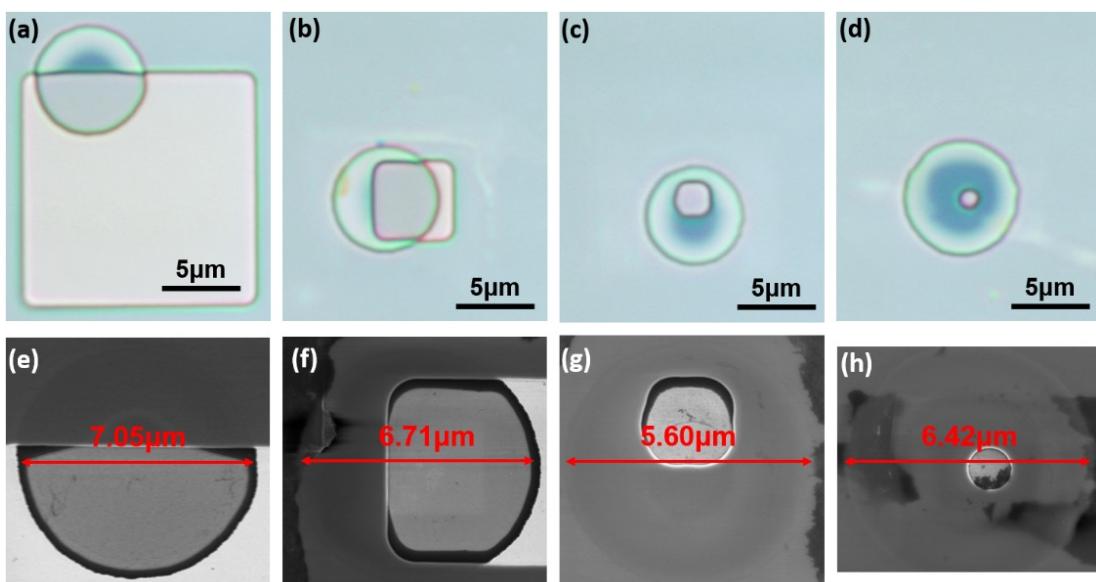
**Figura 6-7.** Espectros EDX medidos en los puntos e1, e2 y e3 de las tres regiones representativas del dispositivo mostrado en la **Figura 6-5**. En los puntos de la región del microplato (spectros 1 y 2), no se detectó W.

Finalmente, se puede afirmar que, entre las inspecciones físicas realizadas, que se muestran en la **Figura 6-5**, y el análisis composicional, mostrado en la **Figura 6-7**, se sustenta la hipótesis inicial propuesta acerca del modo de formación de los microplatos. Hay que remarcar que, en esta metodología de análisis propuesta, la selectividad química del HfO<sub>2</sub> hacia los reactivos del grabado metálico es el factor clave que permite la eliminación de la capa metálica del electrodo superior y la subsiguiente formación del microplato debido a la entrada de los reactivos químicos a través de la capa de HfO<sub>2</sub> por la

parte de la estructura del filamento conductor que es rica en Hf y, por tanto, susceptible a estos reactivos.

### 6.2.5 Dependencia del tamaño de los microplatos

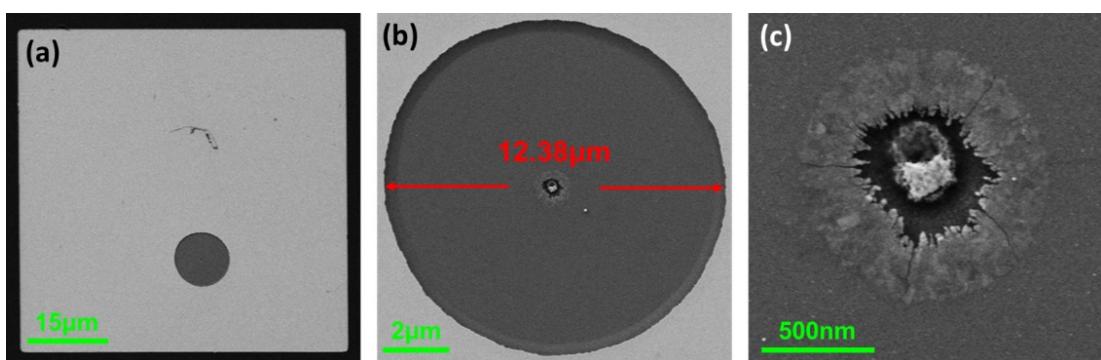
Después de realizar la caracterización física de todos los microplatos, se ha estudiado la posible relación que puede existir entre el tamaño del microplato y otros parámetros como el tamaño del área activa de los dispositivos, las condiciones a las que se vieron sometidos durante las medidas eléctricas, o el estado eléctrico en el que se dejaron justo antes de realizar la eliminación de metal. En la **Figura 6-8** (a, b, c, d) se muestran las imágenes ópticas tomadas, después del grabado del metal, de cuatro dispositivos cuya área activa es de distinto tamaño, en las que se pueden observar el microplato encontrado en cada uno de ellos. Las cuatro imágenes están en la misma escala para que se pueda comparar más sencillamente el tamaño de estas microformaciones. Respectivamente, en la misma figura, en (e, f, g, h), se muestran las imágenes SEM de cada uno de los microplatos correspondientes a las imágenes ópticas. En estas imágenes de mayor resolución se ha podido acotar el diámetro de estas estructuras. El diámetro de los microplatos es del orden varios micrómetros. Estos resultados verifican que, en el comienzo de la formación de un microplato, la zona de la capa de W (50 nm) bajo la estructura filamentaria se debe grabar completamente después de 1.5 min aproximadamente, dado que la velocidad de grabado



**Figura 6-8.** En (a, b, c, d) se muestran las imágenes ópticas de los microplatos hallados en cuatro dispositivos cuyas áreas activas son:  $15 \times 15 \mu\text{m}^2$  (a),  $5 \times 5 \mu\text{m}^2$  (b),  $2 \times 2 \mu\text{m}^2$  (c) y  $1 \times 1 \mu\text{m}^2$  (d). En (e, f, g, h) se muestran las imágenes SEM de los correspondientes microplatos con la acotación de su diámetro.

de W en la solución APM es de 33 nm/min, de modo que, durante el resto del tiempo, el grabado avanza en dirección horizontal aumentando el diámetro del microplato. Si el comportamiento del grabado fuera isótropo el diámetro máximo de los microplatos sería de 858 nm, ya que la muestra se expuso al APM durante 13 min, dato que dista de los resultados observados. Claramente la velocidad de ataque en dirección horizontal ha sido mayor que en dirección vertical, probablemente por la razón que se ha comentado anteriormente en la hipótesis de formación de los microplatos.

Como se puede apreciar, no parece existir una relación entre el tamaño de los microplatos y el tamaño del área activa de los dispositivos, hecho esperado debido a que el mecanismo de conmutación resistiva es filamentario y no depende del tamaño del área activa. De igual manera, tampoco se ha encontrado una relación clara del tamaño de los microplatos con las condiciones de medida o los estados eléctricos en el que fueron dejados los dispositivos, excepto en el caso de los dispositivos a los que se realizó el proceso de forming sin límite de corriente en ambas polaridades, lo que provocó la ruptura irreversible del dieléctrico, no apreciándose ninguna dependencia de la polaridad del proceso con el tamaño del daño hecho a esta capa. En este caso, el tamaño de los microplatos es superior al del resto, como se puede apreciar en el ejemplo de la **Figura 6-9**. Este resultado es consecuencia del mayor daño en la capa de HfO<sub>2</sub> debido a esta ruptura dieléctrica irreversible, que ha permitido una penetración más efectiva de los reactivos durante el grabado del metal.

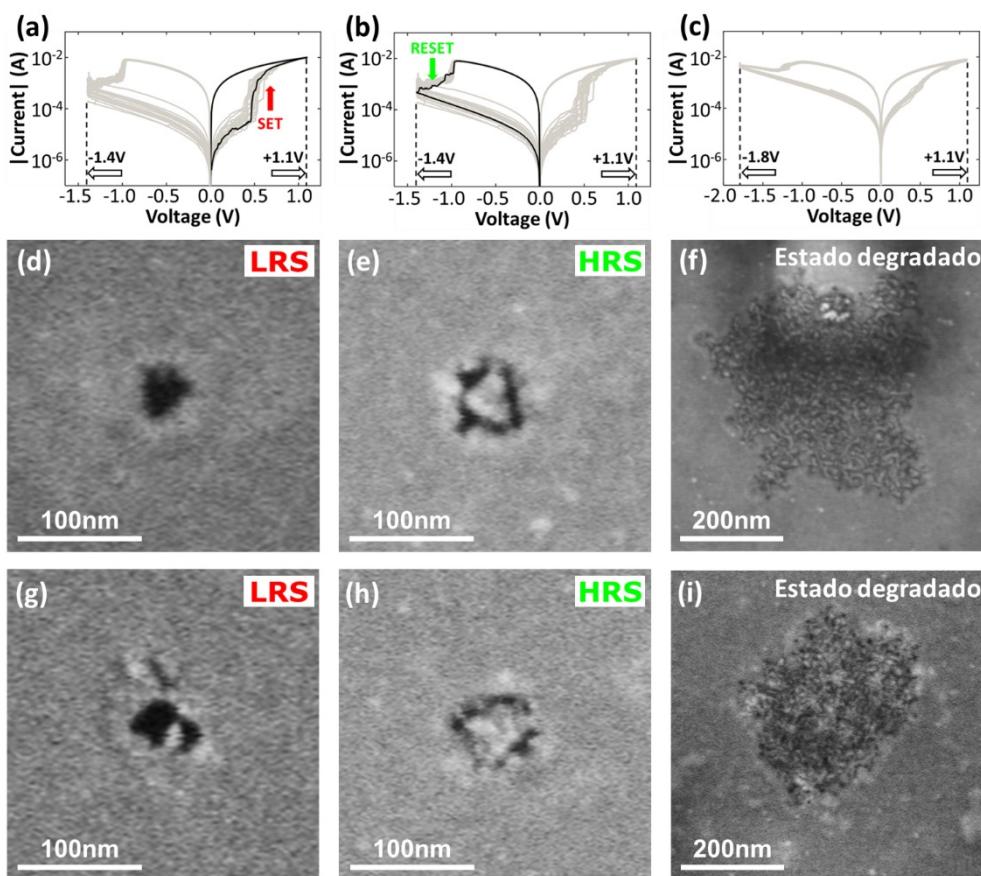


**Figura 6-9.** Imágenes SEM de un dispositivo, después del grabado del metal, que anteriormente había sido llevado a la ruptura dieléctrica aplicando tensión negativa. En (a) se muestra el área activa de  $60 \times 60 \mu\text{m}^2$  de este dispositivo, en (b) un zoom del microplato que aparece en (a) y en (c) se puede observar la ruptura de la capa del dieléctrico que se encuentra en el centro del microplato mostrado en (b).

## 6.2.6 Caracterización del filamento conductor

El impacto de las condiciones de las medidas eléctricas en la morfología de los filamentos conductores ha sido analizado mediante inspecciones SEM de la superficie de estos. En la **Figura 6-10** se muestran esta relación de una manera gráfica. En (a,b) se muestran las curvas de los 20 ciclos de barrido de voltaje (+1.1 V , -1.4 V) medidos antes de realizar el grabado de metal, cuya última rampa de barrido está remarcada para hacer notar que los dispositivos han sido dejados en LRS y HRS respectivamente. En (c) se muestran las curvas I-V de 20 ciclos de conmutación resistiva, medidas bajo condiciones de estrés eléctrico (+1.1 V, -1.8 V) antes de realizar el grabado de metal, que dejan a los dispositivos en un estado de degradación eléctrica (ver apartado 3.2.3). Justamente debajo de cada uno de estos tres casos, se muestran las imágenes SEM de la vista superior del filamento conductor de los dispositivos que corresponden a estos casos, es decir, de dos dispositivos dejados en el estado LRS (d,g), de dos dispositivos dejados en el HRS (e,h) y de otros dos dejados en un estado degradado eléctricamente (f,i). Para cada caso en concreto, se pueden observar las características siguientes:

1. Para el caso de los dispositivos dejados en LRS, con el filamento conductor deficiente en oxígeno completamente formado, se aprecia que las estructuras observadas son agujeros con diámetros comprendidos entre 25 – 65 nm (**Figura 6-10d,g**). Como se ha comentado anteriormente, el filamento en este estado es muy susceptible de ser atacado y eliminado por los reactivos del grabado.
2. Por el contrario, para los dispositivos dejados en HRS, las inspecciones SEM muestran agujeros casi sellados (**Figura 6-10e,h**) cuyos diámetros corresponden exactamente al mismo rango que para el caso anterior. En este caso, el filamento conductor deficiente en oxígeno está parcialmente roto. Como resultado, estas zonas son químicamente resistentes a los reactivos empleados para la eliminación del metal.
3. Para el caso de los dispositivos degradados eléctricamente (**Figura 6-10f,i**), en las imágenes SEM se puede observar una morfología en forma de esponja con un tamaño mayor que en los dos anteriores casos, superando los 200 – 300 nm de diámetro.



**Figura 6-10.** (a, b, c) Características I-V representativas de los tres estados eléctricos en los que se han dejado los dispositivos de este experimento antes de realizar el grabado de metal. Imágenes SEM de las estructuras filamentarias de: dos dispositivos dejados en LRS (d, g), dos dispositivos dejados en HRS (e, h) y dos dispositivos degradados eléctricamente (f, i).

### 6.3 Conclusiones

En este capítulo se han caracterizado mediante SEM, EDX y AFM las estructuras filamentarias situadas en la capa del dieléctrico de dispositivos memristivos, fabricados con un apilamiento de TiN/Ti/HfO<sub>2</sub>/W y con configuración aislada, después de eliminar el electrodo superior de TiN/Ti mediante un proceso químico selectivo. Los resultados demuestran la presencia de una única estructura filamentaria en cada celda MIM cuya morfología y tamaño depende fuertemente de las condiciones eléctricas aplicadas antes del proceso de eliminación del electrodo superior. Las inspecciones físicas de estas estructuras filamentarias permiten determinar el estado resistivo en el cual fue dejado cada dispositivo antes de la eliminación del electrodo superior, ya fueran dejados en LRS, HRS o un estado degradado.

## **7. Diseño, fabricación y caracterización de nuevos dispositivos**

---

Una vez que la conmutación resistiva ha sido caracterizada con resultados positivos en los dispositivos fabricados usando el conjunto de máscaras CNM733 ya disponible [73], se ha procedido al diseño de unas nuevas máscaras fotolitográficas CNM942 [89] que han permitido la fabricación de dispositivos simples y complejos (con dos o más celdas MIM por dispositivo) usando tres tipos de configuración: en cruce, aislada y en cruce aislado, que es una combinación de las dos primeras. En este capítulo se describe el diseño y contenido de estas nuevas máscaras, los dispositivos que se han fabricado con el uso de estas junto con la tecnología y el proceso utilizado, así como la caracterización de la conmutación resistiva en varios tipos de estos dispositivos.

### **7.1 Diseño de nuevos dispositivos**

#### **7.1.1 Diseño de retículo para stepper**

Como se ha descrito en el capítulo 2, los dispositivos caracterizados en los anteriores capítulos han sido fabricados utilizando el conjunto de máscaras CNM733 ya existente, que es un conjunto de máscaras para fotolitografía de contacto o proximidad. En este proceso

cada máscara es un vidrio del mismo tamaño de la oblea que se va a fabricar y tiene una serie de motivos definidos en una capa de cromo que corresponden a las estructuras de uno de los niveles fotolitográficos. Es decir, si se necesitan X niveles fotolitográficos para fabricar una oblea con sus dispositivos, se necesitan X máscaras. Entonces, en cada etapa de fotolitografía, la máscara se alinea con la oblea que se está fabricando y los motivos de la máscara se transfieren a la resina fotosensible, que cubre la oblea, mediante una sola exposición a la luz ultravioleta, es decir, en una sola acción se transfiere los motivos de un nivel a todos los chips de la oblea. Para obtener la mejor resolución posible, la oblea y la máscara se colocan a una distancia muy pequeña (en proximidad), o en contacto.

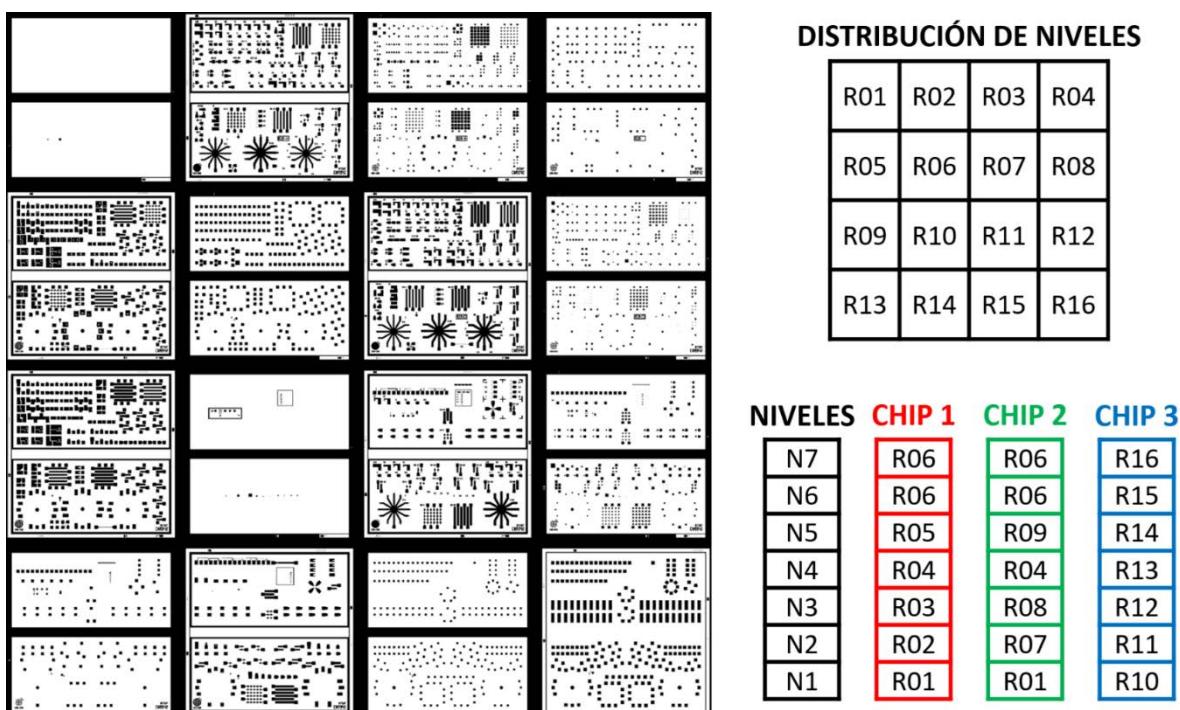
A diferencia del conjunto de máscaras CNM733, el juego de retículos CNM942 se ha diseñado para fabricar los dispositivos realizando la fotolitografía mediante el uso de un stepper. En este caso, la capa de cromo de la máscara está reticulada, de ahí el nombre de retículo, y cada sección de este retículo contiene los motivos de un nivel fotolitográfico distinto. Es decir, un retículo con X secciones equivaldría a un conjunto de X máscaras. Durante el proceso de fotolitografía mediante stepper, la fotoresina que cubre la oblea es expuesta a la luz ultravioleta por zonas, cada una correspondiente a un chip, mediante un recorrido entrampado, es decir, siguiendo un orden por filas y columnas. En este proceso, los motivos del nivel son transferidos a cada zona mediante una proyección a distancia con luz ultravioleta y pueden ser los mismos o diferentes, ya que el stepper permite elegir qué sección del retículo se proyecta en cada zona. Debido a esto, las ventajas del uso de un stepper respecto a la fotolitografía por contacto o proximidad son:

- Flexibilidad en el diseño. Sobre una misma oblea se pueden fabricar diferentes tipos de chips.
- Menor coste de máscaras. En una máscara reticulada se incluyen varios niveles de máscara.
- Mejor conservación de las máscaras, pues no existe contacto del retículo con la oblea y, por tanto, no sufrirá desgaste mecánico.
- Resolución. Los motivos del cromo de un retículo suelen ser unas 5 veces mayores que los de una máscara de proximidad, debido a su proyección a distancia, de manera que se consigue mejor resolución en los motivos transferidos a la fotoresina.

Sin embargo, la naturaleza de este método también tiene desventajas:

- Tiempo de proceso. Hay que realizar múltiples exposiciones en la oblea, una por chip, barriendo toda la superficie de la oblea, mientras que en la fotolitografía por contacto/proximidad se realiza una sola exposición para toda la oblea. Además, hay que programar la secuencia de los distintos niveles que se van a proyectar y la disposición de estos.
- Coste del equipamiento. El stepper es un equipo más costoso que una alineadora por contacto/proximidad.

Así pues, debido a que, en general, estas características suponen una mejora en el proceso de fabricación de los dispositivos, para poder fabricar celdas MIM con tamaños pequeños, y respecto a la flexibilidad de tener distintos tipos de chips en una misma oblea, se optó por el diseño de una máscara reticulada con 16 niveles (R1 - R16), en una distribución de 4×4, que permite la fabricación de 3 tipos distintos de chips. Para el diseño de este retículo se ha utilizado un software de código abierto llamado KLayout. En la **Figura 7-1** se muestra una imagen monocroma que corresponde al diseño en campo claro del cromo de la máscara reticulada.



**Figura 7-1.** Diseño, en campo claro, del cromo del retículo. Las tablas indican a qué nivel de fabricación de cada chip corresponde cada sección del retículo.

Con este diseño se han fabricado dos retículos, uno en campo claro y otro en campo oscuro. En las tablas de la **Figura 7-1** se muestra la correspondencia entre cada nivel de fabricación de cada chip y cada sección del retículo. Como se puede observar, para los 3 niveles necesarios para el chip 1 y el chip 2 (N1, N4, N6) se utilizan las mismas secciones del retículo (R01, R04, R06). Esto es debido a que estos dos chips comparten la misma distribución de dispositivos, con diferencia del modo constructivo con el que se define las celdas MIM (ver **Figura 7-2** y **Figura 7-3**). Como consecuencia, los pads de contacto de los electrodos tienen idéntica posición en ambos chips y las secciones que se encargan de definir estos motivos (R04 y R06) son compartidos. Además, la sección R01 también está compartida puesto que el nivel N1 sólo tiene como función crear la referencia para los dos primeros tipos de chip. El chip 3, sin embargo, (ver **Figura 7-4**) es completamente distinto de los otros dos, siendo todos sus niveles independientes.

En términos generales los objetivos de cada uno de estos tipos de chip son los siguientes:

- Chip 1** Fabricación de estructuras MIM mediante la configuración en cruce.
- Chip 2** Fabricación de estructuras MIM mediante la configuración aislada.
- Chip 3** Fabricación de estructuras MIM con ambas configuraciones más una nueva configuración adicional (ver apartado 7.1.2), estructuras de test y estructuras para la integración con estructuras fabricadas por EBL.

En estos tres tipos de chips, el cometido de los 7 niveles de fabricación en todos ellos es el siguiente:

**Nivel 1 (N1)** Apertura del óxido crecido térmicamente sobre el silicio de la oblea. Las aperturas realizadas tienen la función de referencia geométrica para el posicionador automático del stepper para las siguientes etapas fotolitográficas. Además, este nivel define motivos en las zonas de test del chip 3.

**Nivel 2 (N2)** Definición de los motivos de la capa de metal del electrodo inferior.

**Nivel 3 (N3)** Apertura de la capa de aislamiento que separa las capas metálicas de los electrodos. Las aperturas realizadas sirven para acceder a los pads de contacto del electrodo inferior y para definir el tamaño de las celdas MIM.

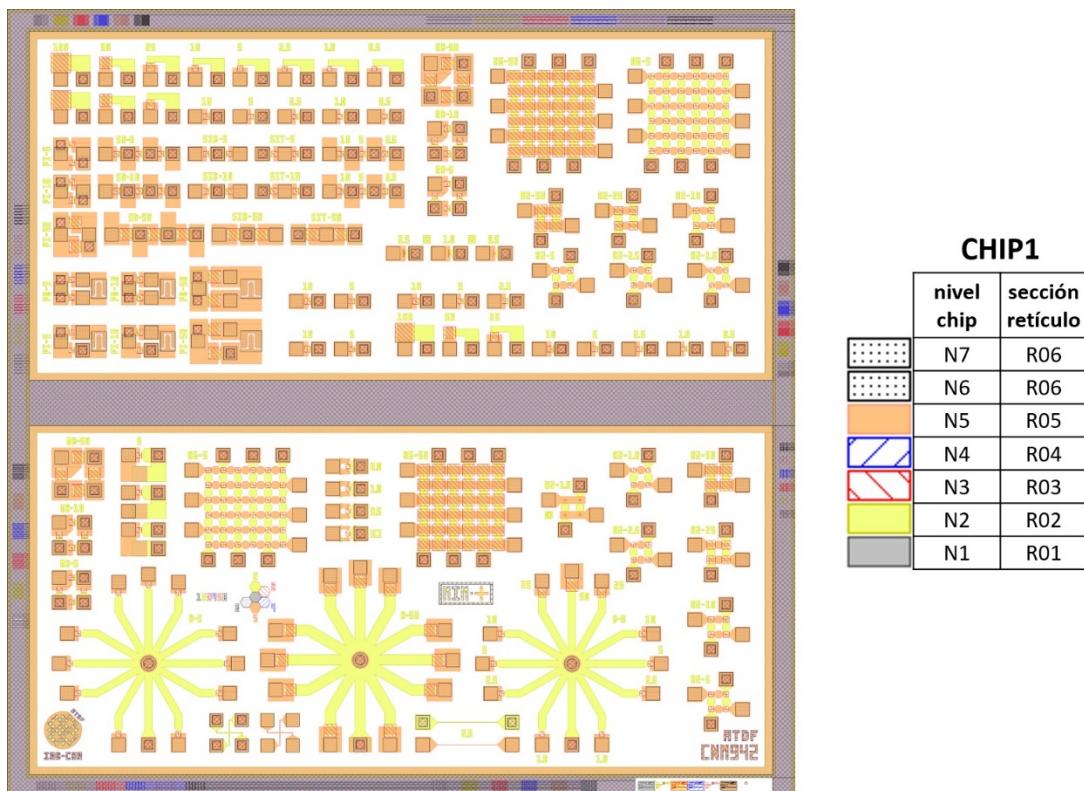
**Nivel 4 (N4)** Apertura de la capa de dieléctrico depositada para acceder a los pads de contacto del electrodo inferior.

**Nivel 5 (N5)** Definición de los motivos de la capa de metal del electrodo superior.

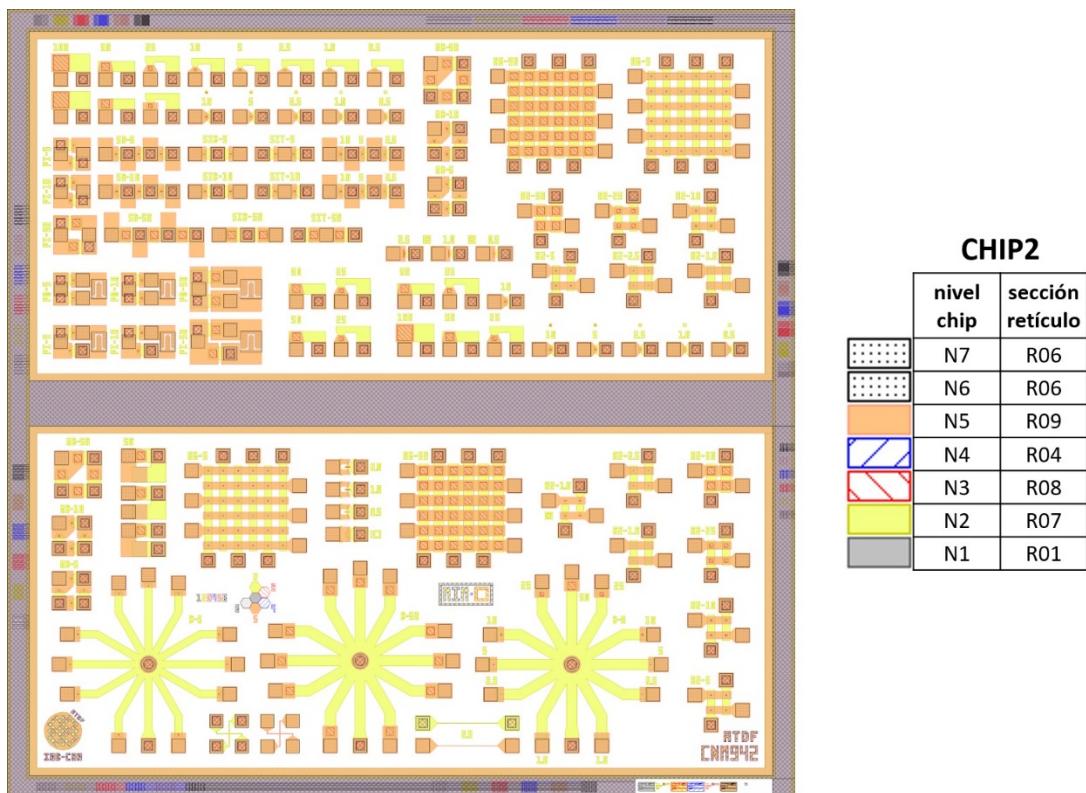
**Nivel 6 (N6)** Apertura de la capa de pasivación para acceder a los pads de contacto de los dispositivos.

**Nivel 7 (N7)** Definición de los motivos de la capa de aluminio sobre la capa de pasivación para contactar con los pads de los dispositivos. En los tipos de chip 1 y 2 se utiliza la misma sección del retículo (R06) tanto para la realización de las aperturas en la capa de pasivación (N6) como para definir los motivos de la capa de aluminio. Esto es debido a que, en estos dos tipos de chip, los pads de contacto de aluminio se han definido con el mismo tamaño y posición que las aperturas en la capa de pasivación, permitiendo, por tanto, aprovechar la misma sección para realizar ambos niveles.

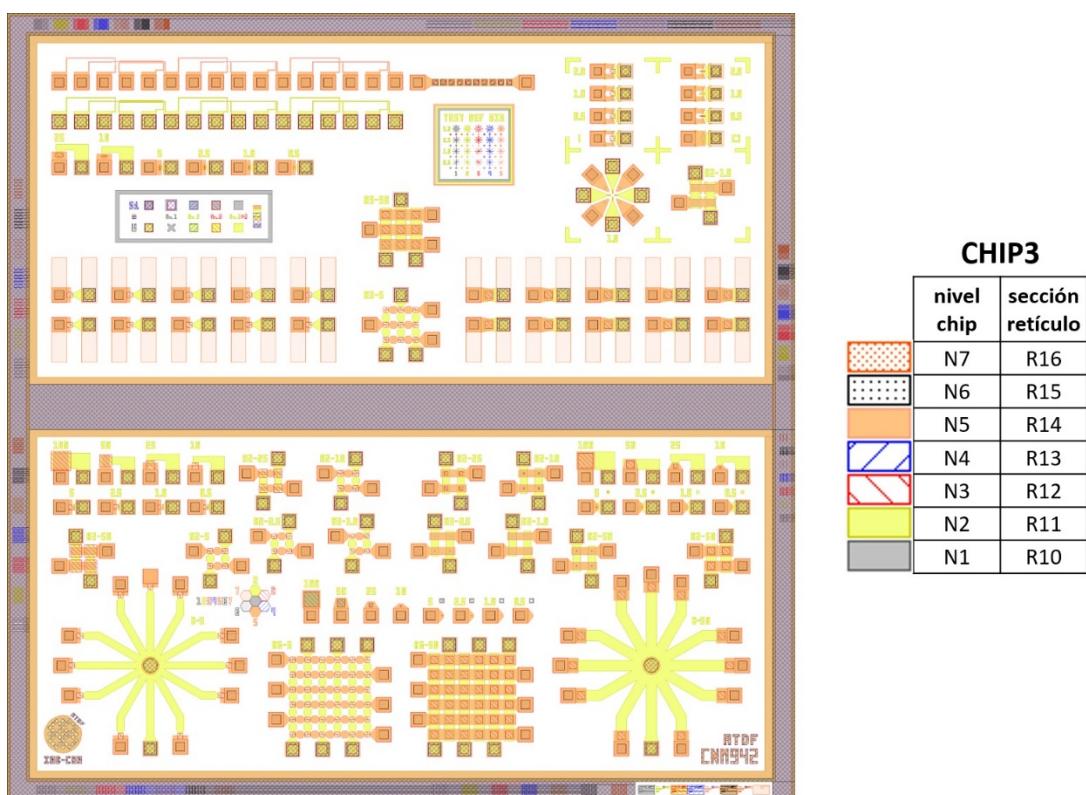
El diseño de cada chip está dividido en dos hemisferios por una pista de corte central que permitiría cortar el chip en dos mitades, si fuera necesario. Para poder observar con más detalle los motivos de los layouts del diseño de estos chips en el Apéndice se han incluido las imágenes del diseño de los dos hemisferios para cada tipo de chip.



**Figura 7-2.** Diseño del conjunto de los niveles fotolitográficos para el chip 1. Las tablas indican la correspondencia entre los niveles y las secciones del retículo.



**Figura 7-3.** Diseño del conjunto de los niveles fotolitográficos para el chip 2. Las tablas indican la correspondencia entre los niveles y las secciones del retículo.



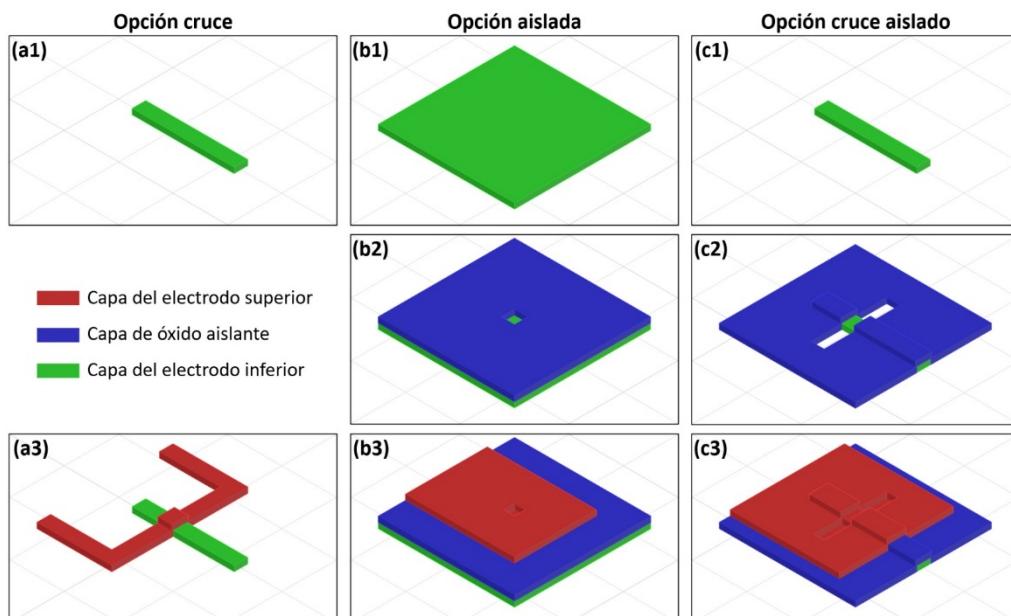
**Figura 7-4.** Diseño del conjunto de los niveles fotolitográficos para el chip 3. La tabla indica la correspondencia entre los niveles y las secciones del retículo.

## 7.1.2 Configuraciones topológicas

En los diseños de los dispositivos del nuevo retículo se han utilizado tres soluciones constructivas, o configuraciones topológicas, para definir celdas MIM cuadradas, como se muestra en la **Figura 7-5**:

1. **Configuración en cruce.** La celda MIM está definida por un cruce entre dos pistas metálicas, del mismo ancho, una perteneciente al electrodo superior y otra al electrodo inferior (ver **Figura 7-5a**).
2. **Configuración aislada.** La celda MIM está definida por una apertura cuadrada realizada en una capa eléctricamente aislante situada entre las capas metálicas de los dos electrodos. (ver **Figura 7-5b**).
3. **Configuración en cruce aislado.** Es una nueva solución obtenida al combinar las dos anteriores opciones. La celda MIM está definida por un cruce entre una pista metálica perteneciente al electrodo inferior y una apertura realizada en la capa aislante, en forma rectangular, con el mismo ancho que la pista metálica del electrodo inferior y perpendicular a esta. (ver **Figura 7-5c**).

Hay que notar que en la **Figura 7-5** la capa de dieléctrico de la celda MIM no se ha incluido en las representaciones ya que no tiene influencia a la hora de definir la celda. Además, las tres capas se han representado con el mismo espesor únicamente por motivos gráficos.



**Figura 7-5.** Representación 3D de las tres opciones tecnológicas utilizadas para definir celdas MIM en los nuevos diseños. Sólo se ha representado la zona adyacente a la celda MIM. (a, b, c) hacen referencia a cada opción mientras que (1, 2, 3) hacen referencia a que elemento se ha añadido.

Las dos primeras opciones enumeradas son análogas a las que se han presentado en los anteriores capítulos, que son las configuraciones que permite fabricar el conjunto de máscaras CNM733. De su estudio se ha podido observar las ventajas e inconvenientes que han presentado estas opciones tecnológicas y, gracias a la experiencia obtenida, se han introducido unas mejoras, tanto en el diseño de los dispositivos como en el proceso de su fabricación, para solventar algunos de los inconvenientes que se han observado.

Así, en el caso de la configuración en cruce, se han conectado ambos extremos de la pista de cruce perteneciente al electrodo superior con el pad de contacto de este, en vez de que sólo esté conectado un extremo. De esta manera la resistencia total de la pista se reduce a la mitad respecto del diseño anterior.

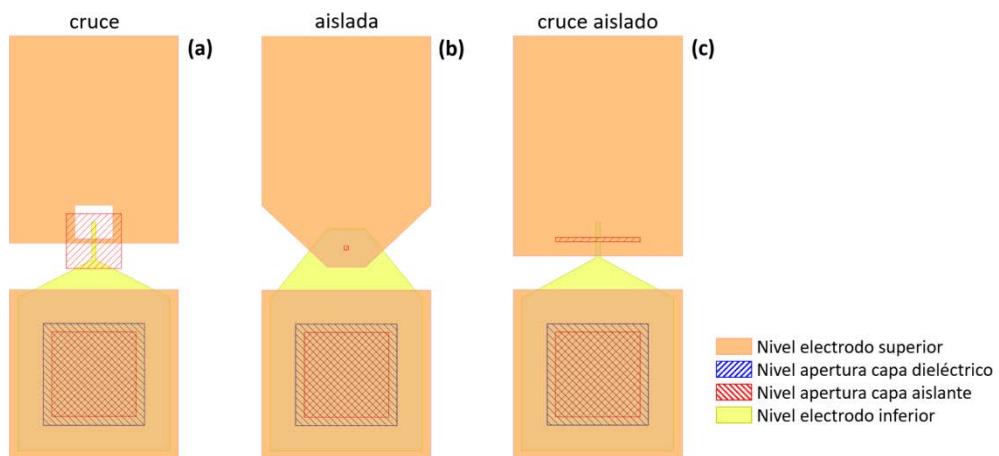
Por su parte, los dispositivos de configuración aislada se han diseñado independientes, es decir, no comparten el electrodo inferior como ocurría en los dispositivos fabricados con el anterior conjunto de máscaras. Sin embargo, para mantener la opción de tener varias celdas MIM compartiendo el electrodo inferior, se ha incluido en el diseño un dispositivo complejo el cual tiene varias celdas MIM cuyo electrodo inferior está conectado con una simetría radial.

Finalmente, se ha incluido una nueva configuración en cruce aislado (ver **Figura 7-5c** y apartado 7.1.3). Gracias a este modo constructivo, se puede definir una celda MIM a través de una capa de aislamiento, pero manteniendo las esquinas de la apertura en esta capa lejos de la zona en la que se define la celda MIM, con que los posibles efectos en los bordes no afectarán al tamaño de celda. Además, como la apertura que se realiza en la capa de aislamiento tiene una dimensión mayor, al ser una pista alargada en vez de un cuadrado cuya dimensión lateral es el ancho de esta pista, se favorece el proceso de grabado, permitiendo definir celdas con un tamaño más pequeño.

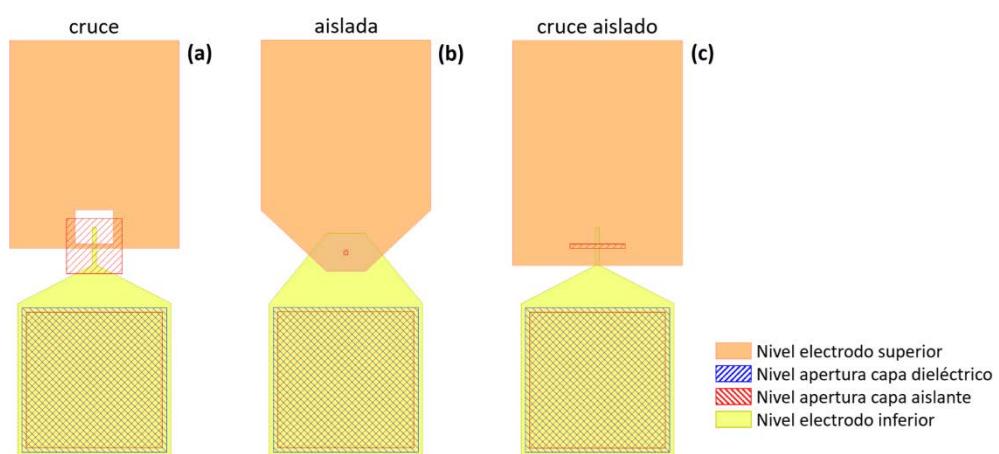
### 7.1.3 Dispositivos simples

En el conjunto de máscaras diseñado, se han incluido celdas MIM cuadradas con tamaños que van desde  $0.5 \times 0.5 \mu\text{m}^2$  a  $100 \times 100 \mu\text{m}^2$ . En la **Figura 7-6** y en la **Figura 7-7** se muestran los diseños de los niveles de las máscaras fotolitográficas para la fabricación de dispositivos simples con una celda MIM de dimensiones  $2.5 \times 2.5 \mu\text{m}^2$ . En los dispositivos fabricados con los diseños mostrados en la **Figura 7-6** el contacto del electrodo inferior está recubierto por

la misma capa metálica que forma el electrodo superior, mientras que en los dispositivos fabricados con los diseños de la **Figura 7-7** se contacta directamente a la capa metálica del electrodo inferior, de igual manera que en los diseños antiguos. Esta dualidad en el diseño se ha realizado con el propósito de poder comprobar independientemente, en los dispositivos simples, qué influencia tiene en las características eléctricas de estos al medir a través del apilamiento de las capas metálicas de ambos electrodos. La razón de realizar esta comparativa es porque en los dispositivos complejos las celdas MIM están interconectadas a través de uniones apiladas de ambos electrodos, además de que estos puntos se utilizan para poder medir independientemente las celdas MIM de los dispositivos complejos.



**Figura 7-6.** Layouts de dispositivos simples para obtener una celda MIM, de dimensiones  $2.5 \times 2.5 \mu\text{m}^2$ , mediante los tres tipos distintos de configuración. El acceso al pad del electrodo inferior está recubierto por la misma capa del electrodo superior.

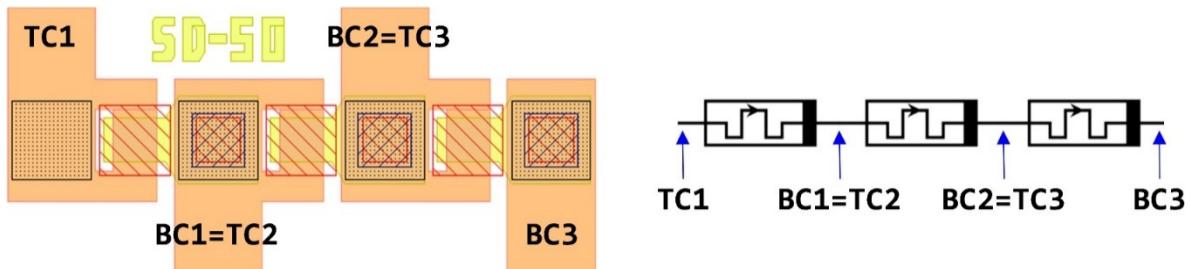


**Figura 7-7.** Layouts de dispositivos sencillos para obtener una celda MIM, de dimensiones  $2.5 \times 2.5 \mu\text{m}^2$ , mediante tres tipos distintos de configuración constructiva. El acceso al pad del electrodo inferior es directo.

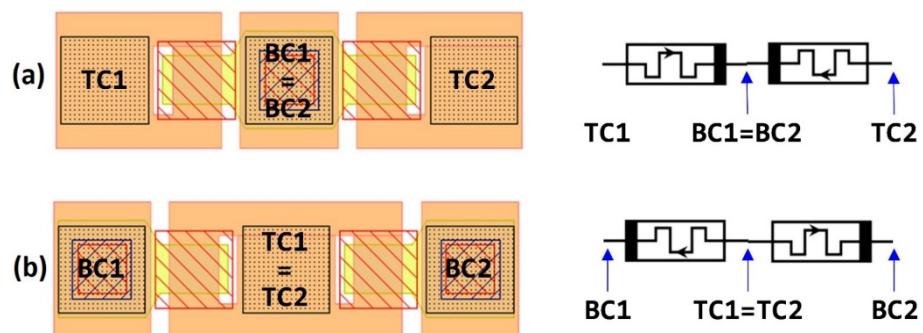
Hay que notar que para la opción de definición en cruce (ver **Figura 7-6a** y **Figura 7-7a**) no tiene que haber capa aislante en la zona del cruce. Por ello el nivel que define las aperturas en la capa aislante (rayado rojo) define una apertura grande en esta zona. Si la oblea fabricada sólo contiene dispositivos con celdas definidas por una configuración en cruce, no es necesario depositar una capa aislante y, por tanto, este nivel fotolitográfico no se utilizaría. En caso de que se quiera fabricar en la misma oblea dispositivos en cruce y aislados, la presencia de estas aperturas en este nivel lo permite.

### 7.1.4 Dispositivos complejos

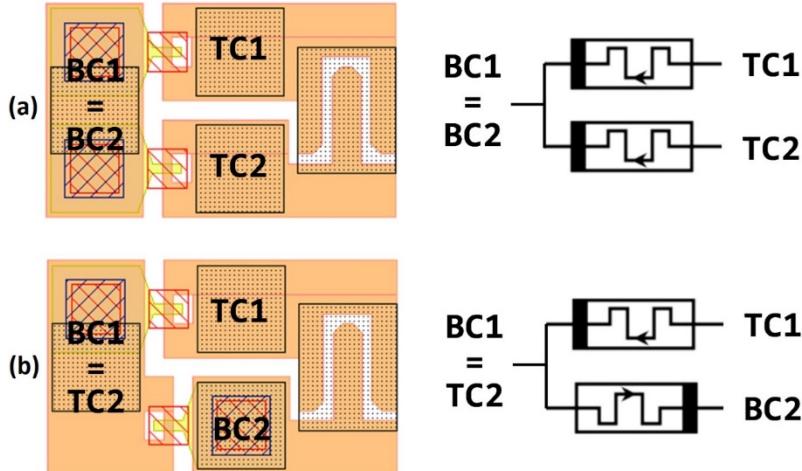
Adicionalmente a las tiras de dispositivos individuales de distintas áreas, se han incluido también dispositivos complejos que son aquellos en los que hay varias celdas MIM dentro de su estructura con el objetivo de poder realizar medidas complejas o combinadas de conmutación resistiva (como la estudiada en el capítulo 5) sin la necesidad de una unión externa de dispositivos individuales a través de conexiones cableadas o con soldadura. Un requisito indispensable para el diseño de esta integración de varias celdas MIM, en una sola estructura, es poder contactar independientemente con cada celda. De esta manera que se puede realizar una caracterización del comportamiento individual de la celda antes y después de la medida global del dispositivo complejo, además de poder medir la contribución eléctrica individual durante una medida global de este. La descripción de los distintos dispositivos complejos que se han incluido en este nuevo juego de retículos se encuentra detallada en la nota técnica [89]. Como ejemplos, en las figuras siguientes se muestran los layouts, y los correspondientes esquemas eléctricos, de: un dispositivo con tres celdas MIM combinadas en serie (**Figura 7-8**); dos dispositivos con una combinación en serie inversa de dos celdas MIM compartiendo el electrodo inferior (**Figura 7-9a**) o compartiendo el electrodo superior (**Figura 7-9b**); y dos dispositivos cuyas celdas MIM están combinadas en paralelo, ya sea de una manera inversa (**Figura 7-10a**) o directa (**Figura 7-10b**). Como comentario, hay que decir que también se han diseñado dispositivos radiales configurados por 11 celdas MIM que comparten el electrodo inferior y arrays de varios tamaños (ver Apéndice). Tanto los dispositivos radiales, como los arrays de 6×6 celdas, están diseñados específicamente para su montaje en cápsulas del tipo TO-8 como la mostrada en la **Figura 3-2**.



**Figura 7-8.** Layout y esquema eléctrico de la combinación en serie de tres dispositivos. BC y TC hacen referencia a Bottom Contact y Top Contact respectivamente.



**Figura 7-9.** Layout y esquema eléctrico de la combinación en serie inversa de dos dispositivos (a) en conexión por el electrodo inferior y (b) en conexión por el electrodo superior.



**Figura 7-10.** Layout y esquema eléctrico de (a) la combinación en paralelo de dos dispositivos con el electrodo inferior común y (b) la combinación antiparalelo de dos dispositivos.

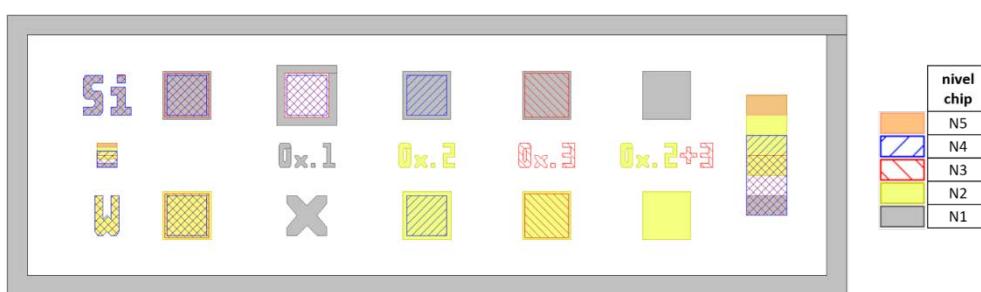
### 7.1.5 Zonas de test

Con el objeto de caracterizar el proceso de fabricación, tanto durante la fabricación de los dispositivos como para realizar inspecciones específicas una vez que se ha terminado de fabricar la oblea, se han incluido dos zonas de test específicas, localizadas en el chip 3, para poder medir las características físicas de las capas que se van depositando, atacando y

definiendo y además, comprobar la resolución de cada proceso de fabricación en estructuras pequeñas (< 5 μm de ancho).

### Zona de test para la medida de espesores de capas

El objetivo de las estructuras de esta zona de test (ver **Figura 7-11**) es la medida del espesor de las capas que se van depositando durante la fabricación de los dispositivos en la oblea, ya sean capas de óxido, que se podrán medir mediante el uso de las técnicas comunes como es el análisis espectroscópico de reflectividad o la elipsometría, o cualquier otro tipo de capa, cuyo espesor se podrá medir mediante el uso de un perfilómetro o por SEM mediante un corte FIB. El espesor de las capas de óxido se podrá medir tanto sobre el sustrato de la oblea en las estructuras de la fila superior, como sobre la capa metálica del electrodo inferior, en las de la fila inferior. La estructura lateral de la derecha es la que permite la medida de espesores mediante un perfilómetro. En un proceso de fabricación en el que se utilizaran los 5 niveles (N1-N5), este motivo se convertiría en un apilamiento de capas en forma de escalera. El motivo situado en el lateral de la izquierda, entre los motivos "Si" y "W", es una copia de la estructura lateral de la derecha, pero con una longitud menor, para poder hacer el mismo proceso de medida de espesores, pero con un corte FIB.



**Figura 7-11.** Layout de la zona de test para la medida de espesores de capas (ver **Figura 7-4**).

### Zona de test para la observación de la precisión de estructuras pequeñas

El objetivo de las estructuras de test de esta zona es permitir determinar con qué grado de fidelidad las estructuras más pequeñas definidas en las máscaras fotolitográficas se han reproducido correctamente al fabricar los motivos de la capa en cuestión, y por tanto conocer el límite que se puede alcanzar. Para ello se han diseñado dos tipos de motivos replicados en cuatro tamaños distintos, 5.0 μm, 2.5 μm, 1.0 μm y 0.5 μm (ver **Figura 7-12**) y distribuidos por filas. Para cada tamaño hay dos filas, cada una con su respectivo motivo:

1. Estrellas de 8 puntas. Estas estructuras proporcionan información acerca del resultado del proceso de definición, tanto en dimensión como en direccionalidad de:
  - a. Las pistas en las capas metálicas, que son las que definen el tamaño de la celda MIM en las configuraciones en cruce y cruce aislado.
  - b. Las aperturas en forma de pista en las capas de óxido, que son las que definen el tamaño de las celdas MIM con configuración en cruce aislado.
2. Aperturas cuadradas en la capa de óxido de aislamiento entre electrodos (nivel N3). Estas estructuras nos proporcionan información acerca de las dimensiones de las aperturas en esta capa, que son las que definen el tamaño de las celdas MIM de configuración aislada. Como se puede observar, estas aperturas cuadradas tienen dos tipos de orientación, horizontal y diagonal, para poder comprobar la influencia de la direccionalidad en el proceso de fabricación igual que con el motivo de la estrella de 8 puntas.



**Figura 7-12.** Diseño de los niveles fotolitográficos de la zona de test para la observación de la precisión de estructuras pequeñas situada en el tipo de chip 3 (ver **Figura 7-4**).

## 7.2 Tecnología de fabricación

Una de las características del proceso de fotolitografía usando un stepper es el carácter automático de este. Para que sea posible este proceso automático, cada vez que se define una capa en la oblea, además de fabricarse las estructuras correspondientes a los

dispositivos, en las pistas de corte de los chips se fabrican unas estructuras de referencia que permiten el autoposicionamiento del stepper en las siguientes etapas fotolitográficas (ver **Figura 7-2**, **Figura 7-3** y **Figura 7-4**). Estas estructuras de referencia posicional deben poseer un gran contraste para que los sensores ópticos del stepper las localice. A veces esto no es posible debido a las características propias de la capa que se ha definido según los requerimientos de los dispositivos. Por ejemplo, si se necesita una capa delgada de óxido, los motivos de referencia de esta no van a tener el suficiente contraste. Para solventar este problema y como se verá en la sección 7.3, en vez de crecer una capa de óxido de aislamiento 200 nm sobre la oblea, suficiente para aislar eléctricamente los dispositivos del Si del substrato, se ha crecido una capa de 500 nm, que permite tener unos motivos de referencia iniciales con un gran contraste.

Originalmente este juego de retículos se ha diseñado para realizar el proceso de fabricación con los niveles (N1 – N7) en el orden indicado en el apartado 7.1.1 y de esta manera poder tener dispositivos con las tres configuraciones topológicas de celdas MIM y los tres tipos de chip al mismo tiempo en la oblea. Hay que hacer notar que, si sólo se quieren fabricar dispositivos con celdas MIM definidas en cruce, la capa de aislamiento no es necesaria y, por tanto, el nivel N3 no se utiliza. Además, para la fabricación de las estructuras de los dispositivos sólo son necesarios los primeros 5 niveles (N1-N5), siendo los dos últimos niveles (N6-N7) opcionales para un proceso de pasivación de los dispositivos seguido de la definición de una capa metálica para contactar con los electrodos de las estructuras.

### 7.2.1 Dispositivos en cruce sin capa de aislamiento

Para fabricar dispositivos cuyas celdas MIM estén definidas por una configuración en cruce, los niveles fotolitográficos necesarios para fabricar estas estructuras son tres más un primer nivel fotolitográfico base que permite tanto la fabricación de motivos de referencia para el posicionamiento del stepper para los siguientes niveles fotolitográficos como para la fabricación de estructuras de test. En resumen:

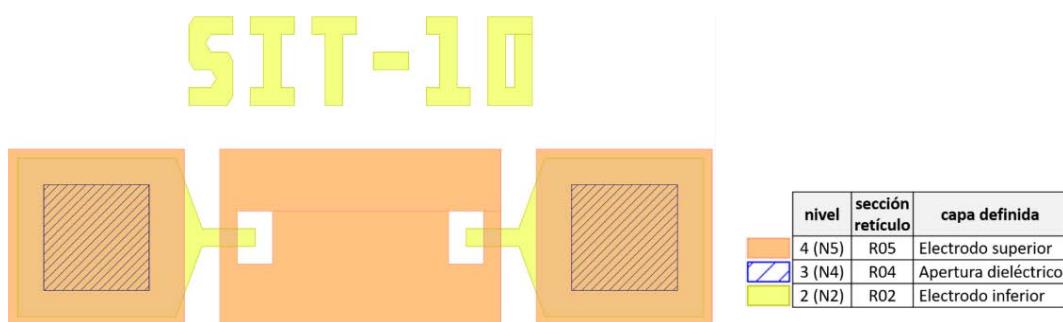
Nivel 1. Corresponde a N1. Sin función para los dispositivos. Define las aperturas de la capa de óxido de aislamiento del sustrato que definirán los motivos de referencia posicional iniciales y las estructuras iniciales de test.

Nivel 2. Corresponde a N2. Define el electrodo inferior de los dispositivos.

Nivel 3. Corresponde a N4. Define las aperturas en la capa de dieléctrico que definirán los pads para el contacto eléctrico al electrodo inferior de los dispositivos.

Nivel 4. Corresponde a N5. Define el electrodo superior de los dispositivos.

A modo de ejemplo, para ilustrar la secuencia tecnológica, en la **Figura 7-13** se muestran los niveles necesarios para fabricar un dispositivo con dos celdas MIM, de configuración en cruce, conectadas en antiserie. y que comparten el electrodo superior.

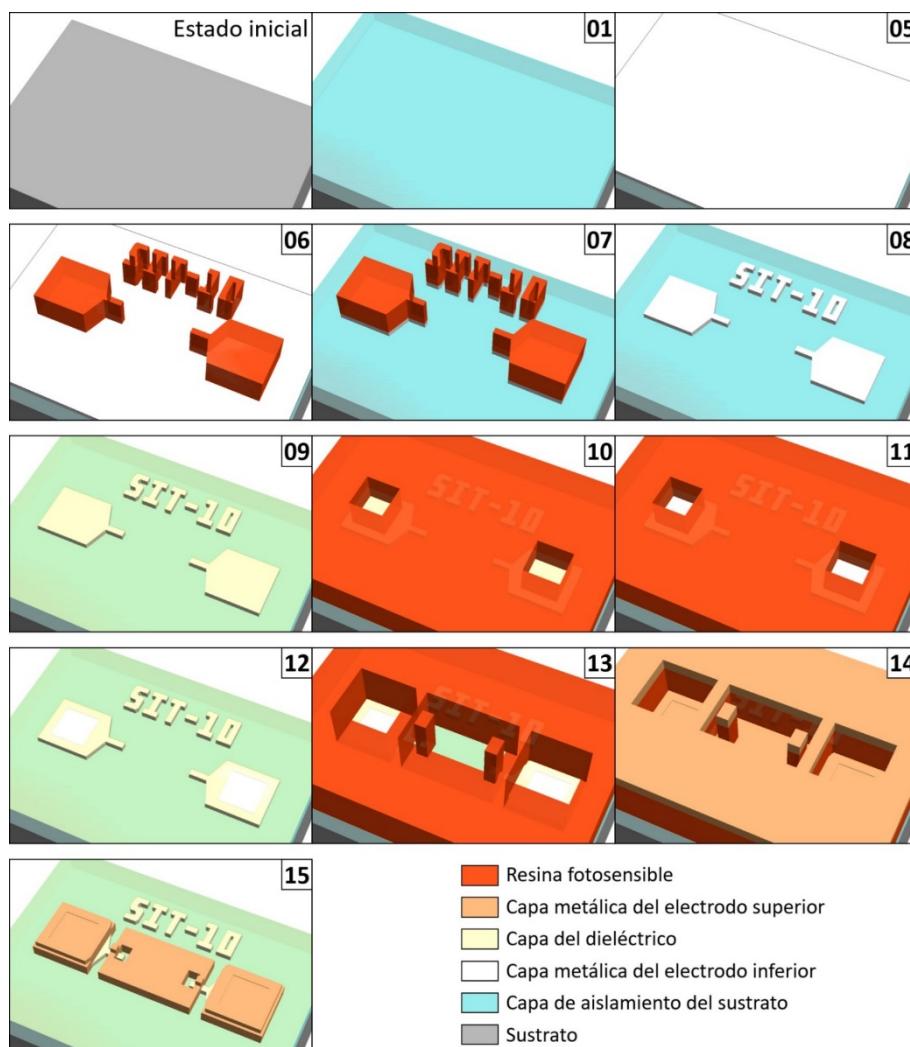


**Figura 7-13.** Niveles necesarios para la fabricación de un dispositivo complejo formado por dos celdas MIM, con configuración en cruce, conectadas en antiserie con el electrodo superior común.

En base a los 4 niveles mencionados, las etapas de la secuencia tecnológica para fabricar el dispositivo de la **Figura 7-13**, utilizando el juego de retículos diseñado, son las expuestas a continuación y cuya representación gráfica se muestra en la **Figura 7-14**. Hay que notar que las etapas de proceso a utilizar se indican entre paréntesis.

01. Crecimiento de una capa de óxido de aislamiento para aislar eléctricamente los dispositivos del silicio del substrato (oxidación térmica).
02. Fotolitografía con las máscaras del nivel 1 (N1). Se transfieren a la fotoresina los motivos de las estructuras de referencia para el stepper.
03. Apertura de la capa de óxido de aislamiento del sustrato. Se abren las zonas de la capa no protegidas por la resina (grabado de óxido).
04. Eliminación de la resina. En la capa de óxido se han abierto las zonas de acuerdo con los motivos de las máscaras del nivel 1.
05. Deposición de la capa de metal del electrodo inferior (sputtering de metal).
06. Fotolitografía con las máscaras del nivel 2 (N2). Se transfieren a la fotoresina los motivos de las estructuras del electrodo inferior de los dispositivos.

07. Grabado de la capa metálica del electrodo inferior. Se graban las zonas de la capa no protegidas por la resina (grabado de metal).
08. Eliminación de la resina. En la capa de metal sólo han permanecido las estructuras del electrodo inferior de los dispositivos.
09. Deposición de la capa delgada de dieléctrico (ALD).
10. Fotolitografía con las máscaras del nivel 3 (N4). Se transfieren a la fotoresina los motivos de las aperturas de los pads de contacto al electrodo inferior.
11. Apertura de la capa de dieléctrico. Se abren las zonas de la capa de dieléctrico no protegidas por la resina (grabado de dieléctrico).
12. Eliminación de la resina. En la capa de dieléctrico se han abierto los pads de contacto al electrodo inferior.

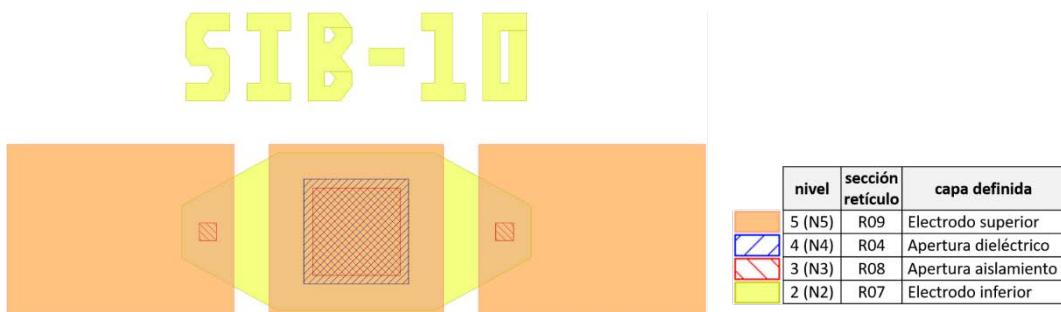


**Figura 7-14.** Representación del proceso de fabricación del dispositivo mostrado en la **Figura 7-13**.

13. Fotolitografía con las máscaras del nivel 4 (N5). Se transfieren a la fotoresina los motivos de las estructuras del electrodo superior de los dispositivos.
14. Deposición de la capa de metal del electrodo superior (sputtering de metal).
15. Eliminación de la resina. Junto con la resina se eliminan las zonas de la capa metálica que se habían depositado sobre la resina (lift-off), permaneciendo sólo las estructuras del electrodo superior. Con este último paso los dispositivos están terminados.

### 7.2.2 Dispositivos con capa de aislamiento

Para fabricar dispositivos con una capa de aislamiento entre ambos electrodos metálicos son necesarios los 5 primeros niveles de los retículos (N1-N5) cada uno de ellos con las funciones que se indican en el apartado 7.1.1. A modo de ejemplo, en la **Figura 7-15** se muestran los niveles necesarios para fabricar un dispositivo con dos celdas MIM, de configuración aislada, conectadas en antiserie y que comparten el electrodo inferior.



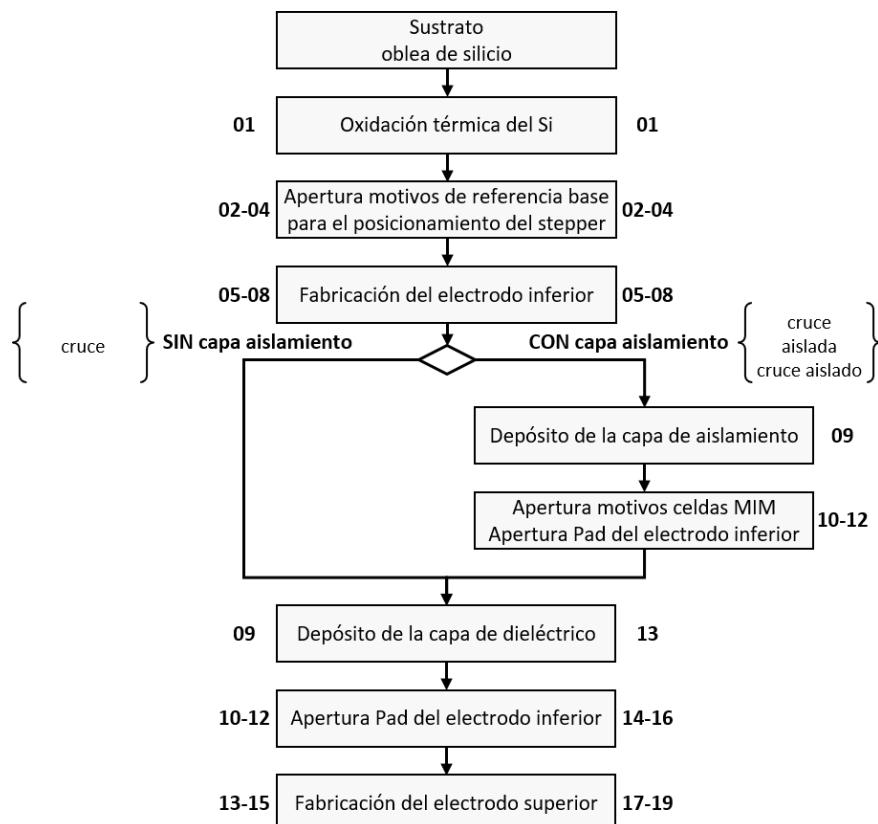
**Figura 7-15.** Niveles necesarios para la fabricación de un dispositivo complejo formado por dos celdas MIM, con configuración aislada, conectadas en antiserie con el electrodo inferior común.

En la **Figura 7-16** se muestra el diagrama de flujo del proceso de fabricación que se utilizará en este caso y está comparado con el diagrama de flujo del proceso de fabricación del caso de dispositivos en cruce. Como se puede observar, todos los bloques de proceso, excepto los relacionados con la capa de aislamiento, son los mismos para ambas rutas. Las nuevas etapas que hay que insertar en la secuencia tecnológica del anterior caso para transformarla al nuevo caso son:

09. Deposición de la capa de óxido de aislamiento (PECVD).
10. Fotolitografía con las máscaras del nivel N3. Se transfieren a la fotoresina los motivos de definición de las celdas MIM (para cualquiera de las tres

configuraciones, ver **Figura 7-6** y **Figura 7-7**) y los motivos de las aperturas de los pads de contacto del electrodo inferior.

11. Apertura de la capa de aislamiento. Se abren las zonas de la capa de aislamiento no protegidas por la resina (grabado de óxido).
12. Eliminación de la resina. En la capa de aislamiento se han abierto los motivos de las celdas MIM y los pads de contacto al electrodo inferior.



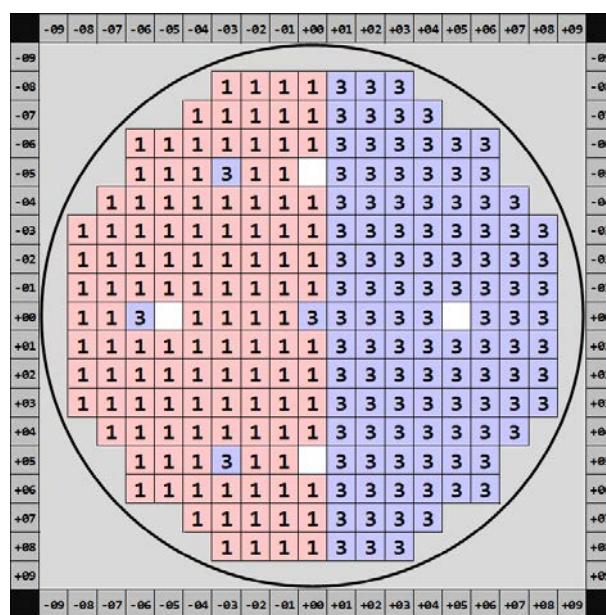
**Figura 7-16.** Diagrama del flujo del proceso de fabricación en las dos variantes utilizadas, dispositivos con o sin capa de aislamiento. Los números en los laterales de los bloques hacen referencia a la numeración utilizada en las etapas de proceso descritas en este y el anterior apartado.

## 7.3 Fabricación de dispositivos

### 7.3.1 Fabricación de obleas con dispositivos sin aislamiento

El primer lote que se ha fabricado con los nuevos diseños se ha hecho sin capa de aislamiento para obtener dispositivos con celdas MIM definidas por la configuración en cruce. Para ello en las obleas fabricadas en este lote se han incluido los tipos de chip 1 y 3 siguiendo la distribución de chips que se muestra en **Figura 7-17**, donde se puede ver que los dos tipos de chips están separados en dos hemisferios, a excepción de cuatro chips del

tipo 3 ya que, al incluir las estructuras de test, la distribución por todas las zonas de la oblea nos permitirá evaluar la uniformidad de los procesos en oblea. Además, el espesor de la capa metálica del electrodo superior se ha definido como el doble del espesor de la capa metálica del electrodo inferior para paliar el problema del punto débil producido por el estrechamiento en la pared vertical de la pista del electrodo superior (ver **Figura 2-5b**). De esta manera, la capacidad de cobertura que ofrece la capa metálica superior ante los escalones de los motivos inferiores es mayor y el estrechamiento que se produce es suave en vez de acusado.



**Figura 7-17.** Distribución de los tipos de chips usada en el primer lote de obleas fabricadas con los nuevos retículos.

Las secciones utilizadas de los retículos CNM942 para realizar los niveles de fotolitografía necesarios para fabricar este primer lote de obleas han sido:

Nivel 1.R01 (chip 1) y R10 (chip 3), ambos de campo oscuro, para la apertura de la capa de aislamiento de  $\text{SiO}_2$ .

Nivel 2.R02 (chip 1) y R11 (chip 3), ambos de campo claro, para la definición de la capa del electrodo inferior.

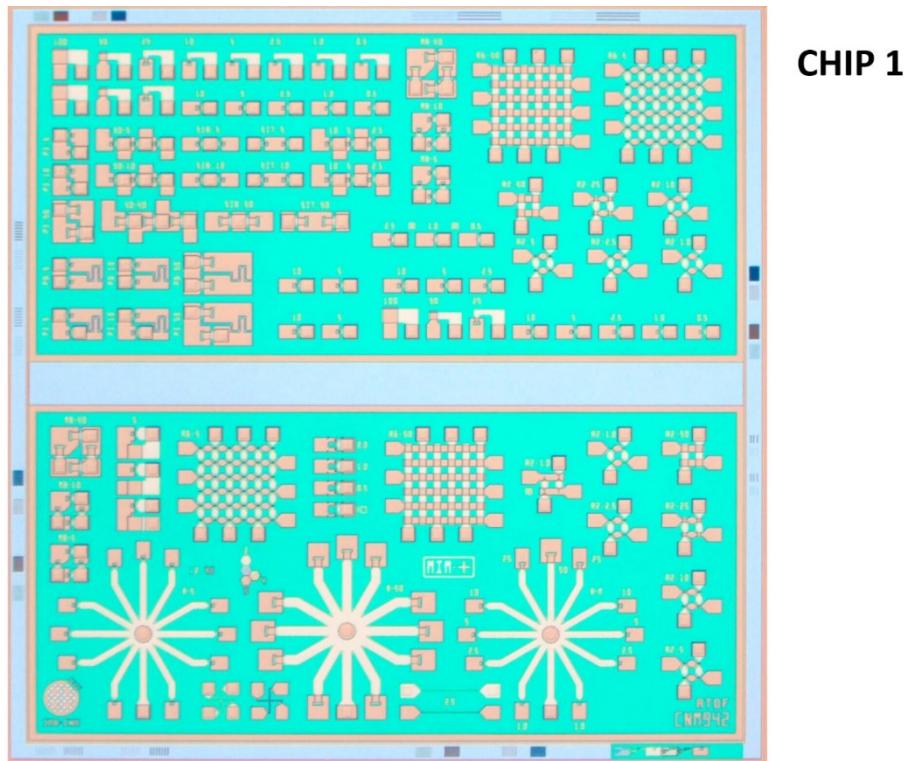
Nivel 3.R04 (chip 1) y R13 (chip 3), ambos de campo oscuro, para la apertura de la capa de dieléctrico.

Nivel 4.R05 (chip 1) y R14 (chip 3), ambos de campo oscuro, para la definición de la capa del electrodo superior.

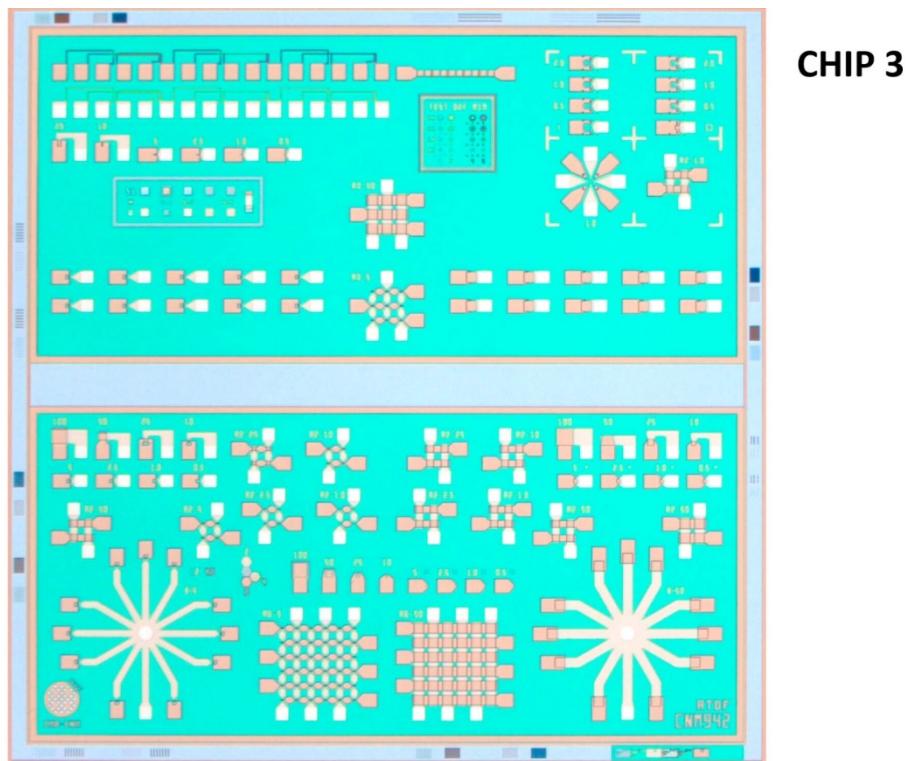
Así pues, usando estos niveles fotolitográficos, los procesos llevados a cabo durante la fabricación de este primer lote de obleas han sido:

01. Crecimiento de una capa de 500 nm de SiO<sub>2</sub> mediante un proceso de oxidación térmica a 1100 °C del silicio del substrato.
02. Fotolitografía (nivel 1) con stepper utilizando fotoresina positiva.
03. Grabado de la capa de SiO<sub>2</sub> térmico mediante un proceso de grabado seco.
04. Eliminación de la resina.
05. Depósito de una capa de 100 nm de W mediante sputtering.
06. Fotolitografía (nivel 2) con stepper utilizando fotoresina positiva.
07. Grabado húmedo de la capa de W.
08. Eliminación de la resina.
09. Depósito de una capa de 20 nm (obleas 1 y 2) o 15 nm (obleas 3 y 4) de HfO<sub>2</sub> mediante ALD, usando TDMAH y H<sub>2</sub>O como precursores y N<sub>2</sub> como gas portador y de purga.
10. Fotolitografía (nivel 3) con stepper utilizando fotoresina positiva.
11. Grabado seco de la capa de HfO<sub>2</sub> hasta llegar a la capa de W.
12. Eliminación de la resina.
13. Fotolitografía (nivel 4) con stepper utilizando una bicapa de resina: una capa de fotoresina positiva sobre una capa de LOR (Lift-Off Resist).
14. Depósito de una capa de 20 nm (obleas 1 y 2) o 15 nm (obleas 3 y 4) de Ti mediante sputtering.
15. Depósito de una capa de 200 nm de TiN mediante sputtering.
16. Eliminación de la resina y, por tanto, estructuración de la capa metálica TiN/Ti mediante lift-off.

En la **Figura 7-18** se muestra una imagen óptica de un chip tipo 1 de una de las obleas que se ha fabricado en este primer lote. De igual manera, en la **Figura 7-19** se muestra una imagen óptica de un chip tipo 3 de la misma oblea.

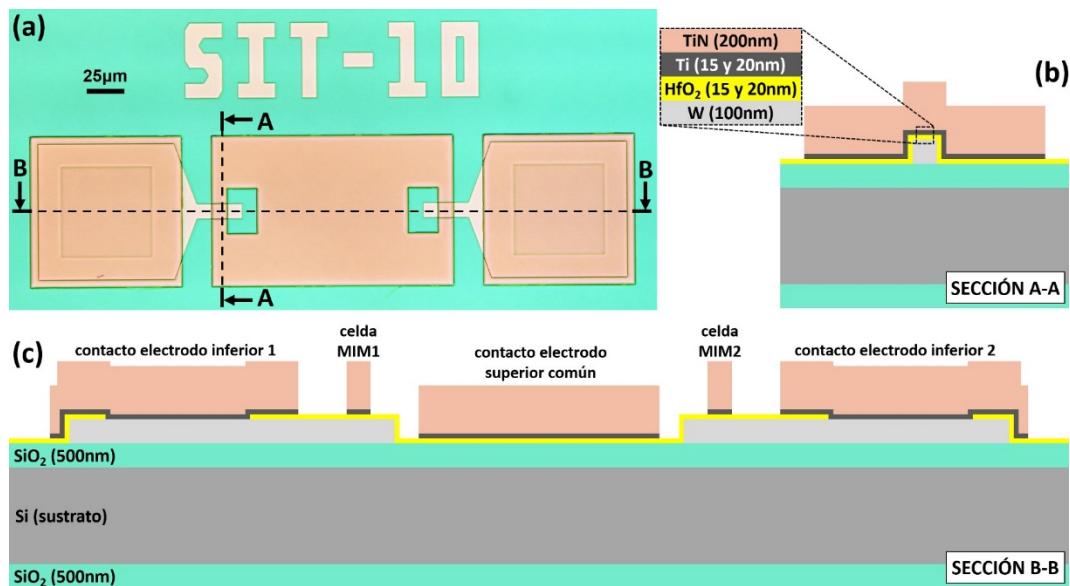


**Figura 7-18.** Imagen óptica de un chip tipo 1 fabricado en el primer lote de obleas con el juego de retículos CNM942.



**Figura 7-19.** Imagen óptica de un chip tipo 3 fabricado en el primer lote de obleas con el juego de retículos CNM942.

En la **Figura 7-20a** se puede observar la imagen óptica de un dispositivo fabricado en este primer lote. Se trata de un dispositivo complejo compuesto por dos celdas MIM de tamaño  $10 \times 10 \mu\text{m}^2$  que comparten el electrodo superior mientras que los electrodos inferiores son independientes. Este dispositivo ha sido definido con los niveles del tipo de chip 1 (ver **Figura 7-13**). Hay que notar que, a diferencia de los dispositivos de cruce fabricados con los antiguos diseños, en estos diseños los contactos de los electrodos inferiores están recubiertos por la capa metálica que define el electrodo superior del dispositivo. Esta conexión se puede apreciar más detalladamente en las representaciones de la sección transversal (b) y longitudinal (c) del dispositivo realizadas a la altura de las celdas MIM.

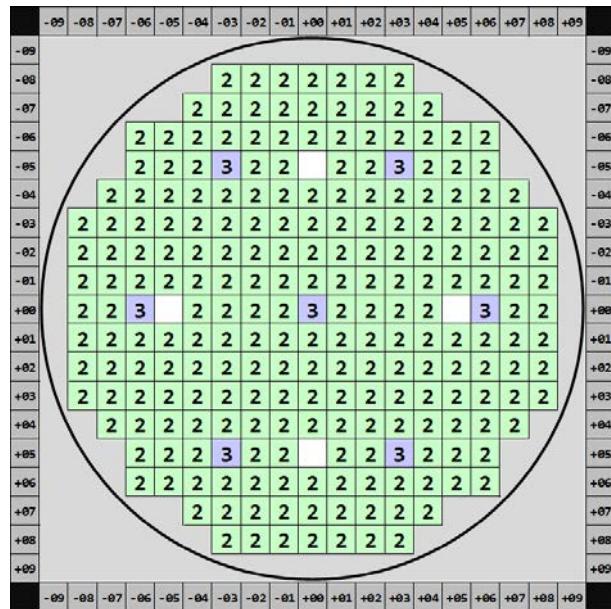


**Figura 7-20.** (a) Imagen óptica de un dispositivo complejo fabricado en el primer lote. El dispositivo está compuesto por dos celdas MIM, de tamaño  $10 \times 10 \mu\text{m}^2$ , que comparten el electrodo superior. Las secciones transversal y longitudinal del dispositivo a nivel de las celdas MIM, indicadas respectivamente por los planos de corte A-A / B-B, están representadas en (b) y (c).

### 7.3.2 Fabricación de obleas con dispositivos con aislamiento

El segundo lote fabricado se ha realizado con una capa de aislamiento entre las dos capas metálicas de los electrodos para fabricar celdas MIM con las dos configuraciones que la necesitan, aislada y en cruce aislado. También se han fabricado en este lote dispositivos con la configuración en cruce para así poder comparar los tres tipos de topología bajo las mismas condiciones de fabricación. Para lograr este objetivo se han utilizado dos distribuciones de chips en las obleas. La mitad del lote se ha fabricado con la distribución mostrada en la **Figura 7-17**, mientras que la otra mitad del lote se ha fabricado con la

distribución mostrada en la **Figura 7-21**. Como se puede observar en esta nueva distribución, toda la oblea está ocupada por chips del tipo 2, menos 7 chips del tipo 3 que es el que tiene las estructuras de test y, por tanto, se distribuye por todas las zonas de la oblea.



**Figura 7-21.** Distribución de los tipos de chips usada en el segundo lote de obleas fabricadas con los nuevos retículos.

Las secciones utilizadas de los retículos CNM942 para realizar las etapas de fotolitografía necesarias para fabricar este segundo lote de obleas han sido:

Nivel 1.R01 (chip 1 y chip2) y R10 (chip 3), ambos de campo oscuro, para la apertura de la capa de SiO<sub>2</sub>.

Nivel 2.R02 (chip 1), R07 (chip 2) y R11 (chip 3), todos de campo claro, para la definición de la capa del electrodo inferior.

Nivel 3.R03 (chip1), R08 (chip 2) y R12 (chip 3), todos de campo oscuro, para la apertura de la capa de aislamiento.

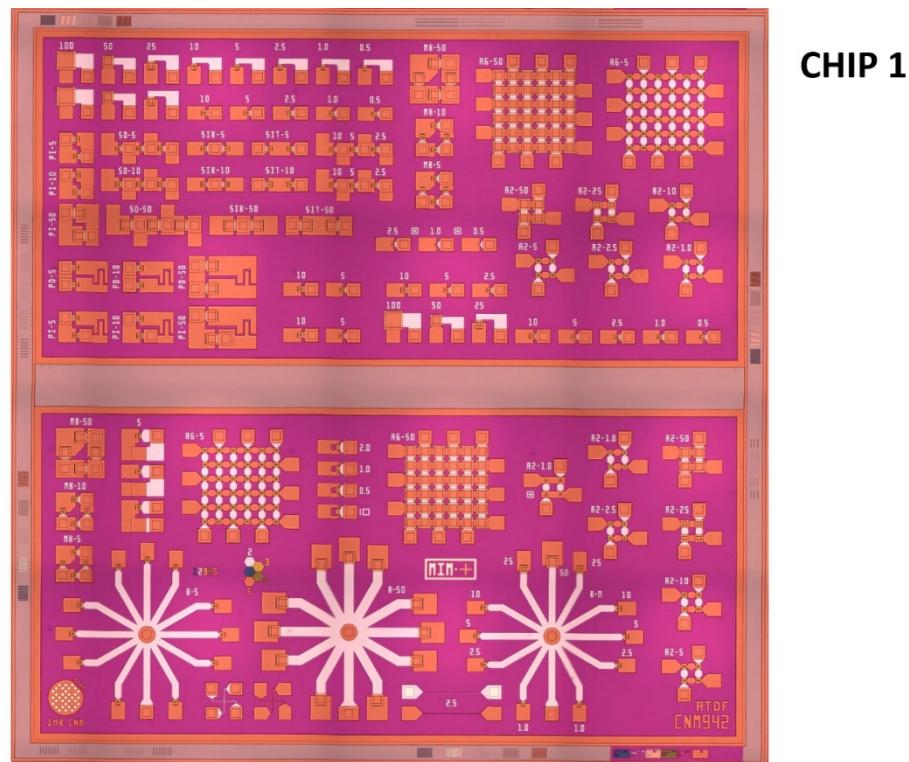
Nivel 4.R04 (chip 1 y chip2) y R13 (chip 3), ambos de campo oscuro, para la apertura de la capa delgada de dieléctrico.

Nivel 5.R05 (chip 1), R09 (chip 2) y R14 (chip 3), todos de campo oscuro, para la definición de la capa del electrodo superior.

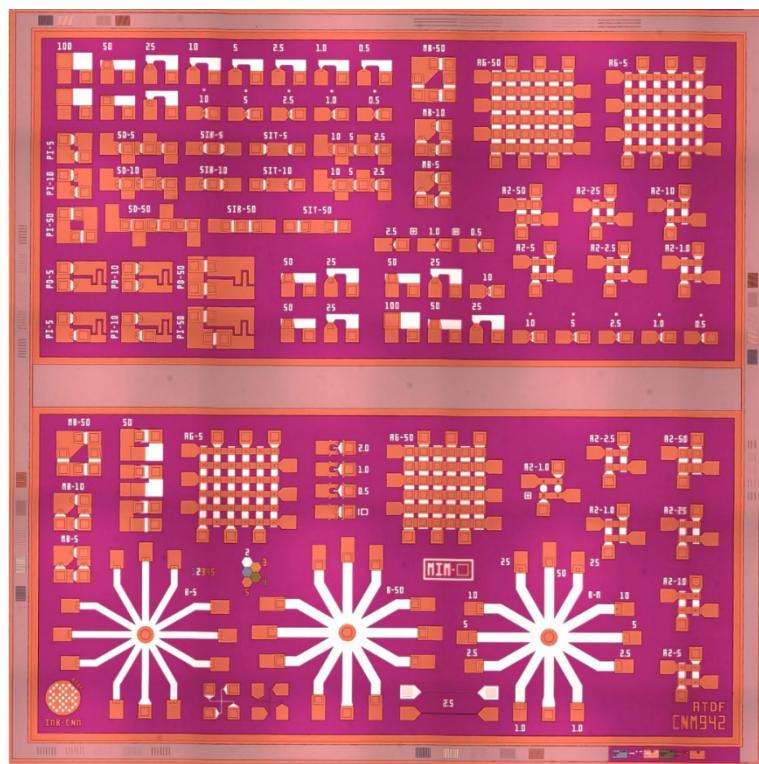
Así pues, usando estos niveles fotolitográficos, los procesos llevados a cabo durante la fabricación de este segundo lote de obleas con capa de aislamiento han sido:

01. Crecimiento de una capa de 500 nm de SiO<sub>2</sub> de mediante un proceso de oxidación térmica a 1100 °C del Si de substrato.
02. Fotolitografía (nivel 1) con stepper utilizando fotoresina positiva.
03. Grabado seco de la capa de SiO<sub>2</sub> térmico.
04. Eliminación de la resina.
05. Depósito de una capa de 100 nm de W mediante sputtering.
06. Fotolitografía (nivel 2) con stepper utilizando fotoresina positiva.
07. Grabado húmedo de la capa de W.
08. Eliminación de la resina.
09. Depósito de una capa de 100 nm de SiO<sub>2</sub> mediante PECVD utilizando SiH<sub>4</sub> y O<sub>2</sub> como precursores.
10. Fotolitografía (nivel 3) con stepper utilizando fotoresina positiva.
11. Grabado seco de la capa de SiO<sub>2</sub> depositado hasta llegar al W.
12. Eliminación de la resina.
13. Depósito de una capa de 20 nm (obleas 1 y 4) o 10 nm (obleas 2, 3 y 5) de HfO<sub>2</sub> mediante ALD, usando TDMAH y H<sub>2</sub>O como precursores y N<sub>2</sub> como gas portador y de purga.
14. Fotolitografía (nivel 4) con stepper utilizando fotoresina positiva.
15. Grabado seco de la capa de HfO<sub>2</sub> hasta llegar a la capa de W.
16. Eliminación de la resina.
17. Fotolitografía (nivel 5) con stepper utilizando una bicapa de resina (fotoresina positiva sobre LOR).
18. Depósito de una capa de 20 nm (obleas 1 y 4) o 15 nm (obleas 2, 3 y 5) de Ti mediante sputtering.
19. Depósito de una capa de 200 nm de TiN mediante sputtering.
20. Eliminación de la resina y, por tanto, estructuración de la capa metálica TiN/Ti mediante lift-off.

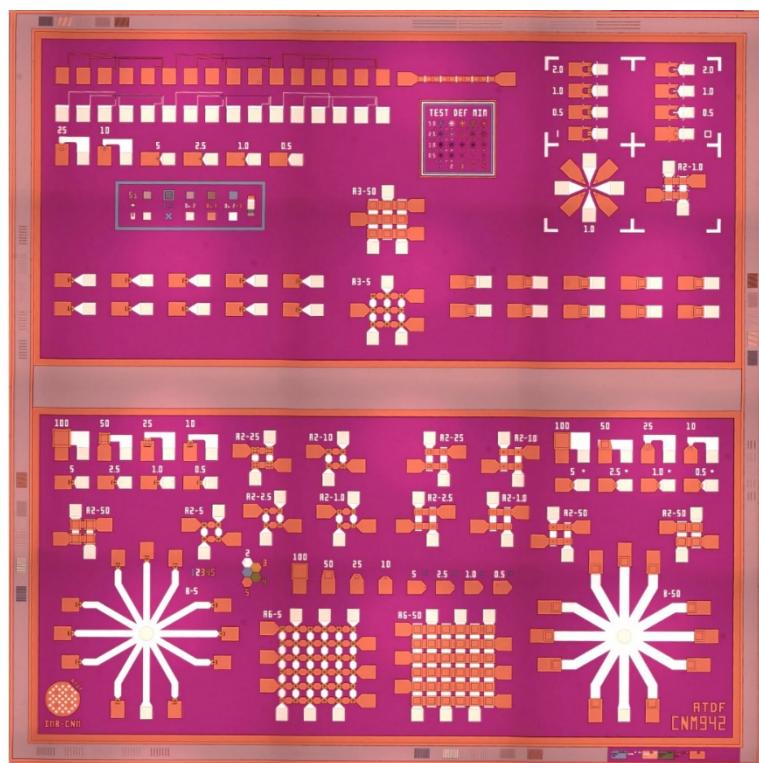
En la **Figura 7-22** se muestra una imagen óptica de un chip tipo 1 de una de las obleas que se ha fabricado en este segundo lote. De igual manera, en la **Figura 7-23** y en la **Figura 7-24** se muestran las imágenes ópticas de un chip tipo 2 y tipo 3, respectivamente.



**Figura 7-22.** Imagen óptica de un chip tipo 1 fabricado en el segundo lote de obleas con el juego de retículos CNM942.



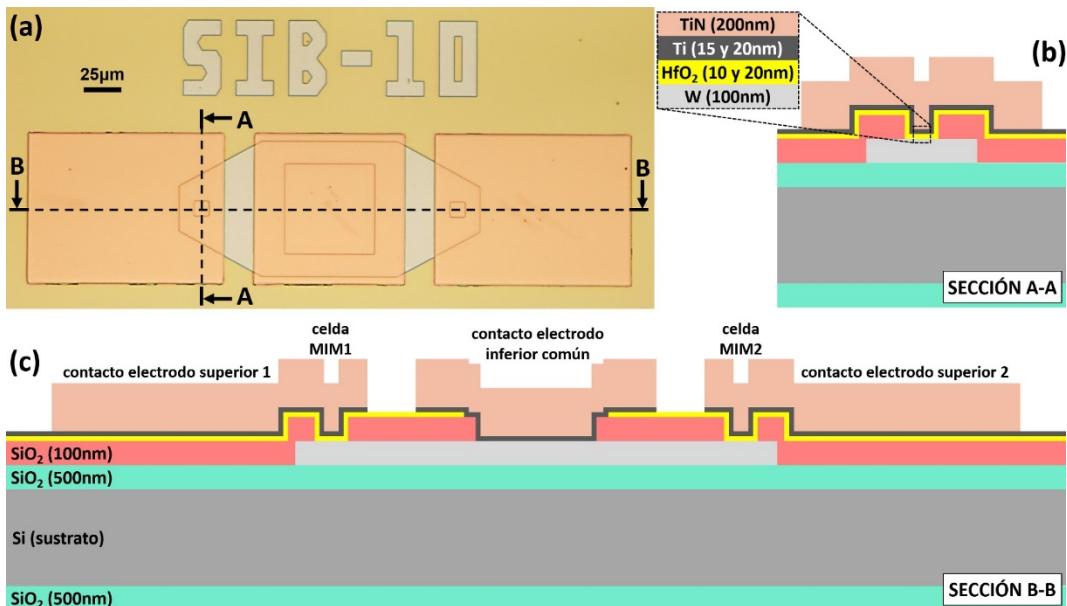
**CHIP 2**



**CHIP 3**

**Figura 7-23.** Imagen óptica de un chip tipo 2 fabricado en el segundo lote de obleas con el juego de retículas CNM942.

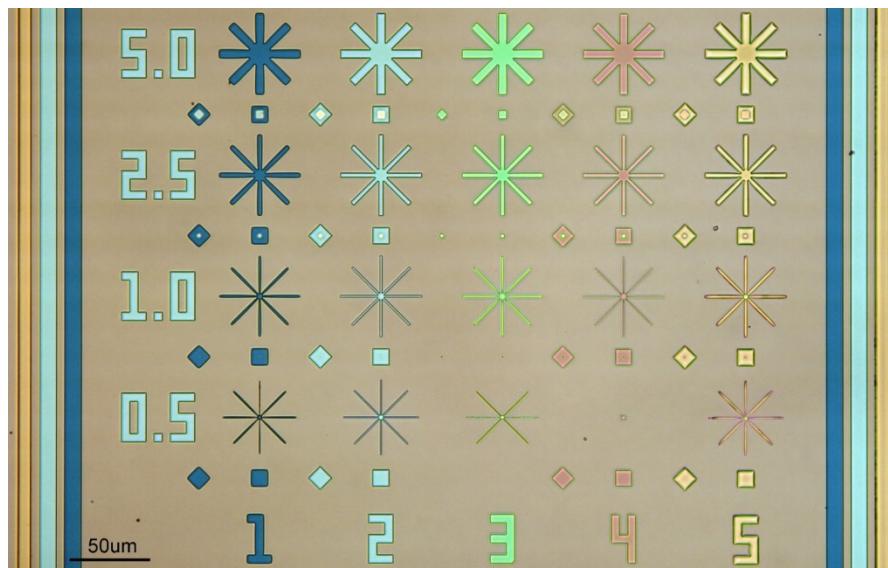
En la **Figura 7-25a** se puede observar la imagen óptica un dispositivo fabricado en el segundo lote. Se trata de un dispositivo complejo compuesto por dos celdas MIM con configuración aislada de tamaño  $10 \times 10 \mu\text{m}^2$  que comparten el electrodo inferior mientras que los electrodos superiores son independientes. Este dispositivo ha sido definido con los niveles del tipo de chip 2 (ver **Figura 7-15**). Como se ha comentado previamente, el contacto de conexión al electrodo inferior de las celdas MIM, en los dispositivos del chip tipo 2, está recubierto por la capa metálica que define los electrodos superiores, apreciándose más detalladamente en las representaciones de la sección transversal (b) y longitudinal (c) del dispositivo realizadas a la altura de las celdas MIM.



**Figura 7-25.** (a) Imagen óptica de un dispositivo complejo fabricado en el primer lote. El dispositivo está compuesto por dos celdas MIM, de tamaño  $10 \times 10 \mu\text{m}^2$ , que comparten el electrodo inferior. Las secciones transversal y longitudinal del dispositivo a nivel de las celdas MIM, indicadas respectivamente por los planos de corte A-A / B-B, están representadas en (b) y (c).

Para comprobar en qué medida la resolución de los procesos ha sido correcta, se ha inspeccionado la zona de test correspondiente en los chips de tipo 3 que hay distribuidos en las obleas. En la **Figura 7-26** se muestra una imagen óptica de uno de ellos. Como se puede observar la fabricación de las pistas metálicas de los electrodos (N2, N5) ha sido satisfactoria, con incluso las pistas más pequeñas de  $0.5 \mu\text{m}$  de ancho perfectamente definidas. Sin embargo, en el proceso de apertura de la capa de aislamiento entre electrodos (N3) hay un cierto componente de direccionalidad ya que en la estrella de 8 puntas de menor dimensión las aspas verticales no se han abierto mientras que las demás

sí. Además, los motivos de  $0.5 \times 0.5 \mu\text{m}^2$  en la capa de aislamiento no se han abierto (última fila), aunque sí las de  $1.0 \times 1.0 \mu\text{m}^2$ , hecho que influye negativamente en la definición de las celdas MIM con configuración aislada de menor tamaño.



**Figura 7-26.** Imagen óptica de una zona de test para la inspección de la definición de estructuras pequeñas.

Tras completar la fabricación de este lote de obleas y comprobar que el proceso se había realizado satisfactoriamente, se añadieron los dos niveles adicionales, correspondientes a la capa de pasivación y a los motivos de aluminio para contactar con los pads de los dispositivos, a las obleas con la distribución de chips mostrada en la **Figura 7-17**. Las secciones utilizadas de los retículos CNM942 para realizar los niveles de fotolitografía necesarios para definir estas dos últimas capas han sido:

Nivel 6.R06 (chip 1) y R15 (chip 3), ambos de campo oscuro, para la apertura de la capa de pasivación.

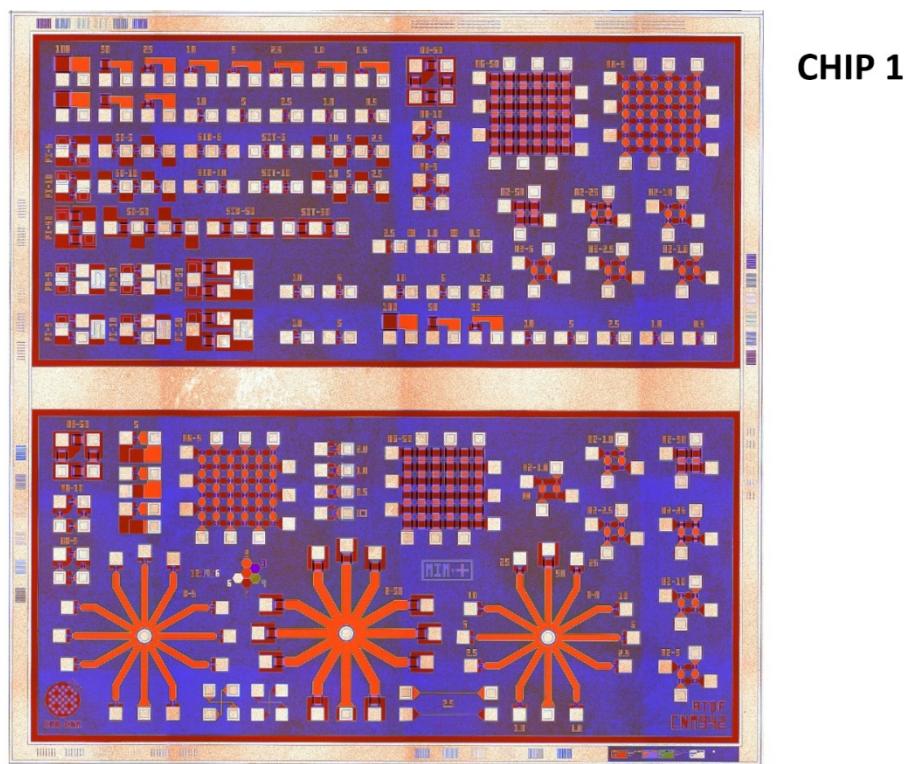
Nivel 7.R06 (chip 1) y R16 (chip 3), ambos de campo oscuro, para la definición de la capa metálica de los motivos de contacto a los pads de los dispositivos.

Las etapas llevadas a cabo durante este proceso final adicional han sido:

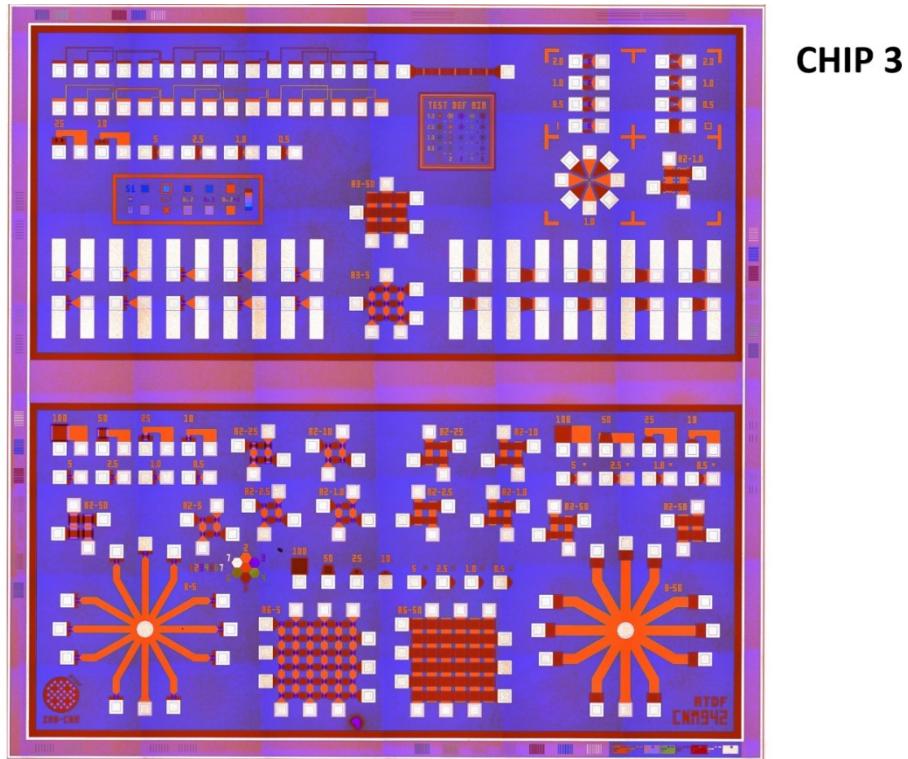
21. Depósito de una capa de pasivación de 100 nm de SiO<sub>2</sub> mediante PECVD utilizando SiH<sub>4</sub> y O<sub>2</sub> como precursores.
22. Fotolitografía (nivel 6) con stepper utilizando fotoresina positiva.

23. Grabado seco de la capa de  $\text{SiO}_2$  depositado hasta llegar a los contactos de los electrodos de los dispositivos.
24. Eliminación de la resina.
25. Fotolitografía (nivel 5) con stepper utilizando una bicapa de resina (fotoresina positiva sobre LOR).
26. Deposición de una capa de 500 nm de Al mediante evaporación.
27. Eliminación de la resina y, por tanto, estructuración de la capa metálica de Al mediante lift-off.

En la **Figura 7-27** y en la **Figura 7-28** se muestran las imágenes ópticas de un chip tipo 1 y tipo 3, respectivamente, después de realizar este proceso de fabricación final. Hay que notar que en estas dos imágenes se puede observar el aspecto de estos dos chips completos, es decir, después de realizar todos los niveles diseñados (N1-N7) para cada uno de ellos (comparar con **Figura 7-2** y **Figura 7-4**).



**Figura 7-27.** Imagen óptica de un chip tipo 1 del segundo lote de obleas al que se le han añadido dos niveles adicionales, capa de pasivación y contactos de aluminio.



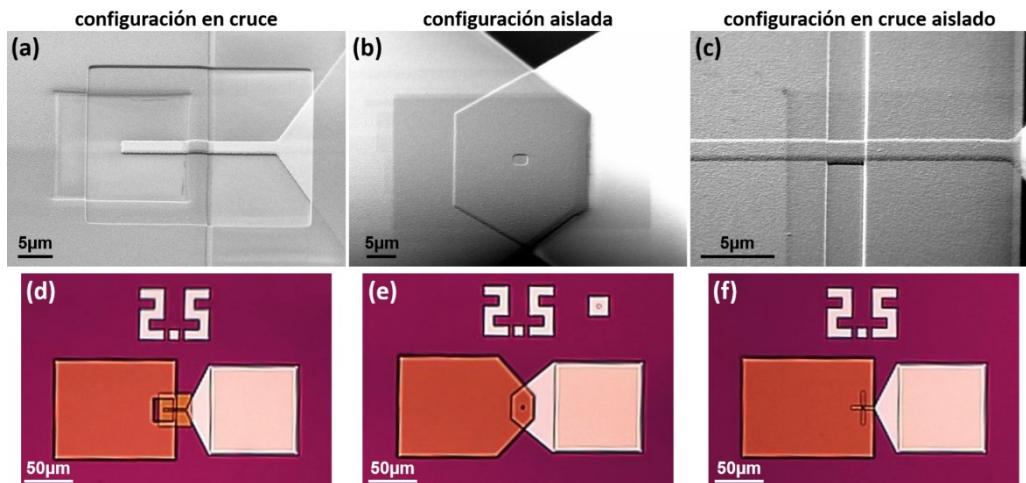
**Figura 7-28.** Imagen óptica de un chip tipo 3 del segundo lote de obleas al que se le han añadido dos niveles adicionales, capa de pasivación y contactos de aluminio.

## 7.4 Caracterización física

Después de realizar la fabricación del segundo lote de obleas, en el que están presentes todos los tipos de configuraciones topológicas, se ha llevado a cabo una inspección física mediante SEM, cortes FIB y perfilometría para caracterizar físicamente el resultado de este proceso de fabricación.

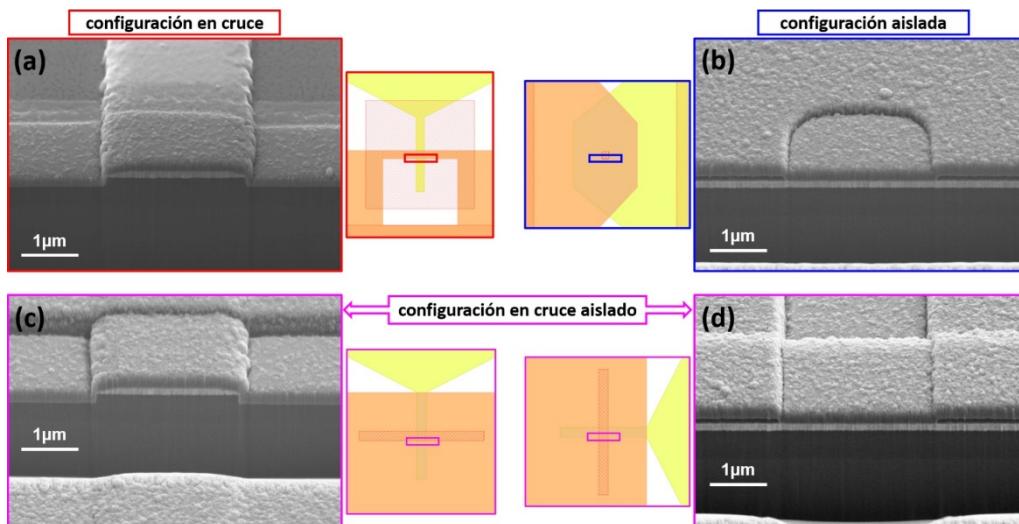
### 7.4.1 Inspección de las configuraciones topológicas

En la **Figura 7-29** se puede observar la vista superior de tres celdas MIM, de dimensiones  $2.5 \times 2.5 \mu\text{m}^2$ , y de los tres dispositivos a los que pertenecen, obtenidas mediante los tres tipos de configuración constructiva. Los diseños para obtener estos dispositivos son los mostrados en la **Figura 7-7**, y todos pertenecen a un chip de tipo 3. En la imagen (a) se puede apreciar la apertura realizada en la capa de aislamiento para poder obtener celdas MIM con configuración en cruce en la misma oblea en la que se obtienen celdas MIM con las otras dos configuraciones, las cuales obligatoriamente necesitan de esta capa para definir su geometría.



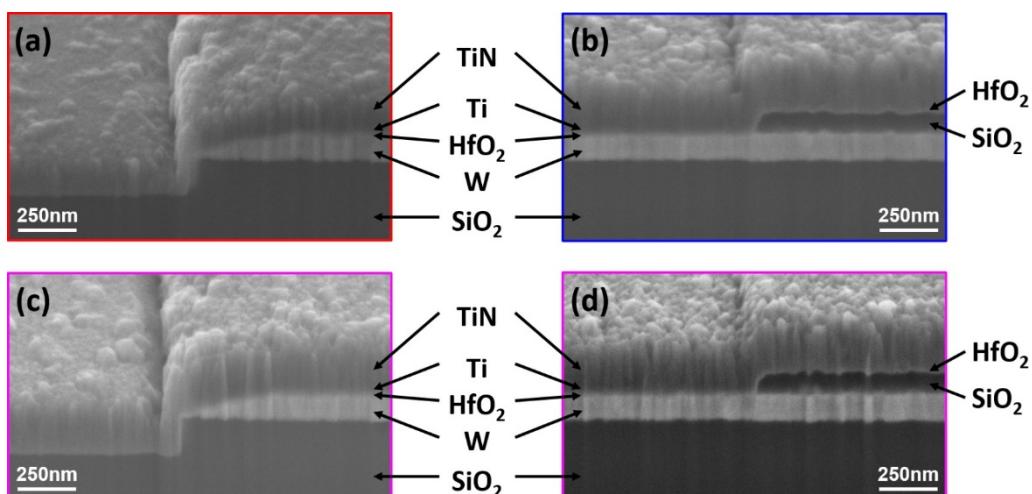
**Figura 7-29.** (a, b, c) Imágenes SEM de tres celdas MIM, de dimensiones  $2.5 \times 2.5 \mu\text{m}^2$ , fabricadas en el segundo lote usando los tres tipos de configuración constructiva. (d, e, f) Imágenes ópticas de los dispositivos cuyas celdas MIM se han mostrado en (a, b, c) respectivamente.

Para poder inspeccionar el apilamiento de las distintas capas de la estructura MIM en estos tres tipos de configuración constructiva se han realizado cortes con FIB a la altura de las celdas (ver **Figura 7-30** y **Figura 7-31**) con un equipo CrossBeam 1560XB (Carl Zeiss). En estas secciones se puede apreciar las similitudes que tiene la configuración en cruce aislado respecto a las otras dos configuraciones, de las que es combinación. Específicamente, la sección transversal de la celda con configuración en cruce aislado (c) se corresponde con la sección transversal con configuración en cruce (a), mientras que su sección longitudinal (d) se corresponde con la sección longitudinal de la configuración aislada (b). En estas dos imágenes (b, d) se ve cómo la configuración en cruce aislado corrige el problema de redondeo en las esquinas presente en las celdas MIM de tamaño pequeño definidas mediante configuración aislada.



**Figura 7-30.** Comparativa de los cortes FIB realizados en tres celdas MIM, de dimensiones  $2.5 \times 2.5 \mu\text{m}^2$ , obtenidas por los tres tipos de configuración constructiva.

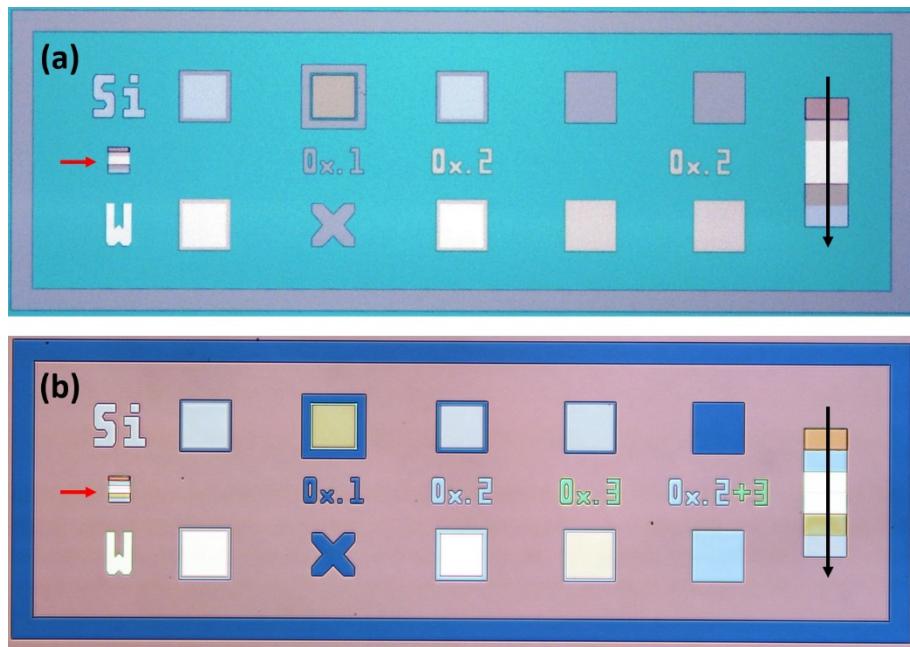
En las imágenes SEM de la **Figura 7-31** se puede apreciar cómo se ha producido un sobreataque en la capa de aislamiento del sustrato al realizar las aperturas de la capa de SiO<sub>2</sub> de aislamiento entre electrodos (nivel N3), habiéndose grabado unos 180 nm de la capa de aislamiento del sustrato (SiO<sub>2</sub> crecido térmicamente). Este sobreataque es la razón por la que en las imágenes (a) y (c) de la **Figura 7-31** se aprecia un escalón en la capa de SiO<sub>2</sub>, ya que las estructuras de W, muy resistente al proceso de grabado realizado, han hecho de máscara protectora.



**Figura 7-31.** Detalle del apilamiento de las capas de la estructuras MIM de las celdas mostradas en la **Figura 7-30**.

### 7.4.2 Espesor de las capas depositadas

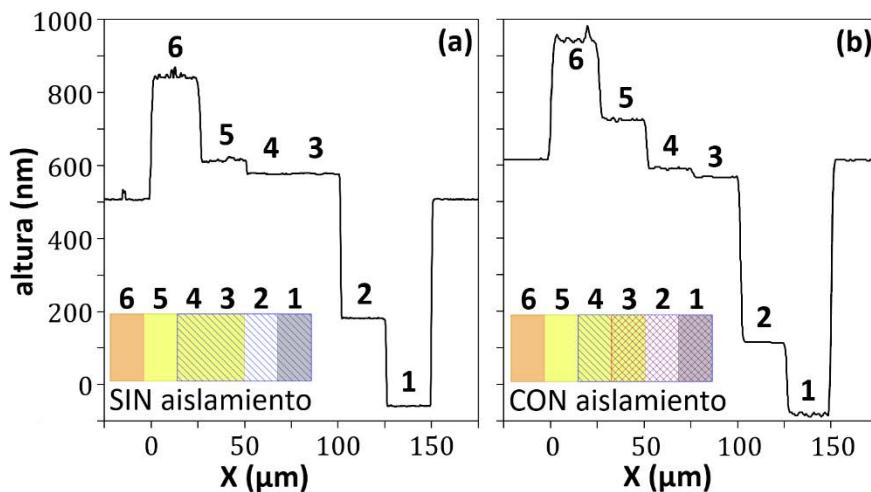
Para realizar la medida del espesor de las capas, después de acabar el proceso de fabricación, se han utilizado las zonas de test existentes en el chip 3. En la **Figura 7-32** se muestran dos de estos conjuntos de estructuras, uno perteneciente a una oblea sin capa de aislamiento del primer lote (a) y otro perteneciente a una oblea con capa de aislamiento del segundo lote (b). Para saber si la oblea fabricada presenta esta capa sólo hay que observar si aparece el motivo “Ox.3” que se graba durante la apertura de la capa de aislamiento (ver **Figura 7-11**). En cada caso el espesor de la capa de  $\text{HfO}_2$  depositada se ha medido mediante interferometría, usando el equipo Nanospec 6100, sobre el sustrato de Si en la cuarta celda de la fila superior, obteniéndose unas medidas de espesor de acuerdo con los resultados obtenidos mediante elipsometría, con el elipsómetro Horiba AutoSE, sobre media oblea de test que se procesa junto con cada oblea del lote en la cámara del equipo de ALD.



**Figura 7-32.** Imágenes ópticas de dos zonas de test para la medida de espesores de capas, una perteneciente al lote sin capa de aislamiento (a) y otra perteneciente al lote con capa de aislamiento (b). Las flechas negras indican la dirección que ha seguido la medida del perfilómetro. Las flechas rojas indican la zona para inspección con corte FIB.

Posteriormente se ha procedido a medir el perfil de la estructura escalonada del lateral de la derecha de la zona de test haciendo uso de un perfilómetro Tencor P7. La dirección con la que se ha medido estos perfiles está indicada con una flecha en la **Figura 7-32**. En la

**Figura 7-33** se pueden ver dos ejemplos de medidas de perfil, uno perteneciente a la oblea 1 del primer lote (a) y el segundo a la oblea 4 del segundo lote (b). Estas dos obleas presentan los mismos espesores de HfO<sub>2</sub> (20 nm) y Ti (20 nm). En ambos perfiles se ha corregido el nivel base de la medida con la altura del óxido de aislamiento para establecer como referencia de 0 nm la altura a la que debería estar el sustrato de Si en caso de no producirse un sobreataque de este, y así conseguir tener una referencia comparable entre ambas medidas. Hay que tener en cuenta que el nivel de 0 nm en la medida original es el correspondiente a la altura del óxido de aislamiento que rodea la estructura, ya que es donde la sonda del perfilómetro se apoya para iniciar la medida del perfil (inicio de la flecha negra en la **Figura 7-32**). La altura de este óxido corresponde a la suma de las capas de óxido depositadas, que es diferente para estas dos obleas debido a la presencia de capa de aislamiento entre electrodos en la segunda oblea, que no existe en la primera. Concretamente esta altura corregida es de 520 nm (500 nm de SiO<sub>2</sub> térmico+ 20 nm de HfO<sub>2</sub>) en el primer perfil y 620 nm (500 nm de SiO<sub>2</sub> térmico + 100 nm de SiO<sub>2</sub> depositado + 20 nm de HfO<sub>2</sub>) en el segundo perfil.



**Figura 7-33.** Medida del perfil de las estructuras escalonadas situadas en las zonas de test para medir espesores del tipo de chip 3 (ver **Figura 7-32**) en la oblea 1 del primer lote (a) y en la oblea 4 del segundo lote (b).

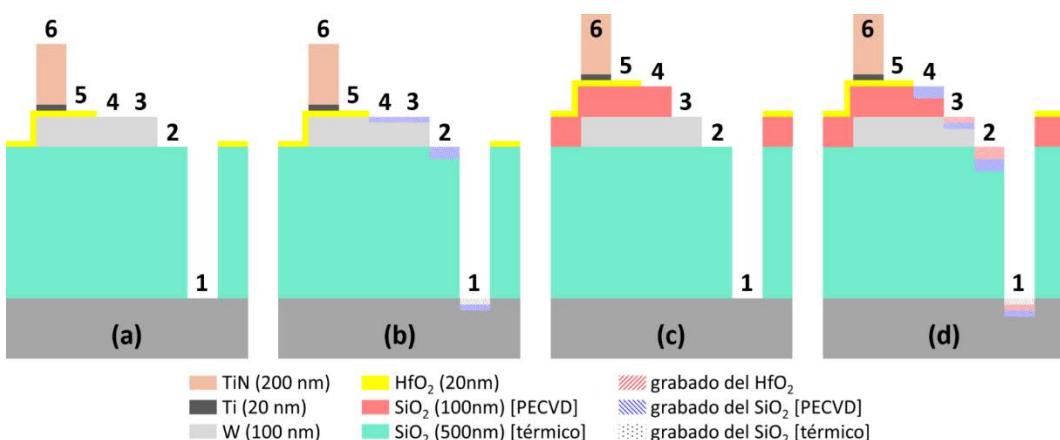
En la **Tabla VI** se indican los valores medidos de altura de los perfiles para cada zona indicada en la **Figura 7-33** y los valores esperados a obtener según los espesores definidos en el diseño del proceso de fabricación. Tanto en esta tabla como en el perfil de la oblea

del primer lote se puede observar que las zonas 2 y 3 son idénticas debido a que en el primer lote no se depositó capa de aislamiento.

#Oblea	Zona 6	Zona 5	Zona 4	Zona 3	Zona 2	Zona 1
<b>Lote 1 - 1 (nominal)</b>	840	620		600	500	0
<b>Lote 1 - 1 (medido)</b>	849	619		580	185	-56
<b>Lote 2 - 4 (nominal)</b>	940	720	700	600	500	0
<b>Lote 2 - 4 (medido)</b>	940	721	588	564	113	-86

**Tabla VI.** Altura (en nm) de los escalones de la estructura de test.

Como se puede observar, hay discrepancia entre los valores esperados y los medidos. Para facilitar la comprensión del origen de tales diferencias se ha representado en la **Figura 7-34** los diagramas de las secciones de la estructura de test, para ambos perfiles, indicando como serían estas secciones si se hubiera producido, o no, un sobreataque por los ataques secos llevados a cabo durante la fabricación para realizar la apertura de las capas de óxido. Comparando estos diagramas y teniendo en cuenta los valores obtenidos para los escalones, se ve como la mayor parte de las discrepancias en los valores de altura provienen de sobreataques.

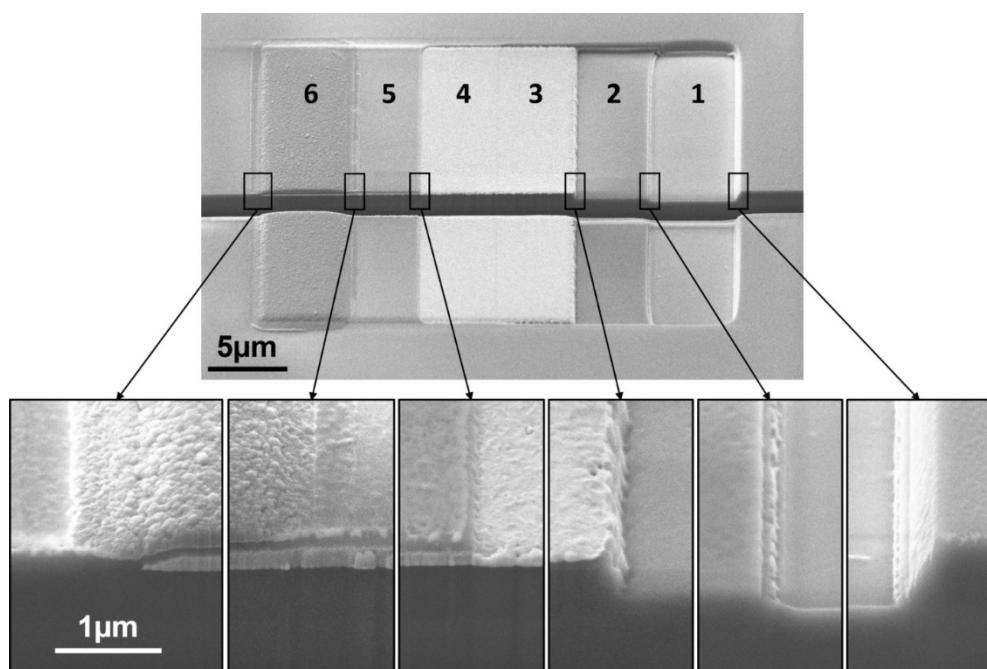


**Figura 7-34.** Diagramas representativos de la sección de la estructura de test para medir perfiles. (a, b) corresponden a la medida de perfil en **Figura 7-33a**, y (c, d) corresponden a la medida del perfil en **Figura 7-33b**. Las secciones (a, c) representan la estructura de test si no se produjera ningún sobreataque en los grabados secos de las capas de los óxidos, mientras que en (b, d) se indica que zonas serías afectadas si se producen estos sobreataques.

En la oblea sin capa de aislamiento, entre la zona 5 y la zona 4 se esperaría tener una diferencia de 20 nm correspondientes al espesor de la capa de HfO<sub>2</sub>, sin embargo, se puede

apreciar como la diferencia real es de 39 nm, lo que indica que se han grabado 19 nm de la capa de W debido a un sobreataque durante la etapa de apertura de la capa de HfO<sub>2</sub>, esperable debido a que es necesario asegurar un grabado completo de las aperturas para acceder a los contactos del electrodo inferior de los dispositivos. El efecto de este sobreataque es más evidente en la oblea con capa de aislamiento donde se ha grabado casi en su totalidad la capa de aislamiento (zona 4), debido a que el SiO<sub>2</sub> depositado es más sensible al proceso de grabado de la capa de HfO<sub>2</sub> que el W. Si se considera que el ataque sobre la capa de W producido por el grabado de la capa de HfO<sub>2</sub> (19 nm) puede ser similar en ambos casos, del valor de altura en la zona 3 del segundo caso se puede estimar que ha habido también un sobreataque durante la apertura de la capa de SiO<sub>2</sub> depositado que ha grabado 17 nm de la capa de W. Este sobreataque se puede observar en la **Figura 7-31a,c** y, al igual que con la apertura de la capa de HfO<sub>2</sub>, era esperable debido que es necesario asegurar un grabado completo de las aperturas de la capa de aislamiento para acceder a los contactos del electrodo inferior de los dispositivos. Por todo esto, es razonable que en la zona 2 de ambos casos se observe que el espesor medido de la capa de SiO<sub>2</sub> (crecido térmicamente) es menor de lo que se esperaba, siendo más notable en el caso de la oblea con capa de aislamiento, en el que el ataque proviene de dos procesos en vez de uno. De igual manera, el sustrato de silicio ha sido atacado por estos procesos de grabado seco, además del ataque inicial que ha podido sufrir por el sobreataque producido durante la apertura de la capa de SiO<sub>2</sub> crecido térmicamente. Es por eso por lo que la lectura de altura de esta zona 1 es negativa, ya que se ha tomado de referencia para comparar los perfiles de ambos casos la altura del sustrato que tendría si no hubiera habido sobreataques, como se muestra en las subfiguras (a) y (c) de la **Figura 7-34** en comparación con (b) y (d). Hay que notar que, si bien la mayoría de estas discrepancias entre la altura “nominal” y la altura real medida provienen de las etapas de grabado seco de las capas de óxido. Esta se da en el caso de la oblea del lote 1, en el espesor de la capa del electrodo superior. Si se resta la altura entre la zona 6 y la zona 5 lo que se debería obtener es el espesor de la capa de TiN/Ti (220 nm), tal y como ocurre en la oblea del lote 2. Sin embargo, en esta primera oblea hay una diferencia de 230 nm, que supone una diferencia de 10nm respecto de lo esperado, indicando que este electrodo tiene un espesor ligeramente superior al proyectado.

Como se ha comentado en el apartado 7.1.5, en la zona de test para la inspección de capas se ha diseñado una estructura semejante a la destinada para el uso del perfilómetro, pero de menor tamaño y cuya función es la de realizar la inspección del espesor de las capas mediante el uso de corte por FIB. En la **Figura 7-35** se puede observar una imagen SEM de esta estructura que pertenece a la oblea en la que se ha medido el perfil mostrado en **Figura 7-33b**. Gracias al corte longitudinal realizado por un FIB, se puede apreciar la sección de esta estructura y los detalles de cada escalón. La numeración de las secciones corresponde a la usada en las figuras de los perfiles. Claramente se puede observar como las dimensiones de altura observadas en los escalones se corresponden perfectamente al resultado obtenido en la medida del perfil. En la pared del escalón de más a la derecha se puede diferenciar una discontinuidad producida por la diferencia entre el grabado inicial de la capa de  $\text{SiO}_2$  crecida térmicamente de los dos grabados siguientes de capa de óxido realizados. De igual manera, en la pared del siguiente escalón (entre las zonas 1 y 2) se puede distinguir una discontinuidad que corresponde a la diferencia entre el grabado usado para la apertura de la capa de  $\text{SiO}_2$  depositado por PECVD y el grabado usado para la apertura de la capa de  $\text{HfO}_2$ .



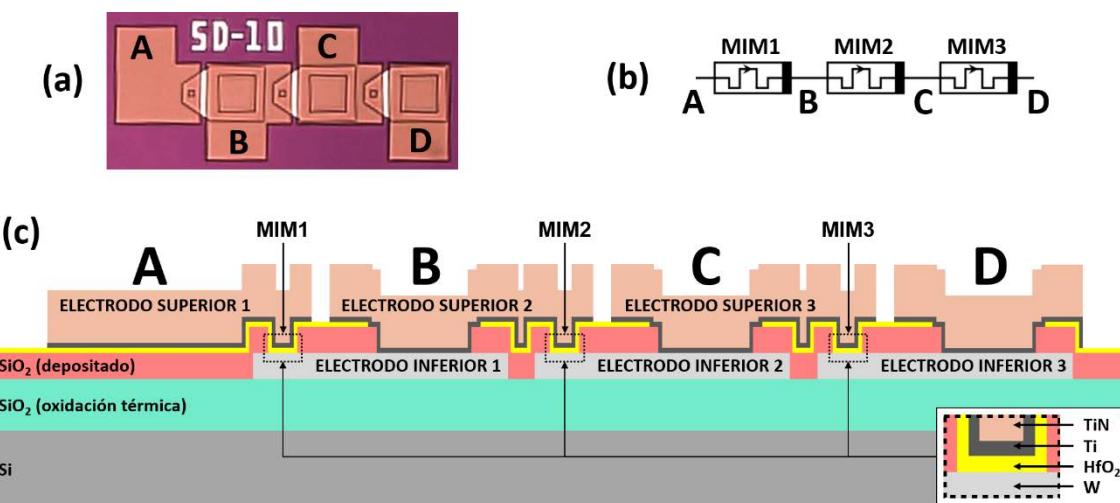
**Figura 7-35.** Inspección de la sección las capas depositadas y grabadas durante el proceso de fabricación, mediante SEM y corte FIB, haciendo uso de la estructura de test diseñada para esta función (indicada por flechas rojas en la **Figura 7-32**).

## 7.5 Caracterización eléctrica

La caracterización eléctrica inicial de los dispositivos de los dos lotes de obleas fabricados con los nuevos diseños ha sido realizada en el IMB-CNM. Posteriormente, durante una estancia con el grupo de Caracterización de Materiales y Dispositivos Electrónicos (GCME) de la Universidad de Valladolid bajo la supervisión del Prof. Salvador Dueñas, se ha realizado una caracterización más amplia de estos dispositivos.

### 7.5.1 Montaje instrumental y metodología experimental

El montaje instrumental utilizado para caracterizar eléctricamente cualquier celda MIM de manera independiente es el mismo al empleado con los dispositivos de configuración en cruce fabricados con el anterior juego de máscaras (ver **Figura 3-1a,c**), es decir, midiendo sobre oblea en una mesa de puntas con un SPA con el que se aplica el voltaje al electrodo superior mientras el electrodo inferior está conectado a tierra. A modo de ejemplo, en la **Figura 7-36** se puede observar un dispositivo complejo de serie directa con su esquema eléctrico y la representación de su sección longitudinal en la que se indica la posición las celdas MIM y la correspondencia entre los contactos de este dispositivo (ABCD) y los electrodos de cada una de sus celdas MIM.

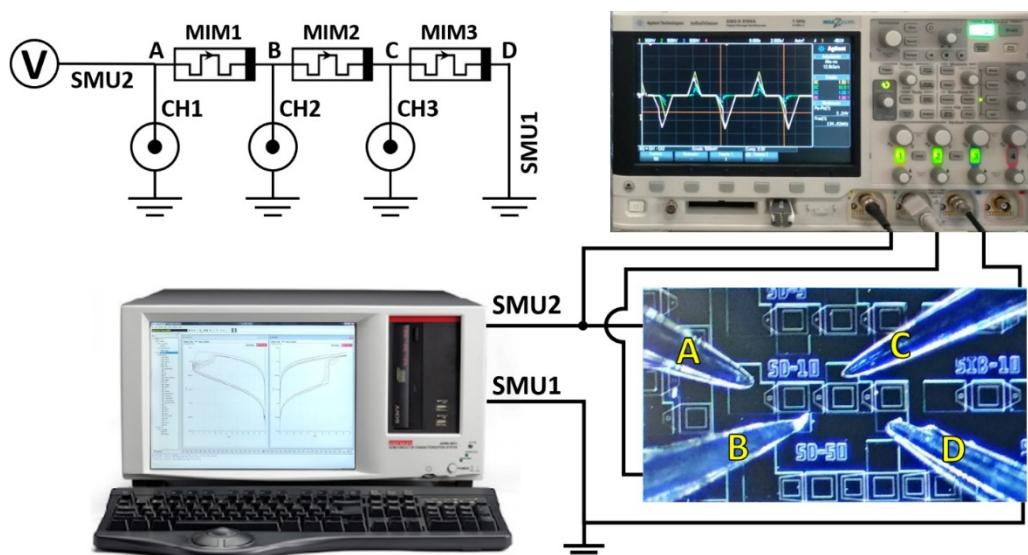


**Figura 7-36.** (a) Imagen óptica de un dispositivo de serie directa con celdas MIM de configuración aislada y área  $10 \times 10 \mu\text{m}^2$ . (b) Esquema eléctrico del dispositivo mostrado en (a). (c) Diagrama de la sección longitudinal del dispositivo mostrado en (a).

Para la medida de las características de un dispositivo complejo, el método seguido ha sido conectar independientemente cada celda MIM, en primer lugar, para poder realizar una

etapa inicial de forming seguida de una pequeña secuencia de ciclos de barridos de voltaje en ambas polaridades. Así, una vez inicializadas todas las celdas MIM del dispositivo y comprobado que todas ellas presentan un comportamiento de conmutación resistiva adecuado, se procede a realizar la medida eléctrica global del dispositivo complejo. Durante las etapas de forming se ha utilizado el mismo rango de valores de limitación de corriente ( $0.1 \text{ mA} \sim 20 \text{ mA}$ ) utilizado para los dispositivos de anteriores capítulos. A modo de ejemplo, en la **Figura 7-37** se puede observar el montaje realizado para caracterizar el dispositivo mostrado en la **Figura 7-36**. Este montaje fue utilizado durante la estancia en el GCME, en el que se usó un SPA Keithley 4200SCS para aplicar los ciclos de barrido de voltaje al dispositivo y medir la corriente, conectando sus dos SMU a los terminales extremos A y D, mientras que con un osciloscopio Keysight InfiniiVision DSO-X 3104A se medía la caída de tensión total e intermedia entre las celdas MIM del dispositivo, conectando para ello tres canales a los terminales A, B y C. Específicamente, el voltaje se aplicó por el SMU2 del SPA mientras que el SMU1 estaba conectado a tierra y a las tierras internas de los canales del osciloscopio, con lo que las caídas de voltaje en cada celda MIM se calcularon de la siguiente manera:

- $V_{\text{MIM}1} = V_{\text{CH}1} - V_{\text{CH}2}$
- $V_{\text{MIM}2} = V_{\text{CH}2} - V_{\text{CH}3}$
- $V_{\text{MIM}3} = V_{\text{CH}3}$



**Figura 7-37.** Montaje instrumental utilizado para caracterizar el comportamiento del dispositivo mostrado en la **Figura 7-36**.

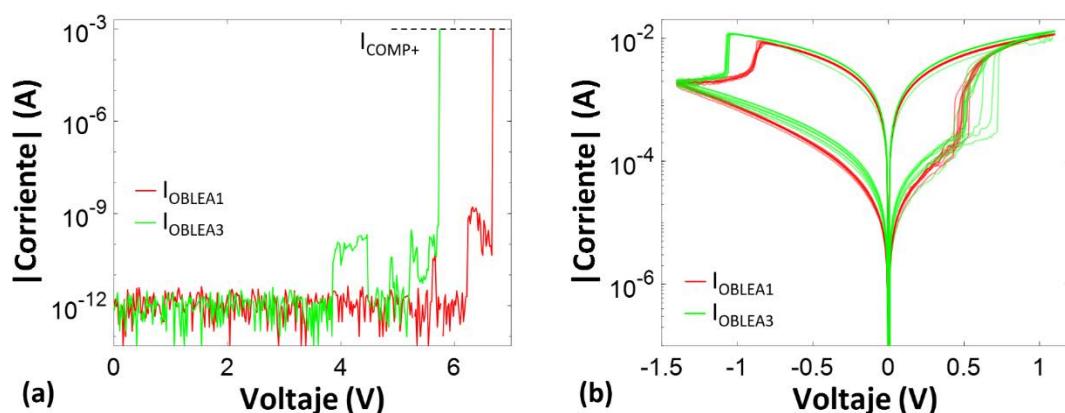
Adicionalmente, con el equipo Keithley 4200SCS, se realizaron medidas de admitancia tanto de los dispositivos simples como de los complejos. Durante los ciclos de barrido, los parámetros de la admitancia fueron medidos añadiendo una componente sinusoidal, de valor eficaz 30 mV y frecuencia 500 kHz, a las rampas de voltaje aplicadas en ambas polaridades. Para el análisis de este tipo de medida se utilizó un modelo eléctrico de admitancia paralelo que permite obtener el valor de la componente real de la admitancia (conductancia, G) y de la componente imaginaria (susceptancia, B). Este procedimiento se utilizó también para elaborar un tipo de representación denominada mapas de memoria de admitancia [90] que son usados para obtener información sobre el estado de una memoria RRAM. Estos mapas se obtuvieron midiendo un barrido de voltaje en ambas polaridades mediante la aplicación de una secuencia de pulsos: inicialmente, con el dispositivo en el HRS, se empieza a aplicar la secuencia de pulsos de voltaje positivo cuya amplitud es aumentada linealmente hasta un valor de voltaje que asegura que ocurra la transición SET. Todos los pulsos tienen duración de 1 ms y después de cada uno de ellos el voltaje aplicado vuelve a 0 V y se mide la admitancia (G, B) aplicando la componente sinusoidal. Una vez alcanzado este valor de voltaje positivo máximo, con el dispositivo en LRS, la amplitud de los pulsos se reduce linealmente hasta llegar a 0 V, momento en que se empieza a aplicar la secuencia de pulsos de voltaje negativo incrementando linealmente su amplitud hasta alcanzar un valor que asegura que ocurra el proceso de RESET para que el dispositivo comute al HRS. Una vez que se llega a este valor, la amplitud de los pulsos se reduce linealmente hasta llegar a 0 V, finalizando así el ciclo completo pulsado y obteniendo el mapa de memoria de admitancia, del dispositivo y constituido por los valores medidos de la conductancia y la susceptancia en función del voltaje aplicado durante el ciclo pulsado. Cuando se quieren obtener mapas de memoria de la característica I-V, el procedimiento seguido es similar, aplicando el mismo ciclo de barrido de voltajes pulsados, pero cambiando el modo de medida. En este caso, después de cada pulso se aplica un pequeño voltaje de 0.1 V para medir la corriente en vez de aplicar la onda sinusoidal.

### 7.5.2 Resultados en dispositivos simples

Inicialmente se han caracterizado los dispositivos simples de los dos lotes de obleas fabricados con los nuevos retículos fotolitográficos siguiendo la metodología expuesta en

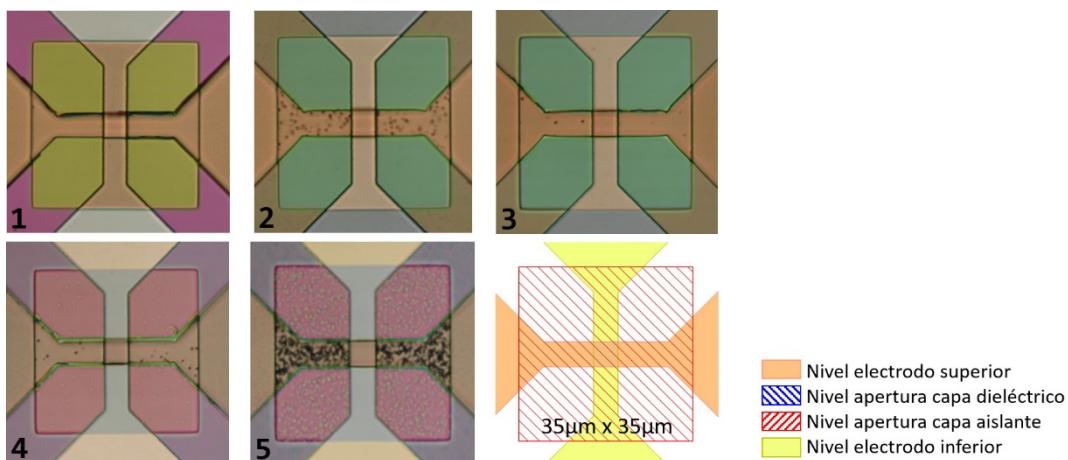
el capítulo 3. Al igual que en la caracterización realizada para estudiar los dispositivos fabricados con las antiguas máscaras, se ha realizado un estudio preliminar de dispositivos pertenecientes a las distintas zonas de las obleas y de diversas áreas. Se ha observado que muy pocos dispositivos ( $\leq 5\%$ ) eran defectuosos antes de iniciar la medida eléctrica, es decir, que el valor de resistencia que han mostrado durante la etapa inicial de forming era muy grande ( $\geq 10^{12} \Omega$ ). Además, aquellos que han aparecido defectuosos no seguían ninguna dependencia respecto de su posición en la oblea. Esto indica que la capa de  $\text{HfO}_2$  depositada mediante ALD, tanto en estos dos lotes como en los estudiados en anteriores capítulos, tiene un alto grado de uniformidad y presenta pocos puntos de fallo. Sin embargo, en el estudio del comportamiento de la comutación resistiva de estos dispositivos se ha podido observar que la variabilidad entre dispositivos de la misma oblea, y ciclo a ciclo en un mismo dispositivo, es mayor que la observada en los dispositivos estudiados en los anteriores capítulos. En la caracterización realizada a las obleas del primer lote se ha observado que los dispositivos individuales que mejor comportamiento de comutación resistiva son aquellos cuyas celdas MIM tienen áreas pequeñas ( $2.5 \times 2.5 \mu\text{m}^2$ ,  $5 \times 5 \mu\text{m}^2$ ,  $10 \times 10 \mu\text{m}^2$ ), resultado que apoya el obtenido en la caracterización eléctrica de los anteriores dispositivos fabricados (ver capítulo 3). Además, no se ha observado una diferencia apreciable en el comportamiento entre los dispositivos individuales cuyo contacto del electrodo inferior está cubierto por la capa del electrodo superior, emplazados en el chip tipo 1, y de los dispositivos individuales cuyo contacto del electrodo inferior no está cubierto, emplazados en el tipo de chip 3 (ver **Figura 7-6** y **Figura 7-7**). Hay que recordar que en el primer lote las obleas están fabricadas de tal forma que la mitad izquierda está ocupada por chips del tipo 1, mientras que la mitad derecha está ocupada por chips del tipo 3 (ver **Figura 7-17**). A modo de ejemplo, en la **Figura 7-38** se muestran dos ejemplos representativos del comportamiento de los dispositivos individuales del primer lote de obleas, es decir, sin capa de aislamiento. El primer dispositivo (en rojo) pertenece a un chip de tipo 3 de la oblea 1, con lo que su capa de  $\text{HfO}_2$  tiene un espesor de 20 nm y el contacto de su electrodo inferior no está cubierto por la capa metálica del electrodo superior, mientras que el segundo dispositivo (en verde) pertenece a un chip de tipo 1 de la oblea 3, con lo que su capa de  $\text{HfO}_2$  tiene un espesor de 15 nm y el contacto de su electrodo inferior está cubierto por la capa metálica del electrodo

superior. Como se puede observar, los niveles de corriente para ambos estados resistivos, HRS y LRS, son muy similares, con lo que la presencia, o no, del apilamiento de ambas capas metálicas en el contacto del electrodo inferior no modifica el comportamiento de la conmutación resistiva de los dispositivos. De igual manera lo mismo se puede interpretar respecto el espesor de la capa de dieléctrico, ya que, tanto en estos dos ejemplos representativos, como en el resto de las medidas realizadas, se ha podido observar que los niveles de corriente de ambos niveles resistivos no presentan una clara dependencia respecto este parámetro, y aunque en realidad existiera una pequeña tendencia, esta estaría enmascarada por la variabilidad dispositivo a dispositivo. Sí que es cierto que entre estos dos casos se aprecia una diferencia en el punto donde comienza la transición RESET y, se podría llegar a pensar, al sólo observar estos dos ejemplos, que muestra una dependencia respecto del espesor del dieléctrico, aunque no es así en realidad, ya que estos dos comportamientos se han observado en los dispositivos de las cuatro obleas del primer lote, independientemente de la oblea a la que pertenezcan. La característica I-V de las curvas verdes es la más comúnmente medida, mientras que la perteneciente a los ciclos en rojo aparece aleatoriamente. Donde sí se aprecia claramente que el espesor de la capa de dieléctrico un factor relevante es en la etapa inicial de forming, en la que en todos los dispositivos medidos con un mayor espesor de HfO<sub>2</sub> se ha producido la ruptura dieléctrica reversible a un mayor valor de voltaje, siendo típico el rango de valores entre 6 V y 7 V para los dispositivos con un espesor de capa de dieléctrico de 20 nm y entre 5 V y 6 V para los dispositivos con un espesor de 15 nm.



**Figura 7-38.** (a) Característica I-V durante el forming de dos dispositivos individuales cuyas celdas MIM son de configuración en cruce y área  $2.5 \times 2.5 \mu\text{m}^2$ . Ambos dispositivos pertenecen al lote de obleas sin capa de aislamiento. (b) Característica I-V de 10 ciclos de barrido de voltaje por rampas medidos en los dos mismos dispositivos a continuación de la etapa de forming.

La variabilidad observada en los dispositivos del primer lote puede atribuirse al uso de lift-off en el proceso de definición de los electrodos en vez del uso de grabado seco para tal cometido. Sin embargo, también hay una gran variabilidad presente en los dispositivos (de los tres tipos de configuración topológicas) del segundo lote de obleas y en este caso, el uso del lift-off no debería influir, al menos en los dispositivos de configuración aislada ya que, en la fabricación de este tipo de dispositivos con las antiguas máscaras, se utilizó lift-off para definir la capa metálica del electrodo superior y el comportamiento eléctrico observado fue bueno. Debido a este comportamiento generalizado que, aparte, parecía tener una cierta dependencia respecto de la oblea en la que se encontraban los dispositivos, se realizó una inspección óptica más detallada de las obleas y se descubrió que podía haber habido un problema durante el ataque de grabado seco para abrir la capa de aislamiento de  $\text{SiO}_2$  que separa las capas metálicas de los electrodos (ver **Figura 7-39**).

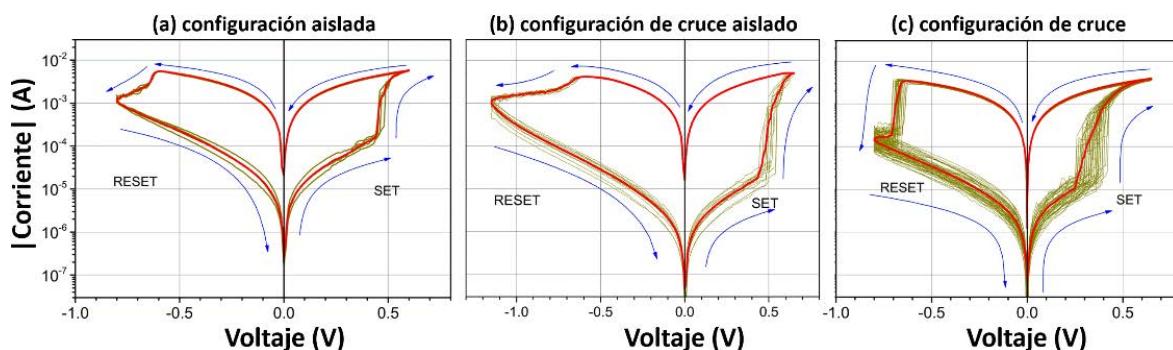


**Figura 7-39.** Inspección óptica de la apertura de un cuadrado en la capa de aislamiento de  $\text{SiO}_2$  en un dispositivo en el chip central de las cinco obleas del segundo lote.

Al igual que ocurre en el primer lote de obleas, el valor del espesor de la capa de  $\text{HfO}_2$  ha sido relevante en la etapa inicial de forming de los dispositivos siendo el típico el rango de valores entre 6.0 V y 7.0 V para los dispositivos de las obleas 1 y 4 (espesor de 20 nm) y entre 3.5 V y 5.0 V para los dispositivos de las obleas 2, 3 y 5 (espesor de 15 nm).

Otra característica generalizada que se ha observado en este segundo lote es que los niveles de corriente medidos son más elevados, sobre todo en dispositivos con configuración aislada, haciendo necesario el uso de una limitación de corriente durante el barrido positivo para evitar la ruptura total de los dispositivos, o en su defecto, disminuir

los valores de voltaje límite que se habían utilizado en los antiguos dispositivos ( $-1.4\text{ V}, +1.1\text{ V}$ ) para no llegar a niveles tan altos de corriente. De hecho, después de varias medidas se estableció que usando el rango ( $-0.80\text{ V}, +0.65\text{ V}$ ) en los barridos de voltaje no era necesario aplicar el uso de limitación de corriente, obteniéndose una respuesta adecuada, como se puede observar en la **Figura 7-40**, donde se muestra la característica I-V obtenida durante la medida de una secuencia de ciclos de barrido de voltaje en tres dispositivos individuales en los que se han empleado las tres configuraciones distintas para construir las estructuras de las celdas MIM, todos ellos pertenecientes a la oblea 2 de este segundo lote. Estos tres dispositivos son ejemplos representativos del comportamiento de la conmutación resistiva para cada uno de los tipos de configuración topológica.

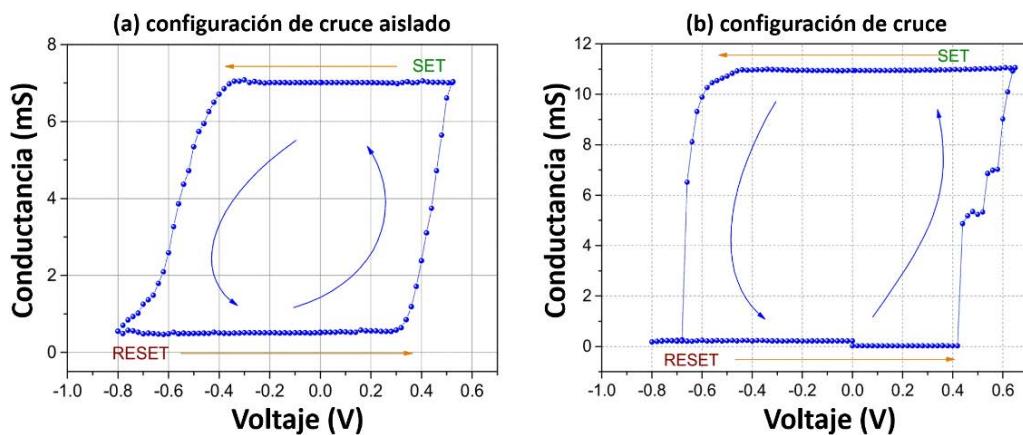


**Figura 7-40.** Característica I-V de la conmutación resistiva obtenida durante la medida de una secuencia de ciclos de barridos de voltaje, mediante rampas, en dispositivos con una sola celda MIM de dimensiones  $2.5 \times 2.5\text{ }\mu\text{m}^2$  para los tres tipos de configuración. La pendiente de los barridos de voltaje aplicados ha sido de  $50\text{ mV/s}$ .

La configuración aislada (a) muestra valores de corriente más altos en ambos estados resistivos, HRS y LRS, que puede estar asociado al hecho de que estos dispositivos tengan una menor resistencia en serie asociada a la estructura de los electrodos, como ocurría en los antiguos dispositivos en configuración aislada. Para las otras dos configuraciones, de cruce aislado (b) y de cruce (c), los valores medidos de corriente son similares tanto en el HRS como en el LRS. En la configuración de cruce se observa que las transiciones SET/RESET son más abruptas que en las otras dos, siendo en la configuración de cruce aislado donde se producen de una forma más suave. Este hecho es relevante en cuanto más abruptas sean las transiciones, más difícil es obtener estados resitivos intermedios. Por tanto, los dispositivos cuya celda MIM presenta una configuración de cruce aislado parecen ser los más prometedores para aplicaciones en las que se requiere un comportamiento multinivel

de los dispositivos RRAM (computación neuromórfica, sinapsis artificiales). Es importante mencionar que en ninguna medida se ha limitado la corriente con ningún valor de seguridad, excepto en la etapa inicial de forming de los dispositivos. En el caso de que los dispositivos RRAM se utilizaran para aplicaciones de memoria, sería obligatorio utilizar una restricción de corriente que limitara la corriente en la transición de SET a niveles más bajos para reducir el consumo de energía.

En la **Figura 7-41** se muestran los mapas de memoria de conductancia obtenidos para dos dispositivos con celdas MIM en configuración de cruce aislado (a) y de cruce (b). Estos mapas confirman que las transiciones SET y RESET tienen un carácter más abrupto en el caso de la configuración de cruce que en la configuración de cruce aislado y que, por tanto, se pueden obtener y controlar estados resistivos intermedios más fácilmente con esta última configuración.



**Figura 7-41.** Mapas de memoria de conductancia obtenidos para dispositivos simples con configuración de cruce aislado (a) y de cruce (b).

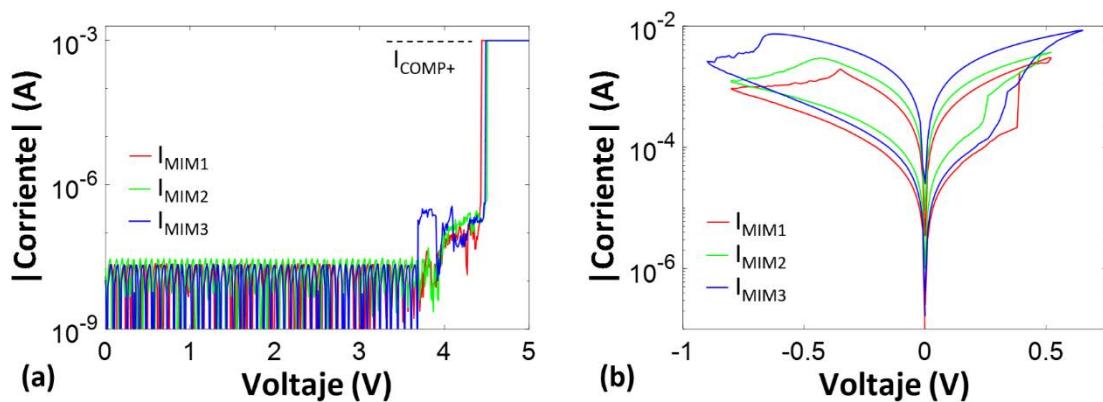
### 7.5.3 Resultados en dispositivos complejos

En este apartado se muestran dos ejemplos de medida global aplicada a dos tipos de dispositivos complejos: un dispositivo en serie directa y otro en serie inversa con el electrodo superior común.

#### Dispositivo en serie directa

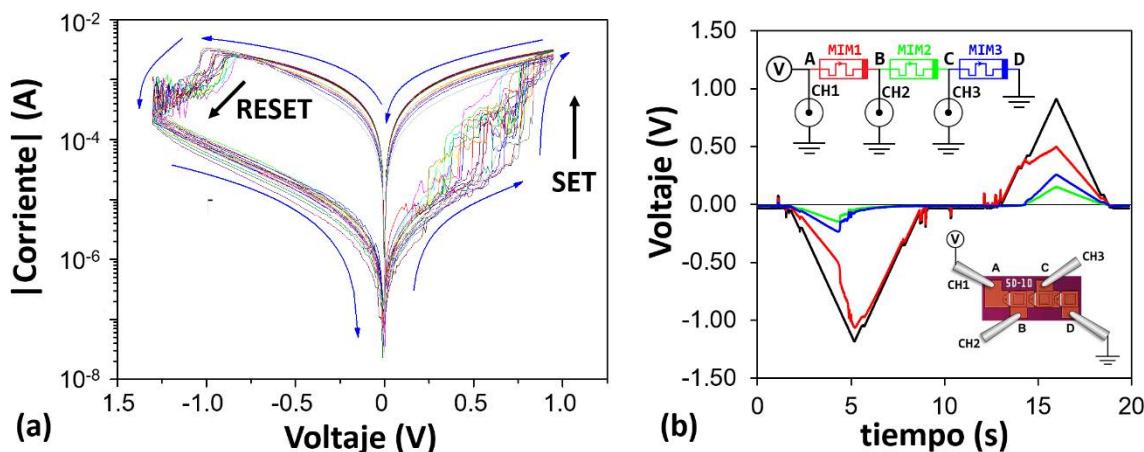
El dispositivo que se estudia en este ejemplo es el mostrado en la **Figura 7-36**, es decir, una estructura con tres celdas MIM de configuración aislada y área  $10 \times 10 \mu\text{m}^2$  asociadas en serie directa. El montaje instrumental utilizado es el mostrado en la **Figura 7-37**.

En la **Figura 7-42** se puede observar las medidas características durante el procedimiento previo a la medida global del dispositivo. En (a) se muestran los procesos de forming de las tres celdas MIM y en (b) los últimos ciclos individuales medidos en cada celda MIM antes de empezar a realizar la medida global. Como se puede observar los límites de voltaje del ciclo de barrido de la celda MIM3 son diferentes a los de las otras dos celdas. Esto es debido a que se ha intentado conseguir que el estado resistivo del HRS sea el mismo en las tres celdas antes de proceder a realizar la medida global y como el nivel de corriente del HRS medido en la celda MIM3, con el uso de los valores de voltaje utilizados en las otras dos celdas, era mayor, se han variado los límites de voltaje a razón de disminuirlo y hacerlo similar al de las otras dos celdas. La razón del procedimiento de intentar igualar los niveles HRS es para poder intentar dotar de cierta aleatoriedad al comienzo de la medida global, ya que como se puede suponer, si una de las celdas tiene un nivel resistivo del HRS mucho mayor que las otras, la mayor parte de tensión aplicada al conjunto del dispositivo caerá en esta celda haciendo que sea la primera en conmutar y, por lo observado en varias medidas realizadas a dispositivos en serie directa, siempre que conmuta un dispositivo es el que sigue conmutando en los siguientes ciclos, a no ser que a las celdas MIM se les apliquen independientemente ciclos individuales para cambiar la naturaleza de su filamento y, por tanto, su comportamiento eléctrico, lo que conlleva un cambio en el comportamiento global.



**Figura 7-42.** (a) Característica I-V del proceso inicial de forming de las 3 celdas MIM de un dispositivo en serie directa, como el de la **Figura 7-36**, de la oblea 2 del lote con capa de aislamiento. Las celdas MIM son de configuración aislada y de área  $10 \times 10 \mu\text{m}^2$  (b) Característica I-V del último ciclo de conmutación resistiva medido independientemente en cada celda antes de proceder a la medida global del dispositivo.

En la **Figura 7-43a** se muestra la característica I-V de una secuencia de 20 ciclos de barridos por rampas aplicado globalmente al dispositivo mientras que en la **Figura 7-43b** se muestran las caídas parciales de voltaje en cada una de las celdas cuya suma total corresponde al barrido de voltaje aplicado globalmente, según el esquema eléctrico y el montaje mostrado en el inserto. Se puede observar como la mayor parte del voltaje aplicado al dispositivo cae en la celda MIM1, lo cual se podía esperar ya que como se observa en la **Figura 7-42b**, esta celda es la que muestra los estados más resistivos de las tres celdas y, por tanto, es la iba a soportar una mayor caída de voltaje que provoca que conmute antes que la otras.

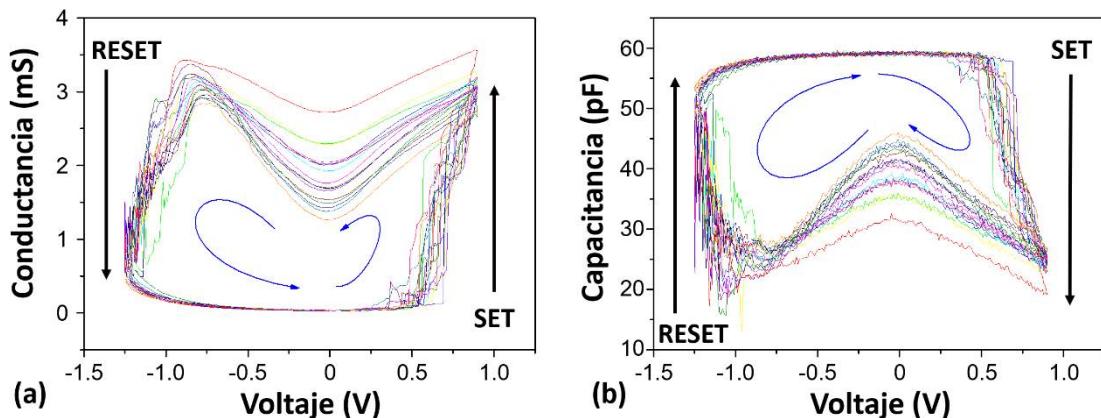


**Figura 7-43.** (a) Característica I-V de 20 ciclos de barrido de voltaje por rampas medidos globalmente en el dispositivo de serie directa. (b) Caída de voltaje en cada una de las celdas MIM del dispositivo durante un ciclo de (a). Los insertos muestran el esquema eléctrico del experimento y una representación de las conexiones realizadas.

Inicialmente la medida global comienza con las tres celdas en el HRS. La primera celda que conmuta al LRS es aquella cuyo valor de resistencia es mayor y, por tanto, la que más caída de voltaje está experimentando. Una vez que se produce el SET en esta celda, la caída de voltaje disminuye en ella porque su resistencia ha disminuido al haber cambiado al LRS. De esta manera en las otras dos celdas empiezan a haber una mayor caída de voltaje, tanto porque la primera celda está en el LRS, como porque cada vez se está aplicando un valor de voltaje mayor (rampa de subida positiva) lo cual produce que a continuación una de las dos celdas en el HRS commute al LRS y casi instantáneamente, la restante celda también lo haga casi en un efecto cascada. Una vez que las tres celdas están en el LRS después del barrido positivo, se empieza a aplicar el barrido negativo, en el que la situación es la inversa.

En principio la celda MIM que sufrirá un RESET será aquella con un mayor valor de resistencia, es decir, cuyo LRS sea más resistivo. En este caso, gracias a lo observado de las características individuales de cada celda en la **Figura 7-42b**, era predecible que fuera la celda MIM1. En este momento la celda que conmuta al HRS empezará a llevarse la mayor caída de potencial debido a que su resistencia está siendo aumentada por el proceso de RESET, imposibilitando que las otras dos celdas puedan conmutar al HRS. Una vez acabado este primer ciclo se puede determinar cuál es la celda que seguirá conmutando y, por tanto, cuál será el comportamiento del dispositivo, si por supuesto no se cambian los límites del barrido de voltaje o se hacen medidas individuales a cada celda, como se ha comentado anteriormente. Como se puede intuir, en este dispositivo el límite de voltaje del barrido positivo puede aumentarse con seguridad ya que la caída se dividirá entre las tres celdas, aunque en principio haya una que se experimente una mayor caída. Es más, se puede considerar que un aumento grande de este límite podría lograr que los valores de resistencia en el LRS de las tres celdas se asemejaran, lo que conseguiría que durante el barrido negativo la celda que fuera a conmutar al HRS no fuera la misma que en el anterior ciclo, rompiendo esa predeterminación inicial establecida desde el primer ciclo bajo los mismos límites de voltaje iniciales. Este modo de operación global de este dispositivo podría ser de gran utilidad en aplicaciones de generación de contraseñas aleatorias.

Para un mayor análisis del comportamiento, en la **Figura 7-44** se muestra la medida de la admitancia del dispositivo durante 20 ciclos de barrido de voltaje como los mostrados en la **Figura 7-43a**. Se puede observar cómo durante un ciclo de conmutación resistiva la característica de la conductancia (**Figura 7-44a**) es contraria a la de la capacitancia (**Figura 7-44b**) ya que cuando el dispositivo conduce (LRS) significa que los filamentos conductores de las tres celdas están completamente formados y, por tanto, la poca componente capacitiva que puedan presentar las celdas MIM se reduce. Lo contrario ocurre durante el proceso de RESET, en el cual en una de las celdas el filamento conductor es roto parcialmente otorgando una componente capacitiva un poco mayor a esta celda. De todas maneras, hay que notar que los valores sobre los que se está discutiendo es de unos pocos picofaradios, los cuales no van a tener una relevancia real en el comportamiento del dispositivo.



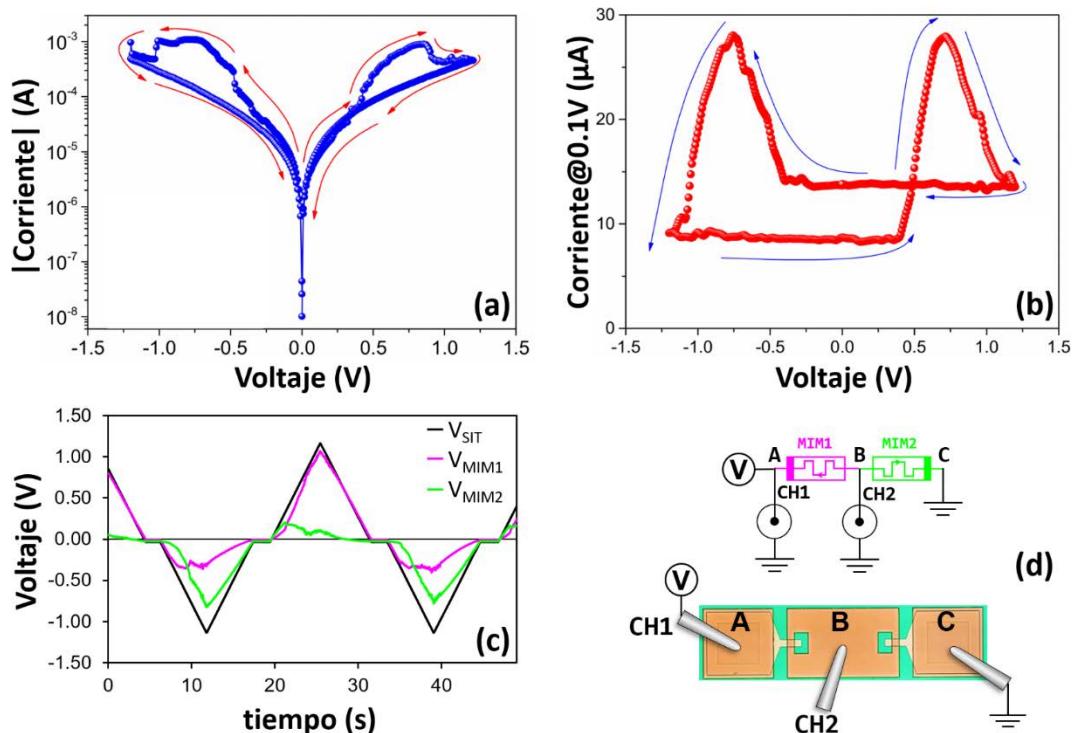
**Figura 7-44.** Medida de la admitancia, durante 20 ciclos de barrido de voltaje por rampas medidas globalmente en el dispositivo de serie directa.

#### Dispositivo en serie inversa con electrodo superior común

En la **Figura 7-45** se muestra un ejemplo de medida de un dispositivo de la oblea 4 del primer lote (sin capa de aislamiento y configuración en cruce) con dos celdas de área  $10 \times 10 \mu\text{m}^2$  en disposición antiserie, en la que ambas tienen el electrodo superior común mientras que los electrodos inferiores son independientes (ver **Figura 7-20**). Este modo de asociar ambas estructuras MIM en antiserie es justamente el opuesto al visto en el capítulo 5, aunque el objetivo es el mismo, conseguir obtener un comportamiento de CRS.

Para caracterizar el comportamiento de este dispositivo complejo el procedimiento seguido ha sido el mismo que el utilizado en el capítulo 5, aplicar a uno de los electrodos inferiores ciclos de barridos de voltaje mediante rampas mientras el otro estaba conectado a tierra. En la **Figura 7-45a** se muestra la característica I-V representativa que se ha obtenido durante todos los ciclos, en la cual se puede apreciar claramente el comportamiento CRS esperado para esta configuración de celdas MIM. En la **Figura 7-45b** se puede observar el mapa de memoria obtenido para la corriente medida a 0.1 V después de cada voltaje durante el ciclo. Esta información complementaria determina de una manera más evidente el estado resistivo que tiene el dispositivo durante un ciclo que en la gráfica de la curva I-V. Se puede observar que, aunque el comportamiento en los picos es simétrico, ya que se producen a los mismos voltajes ( $\pm V_{\text{Pico}}$ ) y la corriente medida en ambos es similar, la celda MIM1 posee un HRS más resistivo que la celda MIM2, lo cual coincide con los resultados vistos en el apartado 5.2.2, donde se apreciaba que si el límite de voltaje aplicado durante el ciclo de barrido no es elevado y, por tanto, no causa degradación en

los dispositivos, aunque el comportamiento eléctrico global era principalmente simétrico, se podía apreciar como las características propias de cada celda aportaban diferencias que establecían una cierta asimetría en la medida. Hay que hacer notar que en este dispositivo el comportamiento es el contrario al observado en el capítulo 5, ya que en ese caso las celdas compartían en electrodo inferior. Es decir, en este caso el pico de la derecha ( $V_{\text{Pico}(+)}$ ) corresponde al inicio de la transición de RESET de la celda MIM1 mientras que el pico de la izquierda ( $V_{\text{Pico}(-)}$ ) corresponde al inicio de la transición RESET de la celda MIM2. Este comportamiento se puede observar de una manera más clara en la **Figura 7-45c** donde se ve la caída de voltaje en cada celda MIM y se puede apreciar como para las rampas de voltaje positivo la celda MIM2 (verde) inicialmente tiene un SET para poco después producirse un RESET en la celda MIM1 (magenta), mientras que para las rampas de voltaje negativo ocurre exactamente lo contrario. En esta figura también se puede corroborar lo afirmado anteriormente de que el estado resistivo del HRS de la MIM1 es mayor que de la MIM2, ya que se aprecia como la caída del voltaje en la celda MIM1, cuando esta está en HRS, es mayor que la caída de voltaje en la celda MIM2, cuando esta está en HRS.



**Figura 7-45.** Característica I-V de un ciclo de conmutación resistiva (a) y mapa de memoria de la corriente (b) medidos en un dispositivo con dos celdas MIM en disposición antiserie y fabricadas con configuración de cruce. (c) Caída del voltaje en cada celda MIM medido con un osciloscopio según el esquema eléctrico y la conexión mostrada en (d).

## 7.6 Conclusiones

En este capítulo se ha mostrado el nuevo diseño de dispositivos y estructuras incluyendo: dispositivos simples con un rediseño respecto de los anteriores, dispositivos complejos con una gran variedad de modos de asociación de celdas MIM, estructuras de test para la caracterización del proceso de fabricación y estructuras para una futura integración con estructuras nanométricas fabricadas mediante EBL. Además, se ha diseñado una nueva configuración constructiva de celdas MIM (cruce aislado) aprovechando el conocimiento de las otras dos ya utilizadas con anterioridad. Todos estos diseños se han incluido en un conjunto de retículos fotolitográficos para stepper que permite un proceso de fabricación más automático e industrializado que el realizado previamente con las máscaras fotolitográficas de contacto ya existentes.

Se han fabricado dos lotes de obleas, uno sin capa de aislamiento, para la obtención de dispositivos en configuración en cruce, y otro con capa de aislamiento para la obtención de dispositivos con los tres tipos de configuraciones: en cruce, aislada y en cruce aislado.

La inspección física realizada a estos lotes de obleas ha demostrado la utilidad de las estructuras de test diseñadas para tal propósito y la buena integración de los diseños con la tecnología del stepper, obteniéndose estructuras más pequeñas y con mejor definición que con las antiguas máscaras.

De la caracterización física realizada mediante SEM a tres dispositivos fabricados con las configuraciones constructivas, se ha podido comprobar que la nueva configuración en cruce aislado muestra las características combinadas buscadas de las otras dos configuraciones.

Se han caracterizado eléctricamente los nuevos dispositivos de las tres configuraciones constructivas de celdas MIM. Las curvas I-V y los mapas de memoria obtenidos indican que la configuración aislada muestra valores de corriente más altos tanto en el HRS como en el LRS, mientras que las configuraciones de cruce y cruce aislado muestran niveles inferiores que son similares entre ambas. Los procesos de transición SET/RESET tienen un carácter más abrupto en el caso del dispositivo con configuración de cruce, mientras que son más suaves para los dispositivos con configuraciones de celda MIM aislada y en cruce aislado. Estos hechos implican que se puede lograr y controlar estados resistivos intermedios más

fácilmente en dispositivos con celdas con configuración de cruce aislado siendo favorable para aplicaciones multinivel como la computación neuromórfica o las sinapsis artificiales. Finalmente, de la caracterización eléctrica realizada a varios dispositivos complejos, se ha podido observar que muestran una completa operatividad garantizando que pueden tener una alta funcionalidad.

## **8. Conclusiones**

---

Esta tesis se ha centrado en el estudio de dispositivos MIM del tipo TiN/Ti/HfO<sub>2</sub>/W, que permiten una integración total con las actuales tecnologías de fabricación nano y microelectrónica y que presentan un tipo de conmutación resistiva bipolar, basada en conducción filamentaria, muy prometedora dentro de los distintos tipos de conmutación resistiva, para después caracterizarlos y, tomando como referencia los resultados obtenidos, realizar un diseño posterior de nuevos tipos de dispositivos.

En primer lugar, con unas máscaras fotolitográficas ya existentes, se han fabricado y caracterizado físicamente dispositivos con dos tipos de configuración constructiva, en cruce y aislada. De la caracterización del comportamiento eléctrico de estos dispositivos mediante barridos de voltaje bipolares con rampas se han determinado los parámetros característicos de la conmutación resistiva, su variabilidad ciclo a ciclo, y el rendimiento de cada configuración, obteniéndose mejores resultados para las celdas de áreas pequeñas en los dispositivos con configuración en cruce, mientras que en los de configuración aislada son los de áreas mayores. En ambos casos las características resistivas son muy similares, con una ventana de 1.5 a 2.0 décadas entre los dos estados resitivos, con una variabilidad ciclo a ciclo mayor en el estado de alta resistencia con respecto a la correspondiente en el estado de baja resistencia, de acuerdo con el modelo físico que explica la conmutación resistiva. En lo que atañe a las transiciones SET/RESET, estas se producen a los mismos

valores de voltaje, lo que indica robustez en el proceso de conmutación resistiva e independencia respecto de la naturaleza de la configuración constructiva. Aplicando secuencias largas de ciclos de barrido con rampas y de ciclos de trenes de pulsos se ha determinado que los valores de resistencia medidos con ambos métodos son muy similares y permanecen muy diferenciados y marcados durante toda la secuencia de medida, conservando estables los voltajes a los que se inician las transiciones SET/RESET, lo que indica una excelente operatividad y robustez de los dispositivos durante largos períodos de funcionamiento. Finalmente, aumentando la tensión negativa aplicada a los dispositivos se ha logrado identificar el valor de voltaje de degradación a partir del cual el comportamiento del dispositivo en el estado de alta resistencia cambia, haciéndose menos resistivo, pero también mucho menos variable, mientras que el estado de baja resistencia permanece prácticamente idéntico.

Se han realizado medidas multinivel, tanto con ciclos de barridos por rampas como con ciclos de trenes de pulsos, que han permitido distinguir claramente una respuesta de estados resistivos multinivel. Se ha demostrado que al aumentar el límite de corriente durante la transición de SET se incrementa considerablemente la conductancia en LRS, mientras que al aumentar la tensión negativa aplicada durante el proceso de RESET se reduce la conductancia en el HRS, pudiendo ser esta ajustada, a condición de que el valor sea superior al de la conductancia cuántica, hecho que se corresponde con una relación corriente-tensión lineal consecuencia de la presencia de un filamento conductor completamente formado que conecta ambos electrodos. Así pues, de estos resultados se concluye que los dispositivos fabricados pueden ser empleados como dispositivos para sinapsis electrónicas en circuitos neuromórficos.

La disponibilidad de celdas MIM que comparten el metal del electrodo inferior ha permitido estudiar y caracterizar el fenómeno de la conmutación resistiva complementaria mediante la asociación en antiserie de dos de las celdas de configuración aislada. Este tipo de conexión protege la integridad de los dispositivos después de la transición de SET, debido a que cuando una celda MIM comuta al LRS, la otra celda actúa por consiguiente de limitador. El estudio de las características eléctricas de asociaciones antiserie de dos celdas mediante ciclos de barrido incrementando linealmente el voltaje límite, ha mostrado la capacidad de modulación de la ventana de CRS en función de este parámetro. Por otro

lado, variando en zigzag la tensión límite hasta valores elevados para causar un estrés eléctrico que produzca cambios irreversibles en el dispositivo, se ha podido determinar el punto de operación óptimo antes de la degradación de los dispositivos, el punto de degradación de estos y la tendencia y comportamiento de la CRS en los dispositivos una vez superado este punto.

Para obtener una mayor comprensión del fenómeno de la conmutación resistiva en los dispositivos TiN/Ti/HfO<sub>2</sub>/W fabricados, se ha propuesto y desarrollado una nueva metodología que permite caracterizar mediante técnicas físicas las estructuras filamentarias situadas en la capa del dieléctrico de los dispositivos en configuración aislada después de eliminar el electrodo superior de TiN/Ti mediante un proceso químico selectivo. Los resultados obtenidos demuestran la presencia de una única estructura filamentaria por celda MIM, cuya morfología y tamaño depende fuertemente de las condiciones eléctricas aplicadas, lo cual permite determinar el estado resistivo de cada dispositivo antes de su eliminación, ya sean dejados en LRS, HRS o un estado degradado.

Finalmente, con toda la información obtenida del trabajo realizado, se ha diseñado un conjunto de retículos para stepper que permite un proceso de fabricación más automático que el realizado previamente con las máscaras fotolitográficas de contacto. En estos retículos se han incluido nuevos diseños de: dispositivos simples con tres configuraciones constructivas (en cruce, aislado y cruce aislado), dispositivos complejos con una gran variedad de modos de asociación de celdas MIM, estructuras de test para la inspección física del proceso de fabricación y estructuras micrométricas para una futura integración con estructuras nanométricas fabricadas mediante EBL. Con estos nuevos retículos se han fabricados lotes de obleas cuya caracterización física ha demostrado la utilidad de las nuevas estructuras de test, la buena integración de los diseños con la tecnología del stepper, obteniéndose estructuras de menores dimensiones en comparación con la tecnología de fotolitografía de contacto/proximidad. Además, de la caracterización eléctrica realizada a los distintos tipos de dispositivos se ha podido determinar que el comportamiento de la nueva configuración de cruce aislado es prometedora y que los dispositivos complejos muestran una completa operatividad garantizando que pueden tener una alta funcionalidad.

En resumen, el trabajo llevado a cabo durante el desarrollo de esta tesis ha permitido un mayor conocimiento sobre el comportamiento de la conmutación resistiva en dispositivos TiN/Ti/HfO<sub>2</sub>/W, demostrando su gran potencial para un gran número de aplicaciones del campo de la computación y de la inteligencia artificial, además de la realización de unos nuevos diseños que han permitido la fabricación integrada de dispositivos complejos en una tecnología de fabricación más automatizada. La mayor parte de los resultados incluidos en esta tesis han sido publicados en revistas especializadas o expuestos en conferencias nacionales e internacionales.

# Contribuciones científicas

## PUBLICACIONES EN REVISTAS

- [1] **S. Poblador**, M. Maestro-Izquierdo, M. Zabala, M. B. González, F. Campabadal, “*Methodology for the characterization and observation of filamentary spots in HfO<sub>x</sub>-based memristor devices*”, *Microelectronic Engineering* 223 (2020) 111232. doi: 10.1016/j.mee.2020.111232.
- [2] **S. Poblador**, M. B. Gonzalez, F. Campabadal, “*Investigation of the multilevel capability of TiN/Ti/HfO<sub>2</sub>/W resistive switching devices by sweep and pulse programming*”, *Microelectronic Engineering* 187–188 (2018) 148–153. doi: 10.1016/j.mee.2017.11.007.

## CAPÍTULOS DE LIBROS

- [1] M. B. González, M. Maestro-Izquierdo, **S. Poblador**, M. Zabala, F. Campabadal, G. González-Cordero, S. Aldana, D. Maldonado, F. Jiménez-Molinos y J. B. Roldán, “*Synaptic devices based on HfO<sub>2</sub> memristors*”. Capítulo del libro “*Mem-elements for Neuromorphic Circuits with Artificial Intelligence Applications*”, Christos Volos y Viet-Thanh Pham, editores. Elsevier-Academic Press, 2021. ISBN: 978-0-12-821184-7. doi: 10.1016/B978-0-12-821184-7.00028-1

## PUBLICACIONES DE CONGRESOS

- [1] O. G. Ossorio, **S. Poblador**, G. Vinuesa, S. Duenas, H. Castan, M. Maestro-Izquierdo, M. B. González, F. Campabadal, “*Single and complex devices on three topological configurations of HfO<sub>2</sub> based RRAM*”. In: Proceedings of IEEE Latin American Electron Devices Conference (LAEDEC 2020), pp. 1–4. 2020. doi: 10.1109/LAEDC49063.2020.9073596.
- [2] **S. Poblador**, M. C. Acero, M. B. Gonzalez, F. Campabadal, “*Resistive switching with bipolar characteristics in TiN/Ti/HfO<sub>2</sub>/W devices*”. In: Proceedings of the 2017 Spanish Conference on Electron Devices (CDE2017), pp. 1–4. 2017. doi: 10.1109/CDE.2017.7905217.

## CONTRIBUCIONES EN CONGRESOS

- [1] M. Saludes-Tapia, **S. Poblador**, F. Campabadal, J. Suñé, E. Miranda, M. B. González, “*Complementary Resistive Switching in Anti-Serially Connected HfO<sub>2</sub>-based*

*Memristors". 13th Spanish Conference on Electron Devices (CDE 2021), Virtual edition, 9-11 June 2021, Sevilla, Spain. Poster presentation.*

- [2] M. Saludes-Tapia, **S. Poblador**, M. B. González, F. Campabadal, J. Suñé, E. Miranda, “*Characterization and Modelling of Complementary Resistive Switching in HfO<sub>2</sub>-based Memristors for Neuromorphic Applications*”. 5<sup>th</sup> Scientific Meeting of PhD Students (JPhD 2021), Virtual edition, 17-18 September 2021, Bellaterra, Spain. Oral communication.
- [3] O.G. Ossorio, **S. Poblador**, G. Vinuesa, S. Duenas, H. Castan, M. Maestro-Izquierdo, M. B. Bargallo, F. Campabadal, “*Single and complex devices on three topological configurations of HfO<sub>2</sub> based RRAM*”. IEEE Latin American Electron Devices Conference (LAEDEC 2020), 25-28 Febrary 2020, San José, Costa Rica. Oral communication.
- [4] M. B. González, M. Maestro-Izquierdo, S. Aldana, **S. Poblador**, F. Jiménez-Molinos, J. B. Roldán, F. Campabadal, “*Control of Synaptic Weight Updates in HfO<sub>2</sub>-based Memristors for Artificial Neuromorphic Systems*”. Internacionnal Conference on Memristive Materials, Devices & Systems (MEMRISYS 2019), 8-11 July 2019, Dresden, Germany. Oral communication.
- [5] **S. Poblador**, M. Maestro-Izquierdo, M. Zabala, M. B. González, F. Campabadal, “*Characterization Methodology of Filamentary Structures in TiN/Ti/HfO<sub>2</sub>/W Resistive Switching Devices*”. 21<sup>st</sup> Conference on Insulating Films on Semiconductors (INFOS 2019), 1-3 July 2019, Cambridge, United Kingdom. Poster presentation.
- [6] M. Maestro-Izquierdo, **S. Poblador**, M. B. González, M. Zabala, F. Campabadal, “*Impact of the Spike Time Scale on the Spike-Timing Dependent Plasticity (STDP) rule*”. 21<sup>st</sup> Conference on Insulating Films on Semiconductors (INFOS 2019), 1-3 July 2019, Cambridge, United Kingdom. Poster presentation.
- [7] **S. Poblador**, M. Maestro, M. Zabala, M. C. Acero, M. B. González, F. Campabadal, “*Physical characterization of filamentary structures in TiN/Ti/HfO<sub>2</sub>/W memristor devices*”. 4<sup>th</sup> Scientific Meeting of BNC-b Students (JPhD 2019) 6-7 June 2019, Bellaterra, Spain. Poster presentation.
- [8] M. Maestro, **S. Poblador**, M. Zabala, M. C. Acero, M. B. González, F. Campabadal, “*Electrical Characterization and Resistive Switching Behavior of HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> Multilayer Stacks*”. 12<sup>th</sup> Spanish Conference on Electron Devices (CDE 2018), 14-16 November 2018, Salamanca, Spain. Poster presentation.
- [9] **S. Poblador**, M. Maestro, M. Zabala, M. C. Acero, M. B. González, F. Campabadal, “*Physical Characterization of Filamentary Structures in TiN/Ti/HfO<sub>2</sub>/W Memristor*

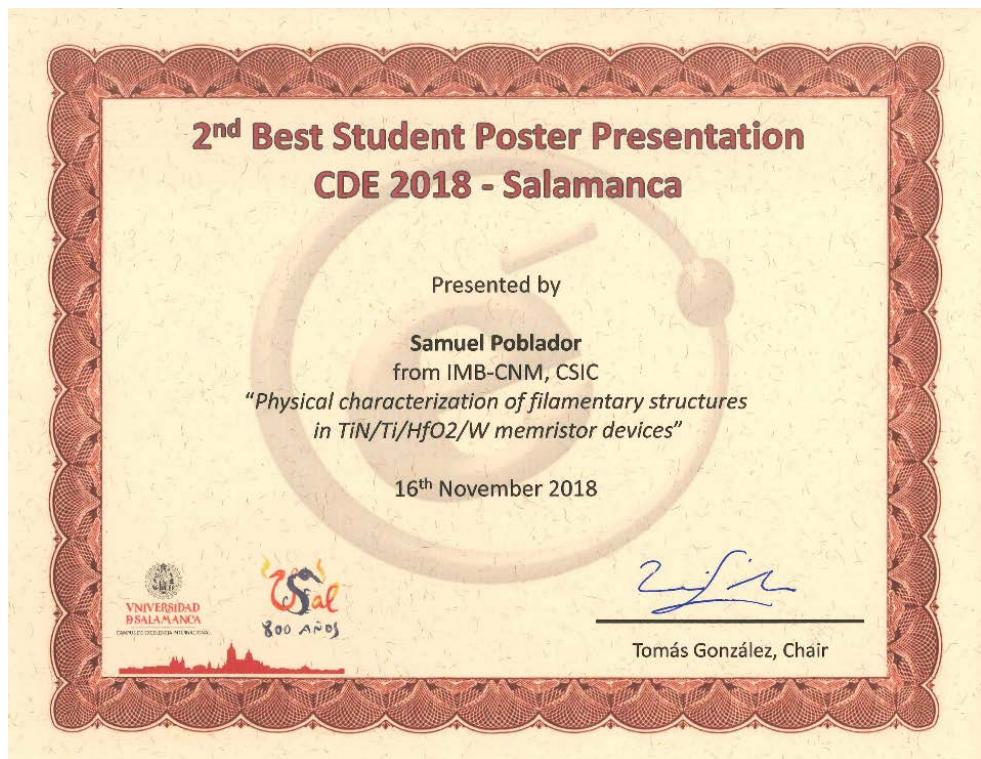
*Devices". 12<sup>th</sup> Spanish Conference on Electron Devices (CDE 2018), 14-16 November 2018, Salamanca, Spain. Poster presentation.*

- [10] M. B. González, M. Maestro, A. Rodríguez-Fernández, **S. Poblador**, E. Miranda, J. Suñé, F. Jiménez-Molinos, J. B. Roldán y F. Campabadal, "Advanced characterization of TiN/Ti/HfO<sub>2</sub>/W memristor devices as electronic synapses". 12<sup>th</sup> Spanish Conference on Electron Devices (CDE 2018), 14-16 November 2018, Salamanca, Spain. Oral communication.
- [11] M. Maestro, **S. Poblador**, M. Zabala, M. C. Acero, M. B. González, F. Campabadal, "Assessment of Resistive Switching Characteristics on Different HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> Dielectric Stacks". 20<sup>th</sup> Workshop on Dielectrics in Microelectronics (WODIM 2018), 11-14 June 2018, Berlin, Germany. Poster presentation.
- [12] M.B. González, **S. Poblador**, M. Maestro, F. Jiménez-Molinos, J.B. Roldán, F. Campabadal, "Conductance Modulation of TiN/Ti/HfO<sub>2</sub>/W Memristor Devices through Ultrafast Pulsed Characterization". 20<sup>th</sup> Workshop on Dielectrics in Microelectronics (WODIM 2018), 11-14 June 2018, Berlin, Germany. Oral communication.
- [13] **S. Poblador**, M. C. Acero, M. M. Mallol, M. B. Gonzalez, F. Campabadal, "Electrical characterization of TiN/Ti/HfO<sub>2</sub>/W resistive switching devices". 3<sup>rd</sup> Scientific Meeting of BNC-b Students (JPhD 2017) 7-8 November 2017, Bellaterra, Spain. Oral communication.
- [14] M. B. Gonzalez, **S. Poblador**, M.M. Mallol, J. Calvo, M. Zabala, M.C. Acero, F. Campabadal, "Investigation of the multilevel capability of TiN/Ti/HfO<sub>2</sub>/W RRAM devices by pulse programming". International Conference on Memristive Materials, Devices & Systems (MEMRISYS 2017), 3-6 April 2017, Atenas, Greece. Oral communication.
- [15] **S. Poblador**, M. C. Acero, M. B. Gonzalez, F. Campabadal, "Resistive Switching with Bipolar Characteristics in TiN/Ti/HfO<sub>2</sub>/W Devices". 11<sup>th</sup> Spanish Conference on Electron Devices (CDE2017), 8-10 February 2017, Barcelona, Spain. Oral communication.



# Premios

2<sup>nd</sup> Best Student Poster Presentation in the 12<sup>th</sup> Spanish Conference on Electron Devices (CDE 2018), 14-16 November 2018, Salamanca, Spain.





## Referencias

- [1] J.G. Simmons, R.R. Verderber, New conduction and reversible memory phenomena in thin insulating films, *Proc. R. Soc. London. Ser. A. Math. Phys. Sci.* 301 (1967) 77–102. doi:10.1098/rspa.1967.0191.
- [2] F. Argall, Switching phenomena in titanium oxide thin films, *Solid. State. Electron.* 11 (1968) 535–541. doi:10.1016/0038-1101(68)90092-0.
- [3] L. Chua, Memristor-The missing circuit element, *IEEE Trans. Circuit Theory.* 18 (1971) 507–519. doi:10.1109/TCT.1971.1083337.
- [4] D.B. Strukov, G.S. Snider, D.R. Stewart, R.S. Williams, The missing memristor found, *Nature.* 453 (2008) 80–83. doi:10.1038/nature06932.
- [5] W. Wang, B. Zhang, H. Zhao, Forming-free bipolar and unipolar resistive switching behaviors with low operating voltage in Ag/Ti/CeO<sub>2</sub>/Pt devices, *Results Phys.* 16 (2020) 103001. doi:10.1016/j.rinp.2020.103001.
- [6] R. Degraeve, B. Kaczer, G. Groeseneken, Degradation and breakdown in thin oxide layers: mechanisms, models and reliability prediction, *Microelectron. Reliab.* 39 (1999) 1445–1460. doi:10.1016/S0026-2714(99)00051-7.
- [7] D.S. Jeong, H. Schroeder, R. Waser, Coexistence of Bipolar and Unipolar Resistive Switching Behaviors in a Pt/TiO<sub>2</sub>/Pt Stack, *Electrochem. Solid-State Lett.* 10 (2007) G51. doi:10.1149/1.2742989.
- [8] L. Goux, Y.-Y. Chen, L. Pantisano, X.-P. Wang, G. Groeseneken, M. Jurczak, D.J. Wouters, On the Gradual Unipolar and Bipolar Resistive Switching of TiN/HfO<sub>2</sub>/Pt Memory Systems, *Electrochem. Solid-State Lett.* 13 (2010) G54. doi:10.1149/1.3373529.
- [9] X. Sun, G. Li, X. Zhang, L. Ding, W. Zhang, Coexistence of the bipolar and unipolar resistive switching behaviours in Au/SrTiO<sub>3</sub>/Pt cells, *J. Phys. D. Appl. Phys.* 44 (2011) 125404. doi:10.1088/0022-3727/44/12/125404.
- [10] X.-C. Yuan, J.-L. Tang, H.-Z. Zeng, X.-H. Wei, Abnormal coexistence of unipolar, bipolar, and threshold resistive switching in an Al/NiO/ITO structure, *Nanoscale Res. Lett.* 9 (2014) 268. doi:10.1186/1556-276X-9-268.
- [11] B.J. Choi, D.S. Jeong, S.K. Kim, C. Rohde, S. Choi, J.H. Oh, H.J. Kim, C.S. Hwang, K. Szot, R. Waser, B. Reichenberg, S. Tiedke, Resistive switching mechanism of TiO<sub>2</sub> thin films grown by atomic-layer deposition, *J. Appl. Phys.* 98 (2005) 033715. doi:10.1063/1.2001146.
- [12] J. Yao, Z. Sun, L. Zhong, D. Natelson, J.M. Tour, Resistive switches and memories from silicon oxide, *Nano Lett.* 10 (2010) 4105–4110. doi:10.1021/nl102255r.
- [13] S. Spiga, A. Lamperti, C. Wiemer, M. Perego, E. Cianci, G. Tallarida, H.L. Lu, M. Alia, F.G. Volpe, M. Fanciulli, Resistance switching in amorphous and crystalline binary oxides grown by electron beam evaporation and atomic layer deposition, *Microelectron. Eng.* 85 (2008) 2414–2419. doi:10.1016/j.mee.2008.09.018.
- [14] F. Pan, S. Gao, C. Chen, C. Song, F. Zeng, Recent progress in resistive random access memories: Materials, switching mechanisms, and performance, *Mater. Sci. Eng. R*

- Reports. 83 (2014) 1–59. doi:10.1016/j.mser.2014.06.002.
- [15] J.S. Lee, S. Lee, T.W. Noh, Resistive switching phenomena: A review of statistical physics approaches, *Appl. Phys. Rev.* 2 (2015). doi:10.1063/1.4929512.
- [16] R. Tetzlaff, ed., *Memristors and Memristive Systems*, Springer New York, New York, NY, 2014. doi:10.1007/978-1-4614-9068-5.
- [17] R. Waser, M. Aono, Nanoionics-based resistive switching memories, *Nat. Mater.* 6 (2007) 833–840. doi:10.1038/nmat2023.
- [18] U. Celano, *Metrology and Physical Mechanisms in New Generation Ionic Devices*, Springer International Publishing, Cham, 2016. doi:10.1007/978-3-319-39531-9.
- [19] A. Chanthbouala, V. Garcia, R.O. Cherifi, K. Bouzehouane, S. Fusil, X. Moya, S. Xavier, H. Yamada, C. Deranlot, N.D. Mathur, M. Bibes, A. Barthélémy, J. Grollier, A ferroelectric memristor, *Nat. Mater.* 11 (2012) 860–864. doi:10.1038/nmat3415.
- [20] Z. Fan, H. Fan, L. Yang, P. Li, Z. Lu, G. Tian, Z. Huang, Z. Li, J. Yao, Q. Luo, C. Chen, D. Chen, Z. Yan, M. Zeng, X. Lu, X. Gao, J.-M. Liu, Resistive switching induced by charge trapping/detrapping: a unified mechanism for colossal electroresistance in certain Nb:SrTiO<sub>3</sub>-based heterojunctions, *J. Mater. Chem. C* 5 (2017) 7317–7327. doi:10.1039/C7TC02197F.
- [21] G.W. Burr, M.J. BrightSky, A. Sebastian, H.Y. Cheng, J.Y. Wu, S. Kim, N.E. Sosa, N. Papandreu, H.L. Lung, H. Pozidis, E. Eleftheriou, C.H. Lam, Recent Progress in Phase-Change Memory Technology, *IEEE J. Emerg. Sel. Top. Circuits Syst.* 6 (2016) 146–162. doi:10.1109/JETCAS.2016.2547718.
- [22] J.E. Jang, S.N. Cha, Y. Choi, G.A.J. Amaralunga, D.J. Kang, D.G. Hasko, J.E. Jung, J.M. Kim, Nanoelectromechanical switches with vertically aligned carbon nanotubes, *Appl. Phys. Lett.* 87 (2005) 163114. doi:10.1063/1.2077858.
- [23] Y. Qi, B. Sun, G. Fu, T. Li, S. Zhu, L. Zheng, S. Mao, X. Kan, M. Lei, Y. Chen, A nonvolatile organic resistive switching memory based on lotus leaves, *Chem. Phys.* 516 (2019) 168–174. doi:10.1016/j.chemphys.2018.09.008.
- [24] L. Wang, J. Wang, D. Wen, Devices with Tuneable Resistance Switching Characteristics Based on a Multilayer Structure of Graphene Oxide and Egg Albumen, *Nanomaterials*. 10 (2020) 1491. doi:10.3390/nano10081491.
- [25] L. Li, G. Li, Multi-Bit Biomemory Based on Chitosan: Graphene Oxide Nanocomposite with Wrinkled Surface, *Micromachines*. 11 (2020) 580. doi:10.3390/mi11060580.
- [26] I.L. Shabalin, Tungsten, in: Ultra-High Temp. Mater. I, Springer Netherlands, Dordrecht, 2014: pp. 237–315. doi:10.1007/978-94-007-7587-9\_3.
- [27] N. Verbrugghe, D. Fasquelle, B. Duponchel, S. Députier, Study of tungsten films deposited by DC sputtering dedicated to integrated heaters, *J. Vac. Sci. Technol. B, Nanotechnol. Microelectron. Mater. Process. Meas. Phenom.* 35 (2017) 031204. doi:10.1116/1.4981786.
- [28] M.T. Bohr, R.S. Chau, T. Ghani, K. Mistry, The High-k Solution, *IEEE Spectr.* (2007). <https://spectrum.ieee.org/semiconductors/design/the-highk-solution>.
- [29] M. Azzaz, A. Benoit, E. Vianello, D. Garbin, E. Jalaguier, C. Cagli, C. Charpin, S. Bernasconi, S. Jeannot, T. Dewolf, G. Audoit, C. Guedj, S. Denorme, P. Candelier, C. Fenouillet-Beranger, L. Perniola, Improvement of performances HfO<sub>2</sub>-based RRAM

- from elementary cell to 16kb demonstrator by introduction of thin layer of Al<sub>2</sub>O<sub>3</sub>, Solid. State. Electron. 125 (2016) 1–7. doi:10.1016/j.sse.2016.07.007.
- [30] G. Niu, M.A. Schubert, S.U. Sharath, P. Zaumseil, S. Vogel, C. Wenger, E. Hildebrandt, S. Bhupathi, E. Perez, L. Alff, M. Lehmann, T. Schroeder, T. Niermann, Electron holography on HfO<sub>2</sub>/HfO<sub>2-x</sub> bilayer structures with multilevel resistive switching properties, Nanotechnology. 28 (2017) 215702. doi:10.1088/1361-6528/aa6cd9.
- [31] E. Perez, A. Grossi, C. Zambelli, P. Olivo, C. Wenger, Impact of the Incremental Programming Algorithm on the Filament Conduction in HfO<sub>2</sub>-Based RRAM Arrays, IEEE J. Electron Devices Soc. 5 (2017) 64–68. doi:10.1109/JEDS.2016.2618425.
- [32] S. Dueñas, H. Castán, H. García, E. Miranda, M.B. Gonzalez, F. Campabadal, Study of the admittance hysteresis cycles in TiN/Ti/HfO<sub>2</sub>/W-based RRAM devices, Microelectron. Eng. 178 (2017) 30–33. doi:10.1016/j.mee.2017.04.020.
- [33] S. Poblador, M.C. Acero, M.B. Gonzalez, F. Campabadal, Resistive switching with bipolar characteristics in TiN/Ti/HfO<sub>2</sub>/W devices, in: 2017 Spanish Conf. Electron Devices, IEEE, Barcelona, Spain, 2017: pp. 1–4. doi:10.1109/CDE.2017.7905217.
- [34] Z. Fang, X.P. Wang, J. Sohn, B. Bin Weng, Z.P. Zhang, Z.X. Chen, Y.Z. Tang, G.-Q. Lo, J. Provine, S.S. Wong, H.-S.P. Wong, D.-L. Kwong, The Role of Ti Capping Layer in HfO<sub>x</sub>-Based RRAM Devices, IEEE Electron Device Lett. 35 (2014) 912–914. doi:10.1109/LED.2014.2334311.
- [35] P. Benjamin, C. Weaver, The Adhesion of Evaporated Metal Films on Glass, Proc. R. Soc. Lond. A. Math. Phys. Sci. 261 (1961) 516–531. <http://www.jstor.org/stable/2414192>.
- [36] H.-Y. Chen, F.-H. Lu, Oxidation behavior of titanium nitride films, J. Vac. Sci. Technol. A Vacuum, Surfaces, Film. 23 (2005) 1006. doi:10.1116/1.1914815.
- [37] Y.L. Jeyachandran, S.K. Narayandass, D. Mangalaraj, S. Areva, J.A. Mielczarski, Properties of titanium nitride films prepared by direct current magnetron sputtering, Mater. Sci. Eng. A. 445–446 (2007) 223–236. doi:10.1016/j.msea.2006.09.021.
- [38] V. V Merie, M.S. Pustan, C. Bîrleanu, G. Negrea, Nanocharacterization of titanium nitride thin films obtained by reactive magnetron sputtering, IOP Conf. Ser. Mater. Sci. Eng. 64 (2014) 012025. doi:10.1088/1757-899X/64/1/012025.
- [39] G. González-Cordero, F. Jiménez-Molinos, J.B. Roldán, M.B. González, F. Campabadal, In-depth study of the physics behind resistive switching in TiN/Ti/HfO<sub>2</sub>/W structures, J. Vac. Sci. Technol. B, Nanotechnol. Microelectron. Mater. Process. Meas. Phenom. 35 (2017) 01A110. doi:10.1116/1.4973372.
- [40] M. Lanza, K. Zhang, M. Porti, M. Nafría, Z.Y. Shen, L.F. Liu, J.F. Kang, D. Gilmer, G. Bersuker, Grain boundaries as preferential sites for resistive switching in the HfO<sub>2</sub> resistive random access memory structures, Appl. Phys. Lett. 100 (2012) 123508. doi:10.1063/1.3697648.
- [41] F.-C. Chiu, A Review on Conduction Mechanisms in Dielectric Films, Adv. Mater. Sci. Eng. 2014 (2014) 1–18. doi:10.1155/2014/578168.
- [42] M.A. Zidan, J.P. Strachan, W.D. Lu, The future of electronics based on memristive systems, Nat. Electron. 1 (2018) 22–29. doi:10.1038/s41928-017-0006-8.
- [43] R. Midya, Z. Wang, M. Rao, N.K. Upadhyay, J.J. Yang, RRAM/memristor for

- computing, in: *Adv. Non-Volatile Mem. Storage Technol.*, Second Edi, Elsevier, 2019: pp. 539–583. doi:10.1016/B978-0-08-102584-0.00015-2.
- [44] Y. Gao, D.C. Ranasinghe, S.F. Al-Sarawi, O. Kavehei, D. Abbott, Memristive crypto primitive for building highly secure physical unclonable functions, *Sci. Rep.* 5 (2015) 12785. doi:10.1038/srep12785.
- [45] D. Arumi, A. Gomez-Pau, S. Manich, R. Rodriguez-Montanes, M.B. Gonzalez, F. Campabadal, Unpredictable Bits Generation Based on RRAM Parallel Configuration, *IEEE Electron Device Lett.* 40 (2019) 341–344. doi:10.1109/LED.2018.2886396.
- [46] Z. Sun, G. Pedretti, E. Ambrosi, A. Bricalli, W. Wang, D. Ielmini, Solving matrix equations in one step with cross-point resistive arrays, *Proc. Natl. Acad. Sci.* 116 (2019) 4123–4128. doi:10.1073/pnas.1815682116.
- [47] Y. Lu, Q. Liang, X. Huang, Parameters self-tuning PID controller circuit with memristors, *Int. J. Circuit Theory Appl.* 46 (2018) 138–154. doi:10.1002/cta.2316.
- [48] P. Pfeiffer, I.L. Egusquiza, M. Di Ventra, M. Sanz, E. Solano, Quantum memristors, *Sci. Rep.* 6 (2016) 29507. doi:10.1038/srep29507.
- [49] J. Salmilehto, F. Deppe, M. Di Ventra, M. Sanz, E. Solano, Quantum Memristors with Superconducting Circuits, *Sci. Rep.* 7 (2017) 42044. doi:10.1038/srep42044.
- [50] A.C. Torrezan, J.P. Strachan, G. Medeiros-Ribeiro, R.S. Williams, Sub-nanosecond switching of a tantalum oxide memristor, *Nanotechnology.* 22 (2011) 485203. doi:10.1088/0957-4484/22/48/485203.
- [51] D. Ielmini, Resistive switching memories based on metal oxides: mechanisms, reliability and scaling, *Semicond. Sci. Technol.* 31 (2016). doi:10.1088/0268-1242/31/6/063002.
- [52] W.W. Zhuang, W. Pan, B.D. Ulrich, J.J. Lee, L. Stecker, A. Burmaster, D.R. Evans, S.T. Hsu, M. Tajiri, A. Shimaoka, K. Inoue, T. Naka, N. Awaya, A. Sakiyama, Y. Wang, S.Q. Liu, N.J. Wu, A. Ignatiev, Novel colossal magnetoresistive thin film nonvolatile resistance random access memory (RRAM), in: *Dig. Int. Electron Devices Meet., IEEE*, n.d.: pp. 193–196. doi:10.1109/IEDM.2002.1175811.
- [53] M.-C. Hsieh, Y.-C. Liao, Y.-W. Chin, C.-H. Lien, T.-S. Chang, Y.-D. Chih, S. Natarajan, M.-J. Tsai, Y.-C. King, C.J. Lin, Ultra high density 3D via RRAM in pure 28nm CMOS process, in: *2013 IEEE Int. Electron Devices Meet., IEEE*, 2013: pp. 10.3.1-10.3.4. doi:10.1109/IEDM.2013.6724600.
- [54] S. Park, J. Noh, M. Choo, A.M. Sheri, M. Chang, Y.-B. Kim, C.J. Kim, M. Jeon, B.-G. Lee, B.H. Lee, H. Hwang, Nanoscale RRAM-based synaptic electronics: toward a neuromorphic computing device, *Nanotechnology.* 24 (2013) 384009. doi:10.1088/0957-4484/24/38/384009.
- [55] D. Ielmini, Brain-inspired computing with resistive switching memory (RRAM): Devices, synapses and neural networks, *Microelectron. Eng.* 190 (2018) 44–53. doi:10.1016/J.MEE.2018.01.009.
- [56] D.K. Lee, M.-H. Kim, T.-H. Kim, S. Bang, Y.-J. Choi, S. Kim, S. Cho, B.-G. Park, Synaptic behaviors of HfO<sub>2</sub> ReRAM by pulse frequency modulation, *Solid. State. Electron.* 154 (2019) 31–35. doi:10.1016/J.SSE.2019.02.008.
- [57] M. Pedró, J. Martín-Martínez, M. Maestro-Izquierdo, R. Rodríguez, M. Nafría, Self-

- Organizing Neural Networks Based on OxRAM Devices under a Fully Unsupervised Training Scheme, *Materials (Basel)*. 12 (2019) 3482. doi:10.3390/ma12213482.
- [58] H. Kim, M.P. Sah, C. Yang, T. Roska, L.O. Chua, Memristor Bridge Synapses, *Proc. IEEE*. 100 (2012) 2061–2070. doi:10.1109/JPROC.2011.2166749.
- [59] F. García-Redondo, M. López-Vallejo, Self-controlled multilevel writing architecture for fast training in neuromorphic RRAM applications, *Nanotechnology*. 29 (2018) 405203. doi:10.1088/1361-6528/aad2fa.
- [60] Q. Xia, J.J. Yang, Memristive crossbar arrays for brain-inspired computing, *Nat. Mater.* 18 (2019) 309–323. doi:10.1038/s41563-019-0291-x.
- [61] P.M. Solomon, Analog neuromorphic computing using programmable resistor arrays, *Solid. State. Electron.* 155 (2019) 82–92. doi:10.1016/J.SSE.2019.03.023.
- [62] M.A. Zidan, H.A.H. Fahmy, M.M. Hussain, K.N. Salama, Memristor-based memory: The sneak paths problem and solutions, *Microelectronics J.* 44 (2013) 176–183. doi:10.1016/J.MEJO.2012.10.001.
- [63] R. Naous, M. Affan Zidan, A. Sultan, K. Nabil Salama, Pilot assisted readout for passive memristor crossbars, *Microelectronics J.* 54 (2016) 48–58. doi:10.1016/J.MEJO.2016.05.007.
- [64] E. Linn, R. Rosezin, C. Kügeler, R. Waser, Complementary resistive switches for passive nanocrossbar memories, *Nat. Mater.* 9 (2010) 403–406. doi:10.1038/nmat2748.
- [65] D.J. Wouters, L. Zhang, A. Fantini, R. Degraeve, L. Goux, Y.Y. Chen, B. Govoreanu, G.S. Kar, G. V. Groeseneken, M. Jurczak, Analysis of Complementary RRAM Switching, *IEEE Electron Device Lett.* 33 (2012) 1186–1188. doi:10.1109/LED.2012.2198789.
- [66] F. Nardi, S. Balatti, S. Larentis, D.C. Gilmer, D. Ielmini, Complementary Switching in Oxide-Based Bipolar Resistive-Switching Random Memory, *IEEE Trans. Electron Devices*. 60 (2013) 70–77. doi:10.1109/TED.2012.2226728.
- [67] T. Breuer, L. Nielen, B. Roegen, R. Waser, V. Rana, E. Linn, Realization of Minimum and Maximum Gate Function in Ta<sub>2</sub>O<sub>5</sub>-based Memristive Devices, *Sci. Rep.* 6 (2016) 23967. doi:10.1038/srep23967.
- [68] E. Gale, B. de Lacy Costello, A. Adamatzky, Boolean Logic Gates from a Single Memristor via Low-Level Sequential Logic, in: 2013: pp. 79–89. doi:10.1007/978-3-642-39074-6\_9.
- [69] N. Wald, S. Kvatincky, Design methodology for stateful memristive logic gates, in: 2016 IEEE Int. Conf. Sci. Electr. Eng., IEEE, 2016: pp. 1–5. doi:10.1109/ICSEE.2016.7806155.
- [70] M. Maestro-Izquierdo, J. Martin-Martinez, A. Crespo Yepes, M. Escudero, R. Rodriguez, M. Nafria, X. Aymerich, A. Rubio, Experimental Verification of Memristor-Based Material Implication NAND Operation, *IEEE Trans. Emerg. Top. Comput.* 7 (2019) 545–552. doi:10.1109/TETC.2017.2760929.
- [71] J. Cong, B. Xiao, FPGA-RPI: A Novel FPGA Architecture With RRAM-Based Programmable Interconnects, *IEEE Trans. Very Large Scale Integr. Syst.* 22 (2014) 864–877. doi:10.1109/TVLSI.2013.2259512.
- [72] C. Zambelli, M. Castellari, P. Olivo, D. Bertozzi, Correlating Power Efficiency and

- Lifetime to Programming Strategies in RRAM-Based FPGAs, in: 2018 New Gener. CAS, IEEE, Valetta, 2018: pp. 21–24. doi:10.1109/NGCAS.2018.8572050.
- [73] M.C. Acero, F. Campabadal, Conjunto de máscaras CNM-733, Nota Técnica. Institut de Microelectrònica de Barcelona, IMB-CNM, CSIC, 2013.
- [74] M.B. Gonzalez, M. Maestro-Izquierdo, F. Campabadal, S. Aldana, F. Jimenez-Molinos, J.B. Roldan, Impact of Intrinsic Series Resistance on the Reversible Dielectric Breakdown Kinetics in HfO<sub>2</sub> Memristors, in: 2020 IEEE Int. Reliab. Phys. Symp., IEEE, 2020: pp. 1–4. doi:10.1109/IRPS45951.2020.9128961.
- [75] M.C. Acero, Cálculo del número de cuadros de los electrodos metálicos de las estructuras MIM del conjunto de máscaras CNM-733, Nota Técnica., 2016.
- [76] Joint Electron Device Engineering Council, Transistor Outlines Archive, (n.d.). www.jedec.org.
- [77] E.A. Miranda, C. Walczyk, C. Wenger, T. Schroeder, Model for the Resistive Switching Effect in HfO<sub>2</sub> MIM Structures Based on the Transmission Properties of Narrow Constrictions, IEEE Electron Device Lett. 31 (2010) 609–611. doi:10.1109/LED.2010.2046310.
- [78] S. Long, X. Lian, C. Cagli, X. Cartoixà, R. Rurali, E. Miranda, D. Jiménez, L. Perniola, M. Liu, J. Suñé, Quantum-size effects in hafnium-oxide resistive switching, Appl. Phys. Lett. (2013). doi:10.1063/1.4802265.
- [79] X. Wu, D. Cha, M. Bosman, N. Raghavan, D.B. Migas, V.E. Borisenko, X.-X. Zhang, K. Li, K.-L. Pey, Intrinsic nanofilamentation in resistive switching, J. Appl. Phys. 113 (2013) 114503. doi:10.1063/1.4794519.
- [80] S. Privitera, G. Bersuker, S. Lombardo, C. Bongiorno, D.C. Gilmer, Conductive filament structure in HfO<sub>2</sub> resistive switching memory devices, Solid. State. Electron. 111 (2015) 161–165. doi:10.1016/J.SSE.2015.05.044.
- [81] G. Niu, P. Calka, M. Auf der Maur, F. Santoni, S. Guha, M. Fraschke, P. Hamoumou, B. Gautier, E. Perez, C. Walczyk, C. Wenger, A. Di Carlo, L. Alff, T. Schroeder, Geometric conductive filament confinement by nanotips for resistive switching of HfO<sub>2</sub>-RRAM devices with high performance, Sci. Rep. 6 (2016) 25757. doi:10.1038/srep25757.
- [82] S.K. Nath, S.K. Nandi, S. Li, R.G. Elliman, Detection and spatial mapping of conductive filaments in metal/oxide/metal cross-point devices using a thin photoresist layer, Appl. Phys. Lett. 114 (2019) 062901. doi:10.1063/1.5084060.
- [83] Y. Wang, B. Fowler, F. Zhou, Y.-F. Chang, Y.-T. Chen, F. Xue, J.C. Lee, Effects of sidewall etching on electrical properties of SiO<sub>x</sub> resistive random access memory, Appl. Phys. Lett. 103 (2013) 213505. doi:10.1063/1.4832595.
- [84] F. Zhou, Y.-F. Chang, Y. Wang, Y.-T. Chen, F. Xue, B.W. Fowler, J.C. Lee, Discussion on device structures and hermetic encapsulation for SiO<sub>x</sub> random access memory operation in air, Appl. Phys. Lett. 105 (2014) 163506. doi:10.1063/1.4900422.
- [85] S. Claramunt, Q. Wu, M. Maestro, M. Porti, M.B. Gonzalez, J. Martin-Martinez, F. Campabadal, M. Nafría, Non-homogeneous conduction of conductive filaments in Ni/HfO<sub>2</sub>/Si resistive switching structures observed with CAFM, Microelectron. Eng. 147 (2015) 335–338. doi:10.1016/J.MEE.2015.04.112.

- [86] G. Martín, M.B. González, F. Campabadal, F. Peiró, A. Cornet, S. Estradé, Transmission electron microscopy assessment of conductive-filament formation in Ni–HfO<sub>2</sub>–Si resistive-switching operational devices, *Appl. Phys. Express.* 11 (2018) 014101. doi:10.7567/APEX.11.014101.
- [87] P. Walker, W.H. Tarn, CRC Handbook of Metal Etchants, CRC Press, 1990. doi:10.1201/9781439822531.
- [88] J.H. Kim, J.-H. Jeong, S.-H. Lee, K. Kim, J.S. Yoon, D.-S. Choi, Y.-E. Yoo, The influence of contact material on lateral wet-etching of nickel thin films in lamellae structure, *Thin Solid Films.* 660 (2018) 19–22. doi:10.1016/J.TSF.2018.05.039.
- [89] S. Poblador, Juego de retículos CNM942, Nota Técnica. Institut de Microelectrònica de Barcelona, IMB-CNM, CSIC, 2018.
- [90] S. Dueñas, H. Castán, K. Kukli, M. Mikkor, K. Kalam, T. Arroval, A. Tamm, Memory Maps: Reading RRAM Devices without Power Consumption, *ECS Trans.* 85 (2018) 201–205. doi:10.1149/08508.0201ecst.



# Acrónimos

AFM	Atomic Force Microscopy
ALD	Atomic Layer Deposition
APM	Ammonium Peroxide Mixture
CAFM	Conductive Atomic Force Microscopy
CMOS	Complementary Metal Oxide Semiconductor
CRS	Complementary Resistive Switching
EDX	Energy Dispersive X-ray Spectroscopy
EELS	Electron Energy Loss Spectroscopy
FIB	Focused Ion Beam
FPGA	Field Programmable Gate Array
GPIB	General Purpose Interface Bus
HRS	High Resistance State
LOR	Lift-Off Resist
ITO	Indium Tin Oxide
LRS	Low Resistance State
MIM	Metal-Insulator-Metal
RMS	Root Mean Square
RRAM	Resistive Random Access Memories
RS	Resistive Switching
SEM	Scanning Electron Microscopy
SMU	Source Measure Unit
TDMAH	TetraDiMetilAmido de Hafnio
TEM	Transmission Electron Microscopy
TO	Transistor Outline
VCM	Valence Change Mechanism



## Apéndice

En este apéndice se adjuntan los diseños del conjunto de los niveles fotolitográficos de cada hemisferio para cada uno de los tres tipos de chip diseñados en el transcurso del doctorado y que han sido explicados en el capítulo 7 y mostrados en la **Figura 7-2**, la **Figura 7-3** y la **Figura 7-4**.

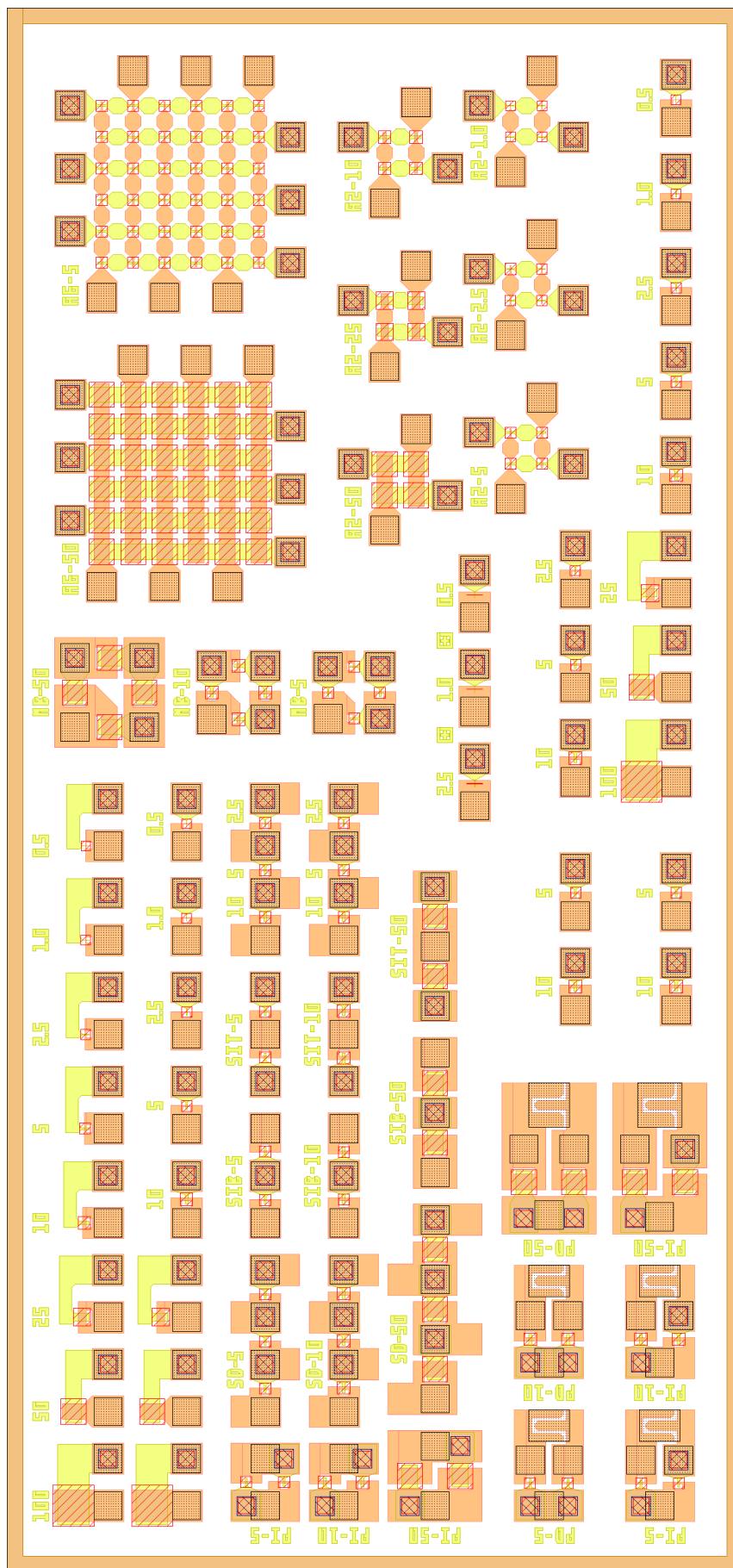


Figura A-1. Layout del hemisferio norte del chip tipo 1.

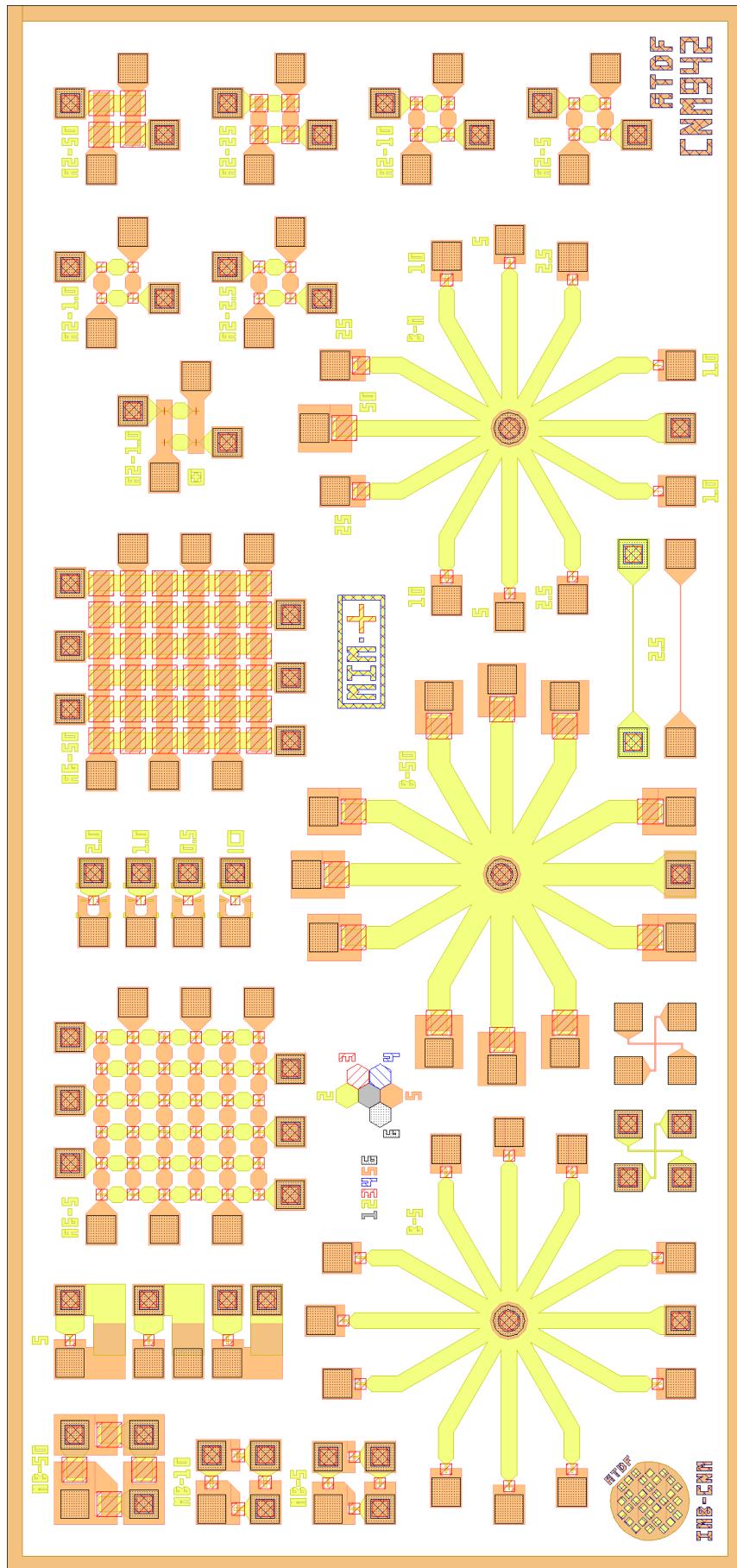


Figura A-2. Layout del hemisferio sur del chip tipo 1.

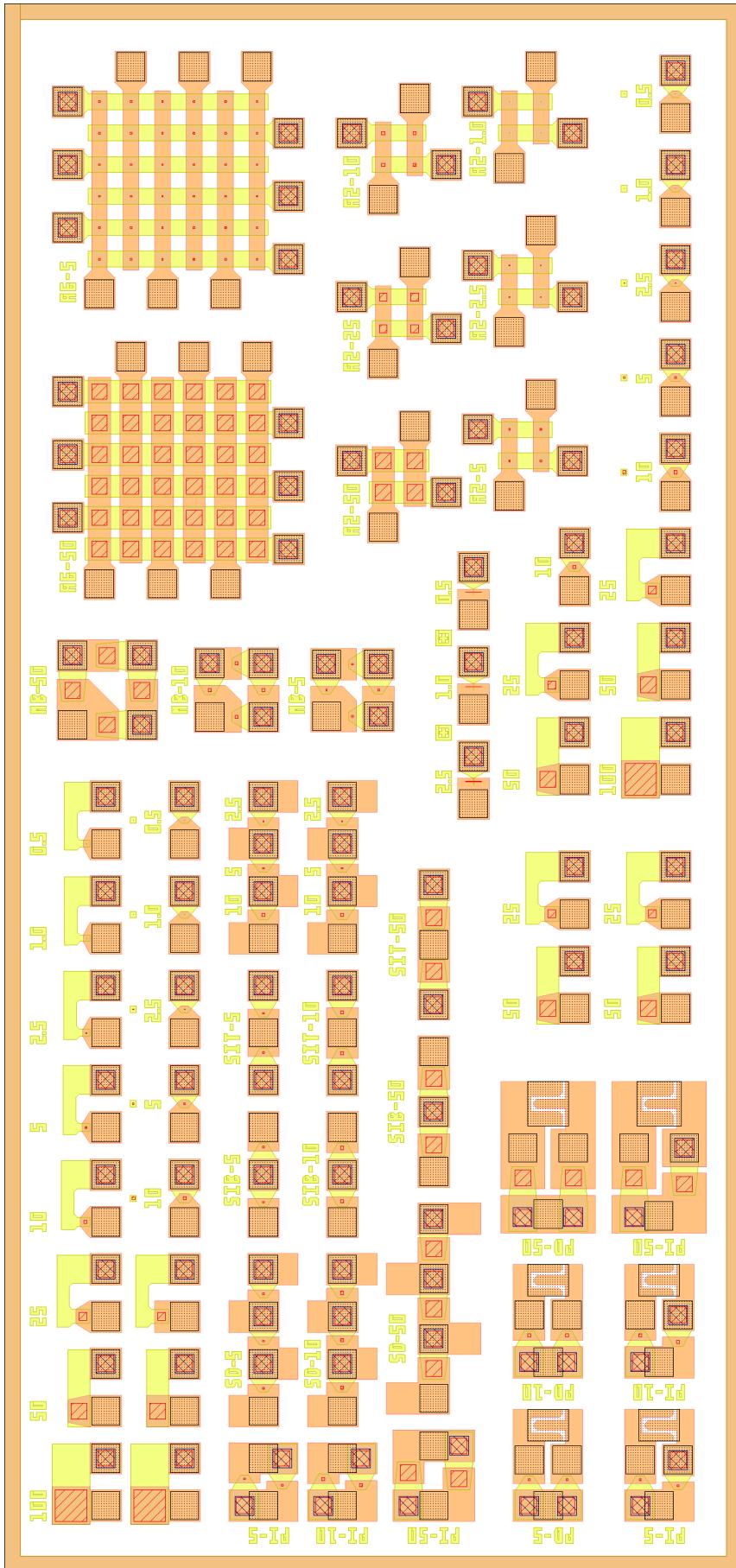


Figura A-3. Layout del hemisferio norte del chip tipo 2.

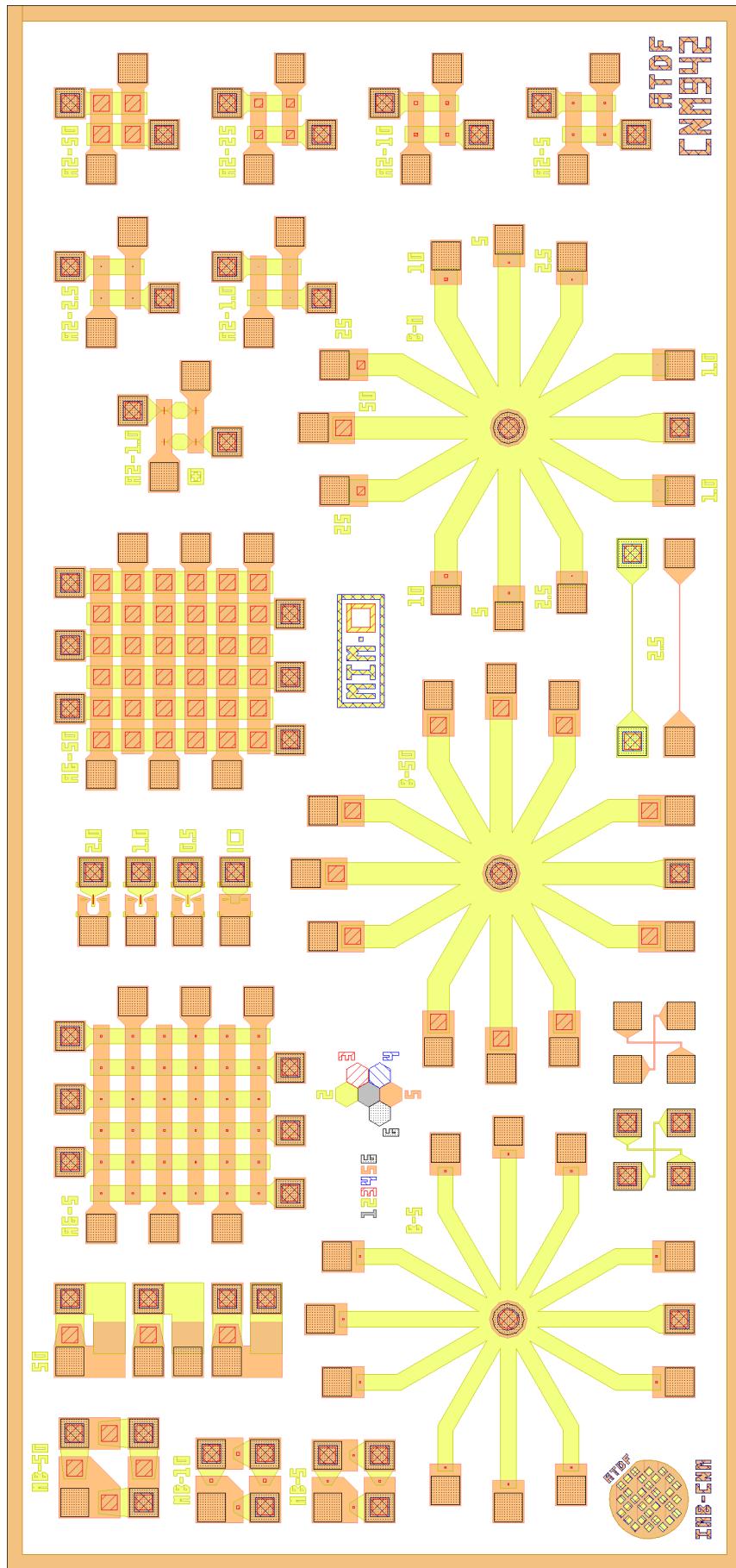


Figura A-4. Layout del hemisferio sur del chip tipo 2.

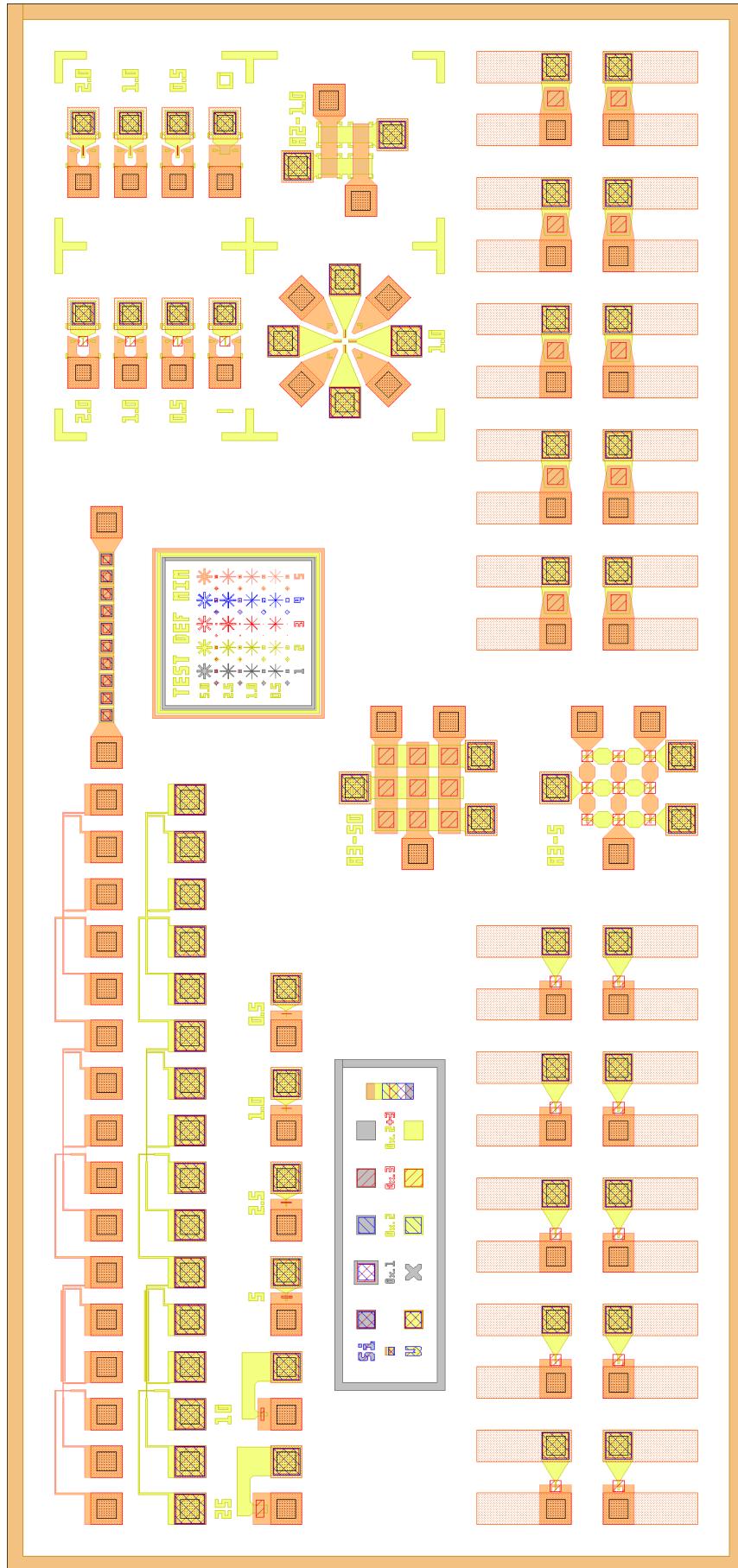


Figura A-5. Layout del hemisferio norte del chip tipo 3.

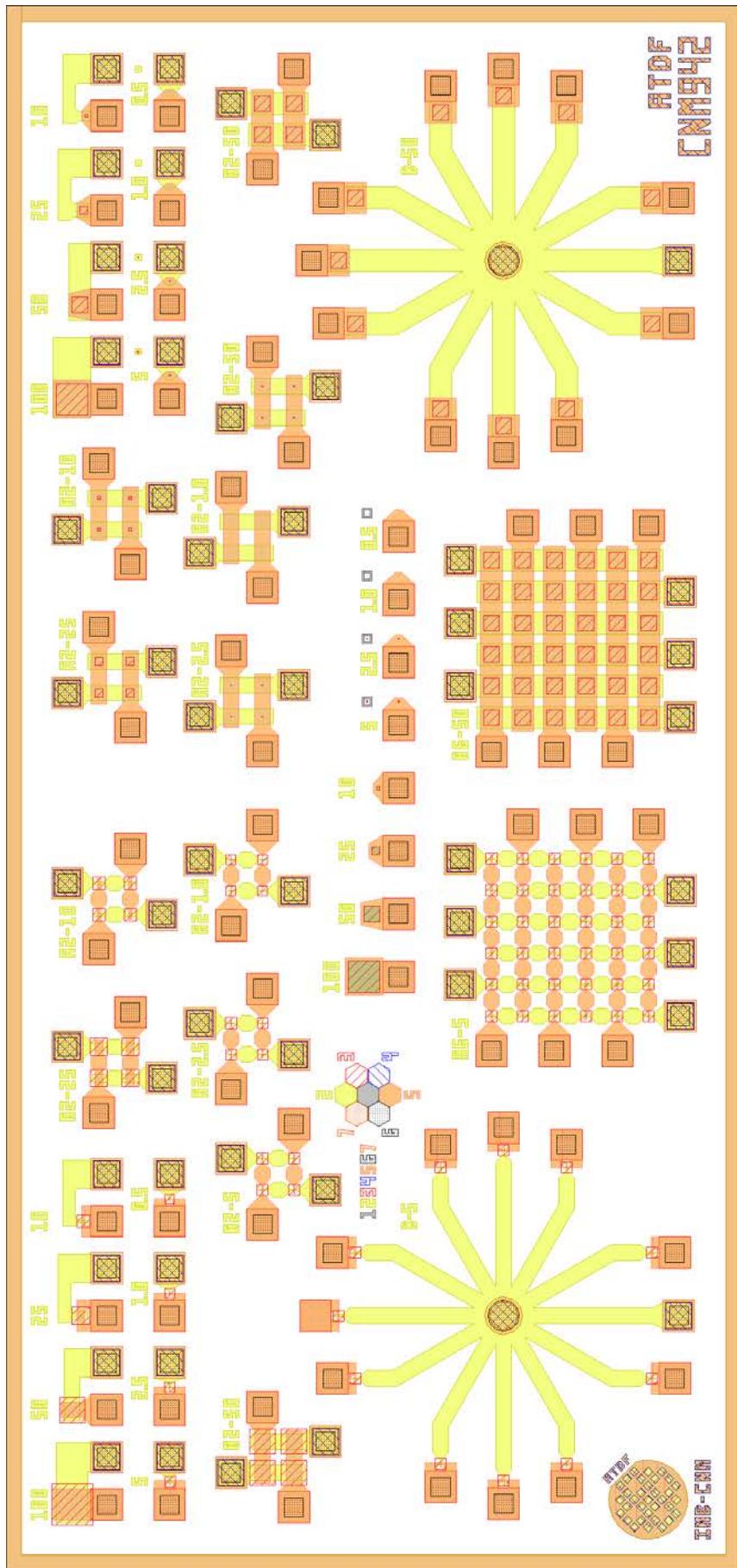


Figura A-6. Layout del hemisferio sur del chip tipo 3.