
This is the **published version** of the bachelor thesis:

Prat Plana, Arnau. *Arquitectura i desenvolupament d'un Smart BMS per a nodes IoT amb Monitoratge en Temps Real.*. Treball de Final de Grau (Universitat Autònoma de Barcelona), 2026 (Grau en Enginyeria Electrònica de Telecomunicació)

This version is available at <https://ddd.uab.cat/record/336124>

under the terms of the  license.



TREBALL DE FI DE GRAU

GRAU EN ENGINYERIA ELECTRÒNICA DE TELECOMUNICACIÓ

Arquitectura i desenvolupament d'un Smart BMS per a nodes IoT amb Monitoratge en Temps Real.

Arnau Prat Plana

DIRECTOR: Ferran Paredes Marco

UNIVERSITAT AUTÒNOMA DE BARCELONA

Bellaterra, Juliol 28, 2026

Abstract

Energy autonomy and security represent critical challenges in the development of remote Internet of Things (IoT) nodes. This Bachelor's Thesis presents the design, implementation, and validation of a Smart Battery Management System (BMS) for two-cell series (2S) lithium-ion battery packs, with the aim of ensuring their physical protection and equipping the system with advanced state estimation and remote monitoring capabilities.

The developed architecture adopts a hybrid approach. At the hardware level, a modular Printed Circuit Board (PCB) has been designed, delegating current cutoff protection and passive balancing to autonomous analog integrated circuits, ensuring that the cells operate strictly within their Safe Operating Envelope (SOE). At the logic level, the system is governed by an ESP32 microcontroller that incorporates energy-saving management (*Deep Sleep*), Wi-Fi connectivity with an asynchronous web server, Over-The-Air (OTA) updates, and the structuring of an Extended Kalman Filter (EKF). This algorithm, based on the Thevenin equivalent circuit model, is designed to fuse I²C telemetry and mathematically correct the inherent drift of the Coulomb counting method.

Experimental validation results demonstrate the effectiveness and robustness of the power stage against overdischarge and overcharge situations. Furthermore, the critical evaluation of the construction process has allowed for the identification and resolution of the impact of parasitic impedances during the breadboard phase, and the establishment of a rigorous technical diagnosis regarding the loss of signal integrity detected in the telemetry sensor's communication bus. This fault diagnosis consolidates the engineering value of the project and lays a solid foundation for future iterations towards the industrialization of the node.

Resum

L'autonomia i la seguretat energètica representen desafiaments crítics en el desenvolupament de nodes remots per a l'Internet de les Coses (IoT). Aquest Treball de Fi de Grau presenta el disseny, la implementació i la validació d'un Sistema Intel·ligent de Gestió de Bateries (Smart BMS) per a paquets de dues cel·les d'ió-liti en sèrie (2S), amb l'objectiu de garantir-ne la protecció física i dotar el sistema de capacitats d'estimació d'estats avançada i monitoratge remot.

L'arquitectura desenvolupada adopta un enfocament híbrid. A nivell de maquinari, s'ha dissenyat una placa de circuit imprès (PCB) modular que delega la protecció per tall de corrent i el balanceig passiu a circuits integrats analògics autònoms, assegurant que les cel·les operin estrictament dins la seva Envolupant d'Operació Segura (SOE). A nivell lògic, el sistema està governat per un microcontrolador ESP32 que incorpora gestió d'estalvi energètic (*Deep Sleep*), connectivitat Wi-Fi amb servidor web asíncron, actualitzacions sense fils (OTA) i l'estructuració d'un Filtre de Kalman Estès (EKF). Aquest algorisme, basat en el model elèctric de Thevenin, està dissenyat per fusionar la telemetria I²C i corregir matemàticament la deriva pròpia del mètode de recompte de coulombs.

Els resultats de la validació experimental demostren l'eficàcia i la robustesa de l'etapa de potència davant situacions de sobredescàrrega i sobrecàrrega. A més, l'avaluació crítica del procés de construcció ha permès identificar i resoldre l'impacte de les impedàncies paràsites durant la fase de placa de proves, i establir un diagnòstic tècnic rigorós sobre la pèrdua d'integritat del senyal detectada en el bus de comunicació del sensor de telemetria. Aquest diagnòstic de fallades consolida el valor d'enginyeria del projecte i assenta una base sòlida per a futures iteracions cap a la industrialització del node.

Contents

Abstract	i
Resum	ii
1 Motivacions i objectius	1
1.1 Motivació i Objectius	1
1.1.1 Motivació	1
1.1.2 Objectius	1
2 Marc teòric	3
2.1 Sistemes de gestió de bateries (BMS)	3
2.1.1 Monitoratge Físic	3
2.1.2 Protecció i Seguretat	3
2.1.3 Estimació d'Estats (State Estimation)	4
2.1.4 Equilibri de Cel·les (<i>Cell Balancing</i>)	5
2.2 Fonaments de les bateries	5
2.2.1 Principi de Funcionament Electroquímic	5
2.2.2 Corbes de Càrrega i Descàrrega	6
2.2.3 Conceptes Clau i Definicions	6
2.2.4 Impacte dels Factors Ambientals i Envelliment	8
2.2.5 Topologies de Bateries i Desequilibri de Cel·les	9
2.3 Modelatge Matemàtic de la Bateria	11
2.3.1 Definició del Circuit de Thevenin	11
2.3.2 Equacions d'Estat en Temps Continu	13
2.3.3 Discretització del Model per a la Implementació (Microcontrolador)	13
2.3.4 Caracterització de la Relació OCV-SoC	15
2.4 Algorismes d'Estimació	16
2.4.1 Justificació del Filtre de Kalman Estès (EKF)	16
2.4.2 Formulació de l'Espai d'Estats	16
2.4.3 Execució de l'Algorisme EKF	17
3 Disseny i Implementació	19
3.1 Arquitectura General del Sistema	19

3.1.1	Chips de control:	19
3.1.2	Sistema de Balanceig de Cel·les: HY2213-BB3A	20
3.1.3	Components utilitzats	22
3.1.4	Introducció a la gestió de dades: El rol del LTC2944	28
3.1.5	Creació del Component Personalitzat per al Mòdul LTC2944	29
3.1.6	Etapa de Potència i Gestió Bidireccional (Díodes Paràsits)	31
3.1.7	Funcionament del Circuit de Balanceig i Etapa de Dissipació	32
3.2	Validació experimental	34
3.2.1	Adaptació de components SMD per a prototipatge	34
3.2.2	Assaig del circuit de protecció (HY2120)	34
3.2.3	Assaig del circuit de balanceig passiu	36
3.2.4	Limitacions del prototipatge en placa de proves: Anàlisi de la sobrecorrent	37
3.2.5	Metodologia d'assaig i validació de la corba de càrrega i descàrrega	38
3.2.6	Disseny i fabricació d'un prototip de validació modular de la BMS	39
4	Disseny de la PCB en Altium	41
4.1	Disseny de la PCB completa	41
4.1.1	Interfícies de Connexió (In/Out)	41
4.1.2	Bloc de Protecció Principal	41
4.1.3	Xarxa de Balanceig Passiu	41
4.1.4	Gestió d'Alimentació i Etapa Digital	42
4.1.5	Telemetria i Bus de Comunicació	42
4.1.6	Limitacions de lectura del LTC2944 i dimensionament de la resistència de sensat	44
4.1.7	Justificació de millora del maquinari i redimensionament	44
5	Implementació del programari	46
5.0.1	Implementació del sistema d'actualització sense fils (OTA)	46
5.0.2	Arquitectura de Monitorització i Càlcul d'Estats Base	48
5.0.3	Implementació del Filtre de Kalman Estès (EKF)	48
6	Anàlisi de Consum Energètic, Autonomia Teòrica i Limitacions	50
6.1	Estats Operatius i Pressupost Energètic	50
6.1.1	Estat 1: Mode Actiu i Transmissió WiFi	50
6.1.2	Estat 2: Mode Repòs (Deep Sleep)	51
6.1.3	Estat 3: Tall per Sobredescàrrega	51

6.2	Càlcul Teòric d'Autonomia	52
7	Anàlisi de limitacions i millores necessaries	53
7.0.1	Validació de l'Etapa de Potència i Protecció	53
7.0.2	Diagnòstic del Subsistema de Monitoratge I2C (LTC2944)	53
7.1	Treball Futur i Propostes de Millora	55
7.1.1	Evolució de l'Arquitectura: Sensat Individual i Monitoratge Tèrmic	55
7.1.2	Monitoratge Tèrmic Actiu amb Termistors NTC	56
8	Conclusions	58
8.1	Conclusions	58
8.2	Línies d'Investigació Futures	59
	Bibliography	61
A	Annex	63
A.1	Exemple de codi de telemetria	63

List of Figures

2.1	Esquema de funcionament d'un circuit de balanceig passiu. El BMS activa el MOSFET per dissipar l'excés de càrrega de la cel·la més plena a través d'una resistència.[3]	5
2.2	Model de circuit equivalent de Thevenin de primer ordre (1RC) utilitzat per modelar la dinàmica elèctrica de la cel·la d'ió-liti.[2]	12
3.1	Chip HY2120-LB.[9]	20
3.2	Chip HY2213-BB3A.[10]	22
3.3	Cel·les Panasonic NCR18650B.	23
3.4	Mosfet IRLZ34N.[12]	24
3.5	N-MOSFET 2N7000 utilitzat a l'etapa de balanceig del sistema.[13]	26
3.6	TSR1-[14]	27
3.7	Mòdul LTC2944.[15]	28
3.8	Símbol esquemàtic del mòdul LTC2944 dissenyat a Altium Designer.	30
3.9	: Empremta física (<i>footprint</i>) dissenyada manualment per a l'acoblament del mòdul LTC2944 a la PCB.	30
3.10	Esquema de connexions del circuit de protecció amb el chip HY2120-LB. [9]	31
3.11	Adaptador SMD a DIP amb el xip de gestió soldat manualment per a proves en protoboard.	34
3.12	Muntatge experimental complet incloent l'ESP32, el BMS muntat a la protoboard, el multímetre i la càrrega electrònica regulable sotmetent les cel·les a descàrrega.	35
3.13	Schematic de la PCB prototip	39
3.14	PCB Prototip	40
4.1	Comparativa física de la versió final del treball i la versió previament explicada.	42
4.2	Esquema complet de la PCB	43
7.1	Termistor NTC estàndar proposat. [18]	57

List of Tables

3.1	Especificacions tècniques del xip de protecció HY2120-LB.[9]	20
3.2	Paràmetres elèctrics del xip HY2213-BB3A.[10]	22
3.3	Resum de les característiques tècniques principals del transistor MOSFET IRLZ34N.[12]	25
3.4	Especificacions del convertidor DC/DC TSR 1-2433.[14]	27
3.5	Especificacions clau del monitor de bateries LTC2944 i el seu impacte en el disseny del projecte.[15]	29

1. Motivacions i objectius

1.1 Motivació i Objectius

1.1.1 Motivació

Aquest projecte neix com una **proposta pròpia**, impulsada per un profund interès personal en dos dels camps més disruptius i de major creixement dins de l'enginyeria electrònica actual: l'Internet de les Coses (IoT) i els sistemes d'emmagatzematge d'energia basats en bateries d'ió-liti.

Durant la meva formació acadèmica, he desenvolupat una forta curiositat per comprendre no només com es dissenya l'arquitectura de control d'un dispositiu connectat, sinó també com es gestiona de manera eficient i segura el seu recurs més crític: l'energia. Avui en dia, l'autonomia i la seguretat representen els grans colls d'ampolla de qualsevol node IoT remot o sistema autònom.

Malgrat l'existència de multitud de solucions comercials genèriques per a la gestió de bateries, el repte de dissenyar una arquitectura pròpia capaç d'integrar protecció física rigorosa, monitoratge precís de telemetria i algorismes d'estimació complexos dins d'un únic microcontrolador representa un desafiament d'enginyeria apassionant. Aquesta voluntat de crear un sistema complet i funcional des de zero —abastant des del traçat de l'esquemàtic i la física dels components, fins a l'àlgebra d'un Filtre de Kalman i la implementació d'un servidor web— és el motor principal que ha motivat el desenvolupament d'aquest Treball de Fi de Grau.

1.1.2 Objectius

L'objectiu principal d'aquest treball és dissenyar, implementar i validar un Sistema Intel·ligent de Gestió de Bateries (Smart BMS) per a un paquet de dues cel·les en sèrie (2S), orientat a alimentar nodes IoT, garantint-ne la protecció física i dotant-lo de capacitats per estimar i comunicar el seu estat en temps real.

Per assolir aquesta fita global, s'estableixen els següents objectius específics:

1. **Disseny del Maquinari d'Etapa de Potència:** Seleccionar i integrar circuits de protecció (com l'HY2120) i balanceig passiu (HY2213) capaços d'operar de forma

autònoma per garantir que les cel·les treballin estrictament dins la seva Envolupant d'Operació Segura (SOE).

2. **Desenvolupament de la Placa de Circuit Imprès (PCB):** Projectar una PCB modular utilitzant programari de disseny assistit (Altium Designer), minimitzant les resistències paràsites i optimitzant la dissipació tèrmica de l'etapa de commutació.
3. **Implementació de Telemetria i Control:** Programar un microcontrolador (ESP32) per a l'adquisició de dades mitjançant bus I²C, integrant sensors de precisió com l'integrador de càrrega LTC2944.
4. **Estimació d'Estats Avançada:** Fonamentar i estructurar algorímicament un Filtre de Kalman Estès (EKF) basat en el model equivalent de Thevenin, capaç de corregir la deriva inherent del mètode clàssic de *Coulomb Counting* per conèixer l'Estat de Càrrega (SoC) real.
5. **Connectivitat i Ecosistema IoT:** Desenvolupar una interfície d'usuari a través d'un servidor web asíncron i habilitar la capacitat d'actualització remota del microprogramari mitjançant tecnologia OTA (*Over-The-Air*).
6. **Validació i Diagnòstic:** Assajar experimentalment els prototips, identificar les limitacions constructives i establir un diagnòstic tècnic rigorós que serveixi de punt de partida per a futures iteracions de disseny.

2. Marc teòric

2.1 Sistemes de gestió de bateries (BMS)

Un Sistema de Gestió de Bateries, o *Battery Management System* (BMS), és un sistema electrònic encastat indispensable per garantir el funcionament segur, eficient i durador de qualsevol paquet de bateries d'ió-liti. La seva funció principal és mantenir la bateria dins de la seva Envolupant d'Operació Segura (SOE), alhora que n'optimitza el rendiment i n'informa a sistemes externs.^[1]

A nivell teòric i funcional, l'arquitectura d'un BMS complet es divideix en les següents tasques fonamentals:

2.1.1 Monitoratge Físic

És la capacitat del BMS per adquirir les variables analògiques del paquet de bateries i convertir-les en dades digitals. Les tres magnituds fonamentals que s'han de mostrear contínuament són:

- **Voltatge:** Tant la tensió total del bus com la tensió individual de cada cel·la o branca en paral·lel.
- **Corrent:** El flux d'electrons que entra (càrrega) o surt (descàrrega) del sistema, normalment mesurat a través d'una resistència de derivació (*shunt*) o un sensor d'efecte Hall.
- **Temperatura:** La temperatura de les cel·les i de l'electrònica de potència per prevenir embalaments tèrmics.

2.1.2 Protecció i Seguretat

El BMS actua com a darrera línia de defensa física del sistema. Utilitza interruptors d'estat sòlid (típicament MOSFETs) per desconectar immediatament la bateria de la càrrega o del carregador si es detecta una anomalia. L'objectiu d'aquestes proteccions és garantir que la cel·la no surti mai de la seva Envolupant d'Operació Segura.

2.1.2.1 Envolupant d'Operació Segura (SOE)

L'Envolupant d'Operació Segura, o *Safe Operating Envelope* (SOE), defineix els límits multidimensionals de voltatge, corrent i temperatura dins dels quals una cel·la d'ió-liti pot operar sense patir degradació accelerada ni comprometre la seguretat del sistema. Sortir d'aquesta regió d'operació pot provocar fenòmens perjudicials com el *lithium plating* (si es carrega a temperatures inferiors a 0°C), la descomposició de l'electròlit (a altes temperatures) o la deposició metàl·lica de coure (per sobreescàrrega).

En el disseny d'aquest projecte, la gestió del SOE es realitza de forma híbrida: els límits estrictament elèctrics són mitigats per interrupció física mitjançant el BMS de maquinari (proteccions OVP, UVP i OCP), mentre que la limitació tèrmica i l'alerta predictiva del SOE recauen en el programari del microcontrolador ESP32, avaluant les dades creuades dels sensors. El BMS actua com a darrera línia de defensa física. Utilitza interruptors d'estat sòlid (típicament MOSFETs) per desconnectar immediatament la bateria de la càrrega o del carregador si es detecta una anomalia que vulneri el SOE. Les proteccions clàssiques inclouen:

- **OVP i UVP (*Over/Under Voltage Protection*):** Prevenció contra sobre càrregues i descàrregues profundes.
- **OCP (*Over Current Protection*):** Protecció contra curtcircuits o demandes de corrent excessives.
- **OTP (*Over Temperature Protection*):** Tall d'operació per excés de temperatura.

2.1.3 Estimació d'Estats (State Estimation)

Atès que magnituds químiques com l'energia restant o la degradació no es poden mesurar directament amb un voltímetre, el BMS utilitza models matemàtics i algorismes per estimar variables d'estat ocultes:

- **SoC (*State of Charge*):** Quantitat d'energia disponible.
- **SoH (*State of Health*):** Nivell de degradació o envelliment de la bateria respecte a les seves condicions nominals.
- **SOP (*State of Power*):** Potència màxima que la bateria pot subministrar o absorbir en un instant donat (per exemple, durant els propers 10 segons) sense sortir dels límits segurs.

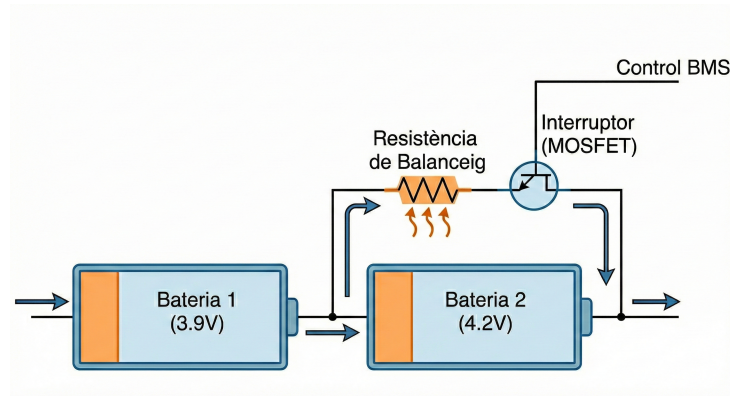


Figure 2.1: Esquema de funcionament d'un circuit de balanceig passiu. El BMS activa el MOSFET per dissipar l'excés de càrrega de la cel·la més plena a través d'una resistència.[3]

2.1.4 Equilibri de Cel·les (*Cell Balancing*)

Com s'ha comentat en l'apartat de topologies, les cel·les connectades en sèrie tendeixen a desequilibrar-se. El BMS incorpora circuits per mitigar aquest fenomen:

- **Balanceig Passiu:** Dissipa l'energia de les cel·les més carregades en forma de calor a través de resistències fins a igualar-les amb les cel·les inferiors. És el mètode més comú, econòmic i robust.
- **Balanceig Actiu:** Transfereix l'energia de les cel·les més carregades a les més buides mitjançant convertidors DC-DC (inductors o condensadors). És més eficient però significativament més complex i car.[2]

2.2 Fonaments de les bateries

La selecció de la tecnologia d'emmagatzematge d'energia és crítica en el disseny de nodes IoT (*Internet of Things*), on es requereix una alta densitat energètica, una baixa taxa d'autodescàrrega i una llarga vida útil. Actualment, la tecnologia d'Ió-Liti (Li-Ion) és l'estàndard dominant en aquest sector. Aquest apartat descriu els principis electroquímics, les característiques de comportament i els factors de degradació que justifiquen la necessitat d'un sistema de gestió intel·ligent (BMS).

2.2.1 Principi de Funcionament Electroquímic

Les cel·les d'ió-liti basen el seu funcionament en el moviment d'ions de liti (Li^+) entre dos elèctrodes a través d'un electròlit conductor i un separador porós. A diferència de les

bateries primàries, aquest procés és reversible, permetent cicles de càrrega i descàrrega.

- **Durant la descàrrega:** L'ànode (típicament compost de grafit) s'oxida, alliberant electrons al circuit extern i ions de liti a l'electròlit. Els ions viatgen cap al càtode (compost generalment per òxids metàl·lics com $LiCoO_2$ o $LiFePO_4$), on s'intercalen en la seva estructura cristal·lina.
- **Durant la càrrega:** S'aplica un corrent extern que força els ions de liti a desplaçar-se des del càtode cap a l'ànode, emmagatzemant energia en forma d'energia potencial química.

La tensió nominal d'una cel·la format 18650 se situa al voltant dels 3.6 V - 3.7 V, amb rangs operatius segurs que oscil·len entre els 2.5V com a tall de descàrrega i els 4.2 V de tensió màxima de càrrega.

2.2.2 Corbes de Càrrega i Descàrrega

El comportament del voltatge d'una bateria Li-Ion no és lineal, fet que complica l'estimació de l'energia restant basant-se únicament en la lectura de tensió. La corba de descàrrega es pot dividir en tres zones característiques:

1. **Zona Exponencial:** Una caiguda ràpida inicial del voltatge deguda a la resistència interna i la polarització electroquímica quan s'inicia la demanda de corrent.
2. **Zona Nominal:** Una regió relativament plana on el voltatge disminueix lentament. Aquesta zona representa la major part de la capacitat útil de la bateria.
3. **Zona de Tall:** Una caiguda abrupta del voltatge al final de la descàrrega. Operar en aquesta zona pot causar danys irreversibles a la química de la cel·la.

A més, el sistema presenta un fenomen d'histeresi: per a un mateix estat de càrrega, el voltatge mesurat és superior durant la càrrega que durant la descàrrega. Aquesta diferència es deu a la resistència interna (R_{int}) i a les constants de temps de relaxació.

2.2.3 Conceptes Clau i Definicions

Per al del treball, es defineixen les següents variables d'estat fonamentals:

2.2.3.1 Capacitat Nominal (C_n)

És la quantitat total de càrrega que la bateria pot subministrar sota condicions específiques (generalment a 25°C i a una taxa de descàrrega baixa), mesurada en Ampers-hora (Ah).

$$Q = \int_{t_0}^{t_{final}} I(t) dt \quad (2.1)$$

2.2.3.2 Taxa de Càrrega/Descàrrega (C-Rate)

Mesura normalitzada del corrent respecte a la capacitat nominal. Una descàrrega a $1C$ buida la bateria en una hora. En aplicacions IoT, és comú trobar perfils mixtos amb un consum promig molt baix ($< 0.1C$) però amb pics de transmissió elevats.

2.2.3.3 Estat de Càrrega (SoC)

L'*State of Charge* indica el percentatge de capacitat restant respecte a la capacitat màxima actual. Es defineix matemàticament com la integral del corrent (mètode de *Coulomb Counting*):

$$SoC(t) = SoC(t_0) - \frac{1}{C_n} \int_{t_0}^t \eta I(\tau) d\tau \quad (2.2)$$

On $SoC(t_0)$ és l'estat inicial, $I(\tau)$ és el corrent de descàrrega (positiu per convenció de descàrrega) i η és l'eficiència culòmbica. Dins de la literatura científica i l'enginyeria de sistemes d'emmagatzematge, és fonamental distingir entre dues mètriques per quantificar l'estat d'una bateria: l'Estat de Càrrega per Capacitat (SoC_{Ah}) i l'Estat de Càrrega per Energia (SoC_{Wh}). Tot i que sovint es confonen en l'àmbit comercial, representen magnituds físiques diferents amb implicacions directes en la telemetria i l'estimació d'estats.[2]

SoC per Capacitat (SoC_{Ah})

Aquesta mètrica quantifica la fracció de càrrega elèctrica (en coulombs o amperes-hora, Ah) que roman a la bateria respecte a la seva capacitat nominal. Físicament, representa el recompte d'electrons disponibles. Es calcula mitjançant la integració temporal del corrent instantani $i(t)$:

$$SoC_{Ah}(t) = SoC_{Ah}(t_0) - \frac{1}{Q_{nom}} \int_{t_0}^t i(\tau) d\tau \quad (2.3)$$

on Q_{nom} és la capacitat nominal de la bateria en amperes-hora i $SoC_{Ah}(t_0)$ és l'estat de càrrega inicial.

SoC per Energia (SoC_{Wh})

Aquesta mètrica quantifica la fracció de treball termodinàmic útil (en joules o watts-hora, Wh) que la bateria pot lliurar. S'obté integrant la potència elèctrica instantània, la qual

depèn tant del corrent com del voltatge de la cel·la $v(t)$:

$$SoC_{Wh}(t) = SoC_{Wh}(t_0) - \frac{1}{E_{nom}} \int_{t_0}^t v(\tau) \cdot i(\tau) d\tau \quad (2.4)$$

on E_{nom} és l'energia total nominal de la bateria.

Divergència deguda a la no-linealitat del voltatge

La diferència pràctica entre ambdós estats rau en el fet que el voltatge de descàrrega d'una cel·la d'ió-liti no és constant. Com que la tensió disminueix progressivament a mesura que la bateria es buida (típicament des dels 4.2V en plena càrrega fins als 3.0V al tall de descàrrega), els amperes-hora extrets a l'inici del cicle es lliuren a un potencial elèctric superior. Per tant, proporcionen més energia real que els mateixos amperes-hora extrets al final del cicle. Com a resultat, en un procés de descàrrega constant, el SoC_{Wh} decreix més ràpidament durant la primera meitat del cicle que el SoC_{Ah} .

En l'arquitectura del *Smart BMS* desenvolupada en aquest projecte, l'estimació de l'estat de la bateria es basarà estrictament en el SoC_{Ah} . Aquesta decisió estàndard en la indústria redueix significativament la càrrega computacional del microcontrolador, en evitar la integració contínua del voltatge per a aquest propòsit, i permet una implementació directa en les equacions d'estat del Filtre de Kalman Estès.

2.2.3.4 Estat de Salut (SoH)

L'*State of Health* és una figura de mèrit que reflecteix la condició de la bateria comparada amb quan era nova. Es degrada amb el temps i els cicles d'ús.

$$SoH = \frac{C_{actual_max}}{C_{nominal_inicial}} \times 100\% \quad (2.5)$$

2.2.4 Impacte dels Factors Ambientals i Envelliment

La sensibilitat de la química de Li-Ion a les condicions ambientals és el motiu principal per a la implementació d'un BMS amb compensació tèrmica en aquest projecte.

2.2.4.1 Efecte de la Temperatura

La temperatura afecta directament la dinàmica interna de la cel·la:

- **Baixes Temperatures ($< 10^\circ\text{C}$):** La viscositat de l'electròlit augmenta i la mobilitat dels ions disminueix. Això provoca un augment dràstic de la resistència interna

(R_{int}), causant una caiguda de voltatge prematura i reduint la capacitat útil aparent.

- **Altes Temperatures ($> 45^{\circ}\text{C}$):** S'accelera la degradació química, promovent el creixement de la capa SEI (*Solid Electrolyte Interphase*) a l'ànode. Això no redueix la capacitat immediata, però redueix permanentment el SoH i pot comprometre la seguretat tèrmica.[4]

2.2.4.2 Efecte de la Humitat

En entorns IoT exteriors, la humitat elevada no afecta directament la química interna de la cel·la (sempre que el seu segellat estigui intacte), però indueix corrents de fuga a la placa de circuit imprès (PCB) del BMS i provoca corrosió en els contactes electromecànics. Aquests fenòmens introdueixen soroll en les mesures analògiques i generen descàrregues paràsites que els models matemàtics ideals no són capaços de detectar ni compensar. Per mitigar aquest factor, en el disseny del sistema es considerarà l'ús de sensors ambientals per al monitoratge.[5]

2.2.4.3 Mecanismes d'Envelliment

La degradació es produeix per dos mecanismes principals:

1. **Envelliment per Ciclador (*Cycle Aging*):** Degut a l'estrès mecànic i químic de carregar i descarregar repetidament.
2. **Envelliment de Calendari (*Calendar Aging*):** Pèrdua de capacitat pel simple pas del temps, que depèn críticament del SoC d'emmagatzematge i la temperatura ambient.

2.2.5 Topologies de Bateries i Desequilibri de Cel·les

En aplicacions reals com els nodes IoT d'alt consum o la mobilitat elèctrica, una única cel·la no sol proporcionar el voltatge o la capacitat requerida pel sistema. Per aquest motiu, les cel·les s'agrupen en configuracions sèrie i/o paral·lel:

- **Connexió en Paral·lel (P):** Augmenta la capacitat total del sistema ($C_{pack} = \sum C_i$) i disminueix la resistència interna equivalent, mantenint el voltatge d'una cel·la individual. Físicament, les cel·les s'auto-balancegen en aquesta configuració.
- **Connexió en Sèrie (S):** Augmenta el voltatge nominal del bus ($V_{pack} = \sum V_i$), mantenint la capacitat d'una sola cel·la. És la topologia utilitzada en el prototip d'aquest projecte (configuració 2S).

El principal repte teòric de la connexió en sèrie és el fenomen del desequilibri de cel·les. Degut a petites toleràncies de fabricació, asimetries tèrmiques i diferents ritmes d'envelliment, dues cel·les teòricament idèntiques presentaran petites variacions en la seva eficiència coulòmbica i resistència interna.

Amb el pas dels cicles de càrrega i descàrrega, els voltatges individuals tendeixen a separar-se. Si un sistema de gestió només monitoritza el voltatge total del pack, una cel·la podria patir una descàrrega profunda (per sota de 2.5V) o una sobrecàrrega (per sobre de 4.2V), provocant danys irreversibles. Això justifica la necessitat d'incorporar funcions de monitoratge individual i balanceig dins dels Sistemes de Gestió de Bateria (BMS).

2.3 Modelatge Matemàtic de la Bateria

Per tal que un microcontrolador pugui executar algorismes d'estimació d'estats com el Filtre de Kalman, és imprescindible traduir els fenòmens electroquímics complexos de la cel·la d'ió-liti a un model matemàtic computable. En la literatura tècnica s'utilitzen habitualment els Models de Circuit Equivalent (ECM, *Equivalent Circuit Models*), ja que ofereixen un compromís òptim entre precisió i cost computacional.

En aquest projecte s'adopta el **Model de Thevenin de Primer Ordre** (model 1RC), el qual captura tant la resposta òhmica instantània com la dinàmica de polarització transitoria de la bateria.

2.3.1 Definició del Circuit de Thevenin

El model elèctric equivalent està format per tres components principals que modelen el comportament macroscòpic de la cel·la:

- **Font de tensió controlada $V_{OCV}(SoC)$:** Representa el voltatge de circuit obert (*Open Circuit Voltage*). És una font no lineal el valor de la qual depèn directament de l'estat de càrrega actual (SoC). Aquesta relació termodinàmica és el nucli de l'estimació a llarg termini.
- **Resistència sèrie R_0 :** Modela les caigudes de tensió instantànies i les pèrdues òhmiques degudes als contactes, els elèctrodes i la resistivitat de l'electròlit.
- **Xarxa RC paral·lela (R_1 i C_1):** Representa els efectes de polarització electroquímica i la dinàmica de difusió dels ions de liti. Aquesta branca és la responsable que el voltatge de la bateria no s'estabilitzi immediatament després d'una transició de corrent, sinó que ho faci seguint una corba exponencial.

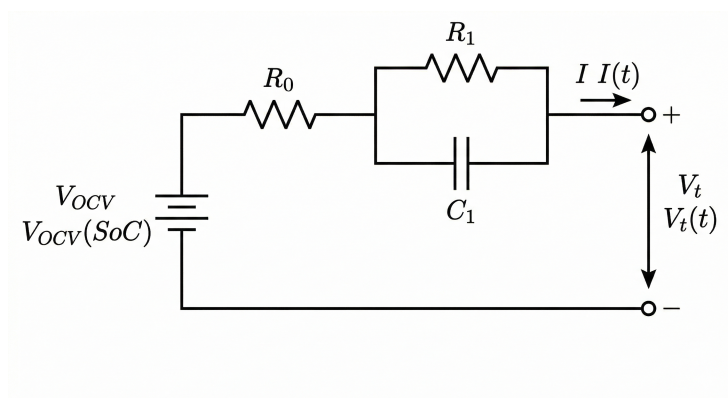


Figure 2.2: Model de circuit equivalent de Thevenin de primer ordre (1RC) utilitzat per modelar la dinàmica elèctrica de la cel·la d'ió-liti.[2]

2.3.2 Equacions d'Estat en Temps Continu

Definint el corrent d'entrada $I(t)$ (on assumim signe positiu per a la descàrrega i negatiu per a la càrrega) i el voltatge als terminals $V_t(t)$ com a sortida del sistema, el comportament dinàmic del circuit de Thevenin es pot descriure mitjançant un sistema d'equacions diferencials.

L'equació d'estat que descriu la caiguda de tensió a la xarxa de polarització $V_{RC}(t)$ s'expressa com:

$$\dot{V}_{RC}(t) = -\frac{1}{R_1 C_1} V_{RC}(t) + \frac{1}{C_1} I(t) \quad (2.6)$$

L'equació de sortida que determina el voltatge mesurable als terminals de la bateria s'obté aplicant la Llei de les Malles de Kirchhoff (KVL):

$$V_t(t) = V_{OCV}(SoC(t)) - V_{RC}(t) - R_0 I(t) \quad (2.7)$$

Adicionalment, l'evolució del SoC en temps continu s'integra com a variable d'estat basada en el recompte culòmbic (*Coulomb Counting*):

$$\dot{SoC}(t) = -\frac{\eta}{3600 \cdot Q_{nom}} I(t) \quad (2.8)$$

on η és l'eficiència culòmbica (assumida propera a 1) i Q_{nom} és la capacitat nominal de la cel·la en amperes-hora (Ah).

2.3.3 Discretització del Model per a la Implementació (Micro-controlador)

Atès que el *Smart BMS* basat en l'ESP32 opera processant mostres digitals a intervals de temps discrets Δt , les equacions diferencials contínues s'han de discretitzar. Aplicant la solució exacta per a sistemes lineals invariants en el temps (LTI) en intervals de mostreig constants, la tensió de polarització en l'instant $k + 1$ s'expressa com:

$$V_{RC,k+1} = \exp\left(-\frac{\Delta t}{R_1 C_1}\right) V_{RC,k} + R_1 \left(1 - \exp\left(-\frac{\Delta t}{R_1 C_1}\right)\right) I_k \quad (2.9)$$

De la mateixa manera, l'equació d'actualització de l'estat de càrrega discretitzada (utilitzant el mètode d'Euler cap endavant) és:

$$SoC_{k+1} = SoC_k - \frac{\eta \Delta t}{3600 \cdot Q_{nom}} I_k \quad (2.10)$$

I finalment, l'equació d'observació (voltatge als terminals) en el domini discret manté la seva forma algebraica:

$$V_{t,k} = V_{OCV}(SoC_k) - V_{RC,k} - R_0 I_k \quad (2.11)$$

Aquest conjunt d'equacions de diferències (SoC_k , $V_{RC,k}$ i $V_{t,k}$) conforma el model matemàtic complet que s'integrarà en l'algorisme de predicció i correcció de l'estat.

2.3.4 Caracterització de la Relació OCV-SoC

La funció no lineal $V_{OCV}(SoC)$ és el pilar fonamental per a l'estimació de l'estat a llarg termini. Com que depèn de l'estequiometria dels elèctrodes de cada fabricant, no es pot derivar d'equacions analítiques universals, sinó que s'ha d'obtenir empíricament per a la cel·la específica del projecte mitjançant assajos de laboratori.

S'utilitzen principalment dos mètodes per extreure aquesta corba:

- **Descàrrega a corrent molt baix (Pseudo-OCV):** Consisteix a sotmetre la bateria a un cicle complet de càrrega i descàrrega amb un corrent ínfim (típicament una taxa de $C/20$ o inferior). Com que el corrent excita molt poc la dinàmica interna de la bateria, les caigudes de tensió a R_0 i a la xarxa de polarització $R_1 - C_1$ són pràcticament nul·les. Això permet assumir que el voltatge mesurat als terminals V_t és aproximadament igual a V_{OCV} . Sovint es fa la mitjana entre la corba de càrrega i la de descàrrega per minimitzar l'efecte de la histèresi.
- **Test de Descàrrega per Polsos (Pulsed Discharge Test - PDT):** És el mètode més precís. Consisteix a extreure una quantitat fixa de capacitat (per exemple, un salt del 5% de SoC) mitjançant un pols de corrent nominal, seguit d'un llarg període de repòs en circuit obert (típicament entre 1 i 2 hores). Aquest temps de relaxació garanteix que els transitoris de polarització s'esvaeixin completament ($V_{RC} \rightarrow 0$). El voltatge mesurat al final del període de repòs es registra com el valor exacte de V_{OCV} per a aquell SoC. Es repeteix el procés esglaó a esglaó fins a buidar la cel·la.[6]

2.4 Algorismes d'Estimació

Nota preliminar sobre la implementació: Abans de detallar el marc teòric, és fonamental aclarir que l'execució i validació pràctica d'aquest algorisme no s'ha pogut dur a terme en el prototip final. Tal com es detalla a l'apartat de limitacions d'aquest document, el sistema va presentar una incapacitat recurrent per establir i mantenir la comunicació I2C entre el microcontrolador i el sensor LTC2944, fet que va impedir el monitoratge del voltatge i el corrent en temps real. Atès que el Filtre de Kalman depèn absolutament de l'adquisició d'aquestes magnituds físiques per retroalimentar les seves equacions, el contingut d'aquesta secció s'exposa com la fonamentació matemàtica i l'estructuració algorísmica projectada per a l'ESP32, establint la base teòrica completament desenvolupada per a futures revisions del maquinari.

El monitoratge directe del voltatge i el corrent és insuficient per conèixer l'estat intern de la bateria, ja que magnituds com el *SoC* o la tensió de polarització (V_{RC}) són variables d'estat ocultes. A més, mètodes directes com el recompte culòmbic (*Coulomb Counting*) pateixen d'acumulació d'errors a causa del soroll dels sensors i incerteses en el corrent inicial. Per resoldre aquest problema, els Sistemes de Gestió de Bateries avançats implementen observadors d'estat enllaç tancat, sent el Filtre de Kalman l'estàndard de la indústria.

2.4.1 Justificació del Filtre de Kalman Estès (EKF)

El Filtre de Kalman clàssic és l'estimador òptim per a sistemes lineals amb soroll gaussià. No obstant això, com s'ha definit a l'Equació 2.11, l'equació de sortida de la bateria inclou el terme $V_{OCV}(SoC_k)$, el qual presenta una forta no-linealitat. Aplicar un filtre lineal provocaria la divergència de l'estimador.

Per abordar aquesta no-linealitat s'utilitza el **Filtre de Kalman Estès (EKF)**. Aquesta variant linealitza el sistema al voltant del punt d'operació actual en cada instant de mostreig mitjançant l'expansió en Sèries de Taylor de primer ordre, calculant les matrius Jacobianes del sistema.

2.4.2 Formulació de l'Espai d'Estats

Per aplicar l'EKF, primer cal reescriure les equacions de diferències del model de Thevenin (apartat 2.3) en la forma genèrica d'espai d'estats no lineal:

$$x_k = f(x_{k-1}, u_{k-1}) + w_{k-1} \quad (2.12)$$

$$y_k = h(x_k, u_k) + v_k \quad (2.13)$$

On definim el vector d'estats com $x_k = [SoC_k, V_{RC,k}]^T$, l'entrada com $u_k = I_k$, i la sortida mesurada com $y_k = V_{t,k}$. Els termes w_{k-1} i v_k representen el soroll del procés i el soroll de mesura (sensor de voltatge), amb matrius de covariància Q i R respectivament.

Les matrius Jacobianes $\hat{A}_k$ (transició d'estats) i $\hat{C}_k$ (observació) es deriven avaluant les derivades parcials de les funcions f i h respecte al vector d'estats:

$$\hat{A}_k = \left. \frac{\partial f}{\partial x} \right|_{x=\hat{x}_{k-1}^+} = \begin{bmatrix} 1 & 0 \\ 0 & \exp\left(-\frac{\Delta t}{R_1 C_1}\right) \end{bmatrix} \quad (2.14)$$

$$\hat{C}_k = \left. \frac{\partial h}{\partial x} \right|_{x=\hat{x}_k^-} = \begin{bmatrix} \frac{\partial V_{OCV}(SoC)}{\partial SoC} & -1 \end{bmatrix} \quad (2.15)$$

És important destacar que el terme $\frac{\partial V_{OCV}}{\partial SoC}$ és el pendent de la corba característica de la bateria en el punt actual, el qual s'implementa computacionalment avaluant la derivada d'una taula de cerca (*Look-Up Table, LUT*) o un polinomi ajustat.^[7]

2.4.3 Execució de l'Algorisme EKF

L'execució de l'algorisme dins del microcontrolador es divideix en un procés iteratiu de dues fases:

1. Fase de Predicció (*A Priori*): El model matemàtic projecta l'estat actual cap al futur basant-se en el corrent mesurat (Coulomb Counting), i n'augmenta la incertesa (covariància P):

$$\hat{x}_k^- = f(\hat{x}_{k-1}^+, u_{k-1}) \quad (2.16)$$

$$P_k^- = \hat{A}_{k-1} P_{k-1}^+ \hat{A}_{k-1}^T + Q \quad (2.17)$$

2. Fase de Correcció (*A Posteriori*): Es llegeix el voltatge real de la bateria als terminals (y_k). Es calcula el Guany de Kalman (L_k), que pondera si cal refiar-se més del model matemàtic o de la mesura del sensor. Finalment, es corregeix l'estat predit i se n'actualitza la covariància:

$$L_k = P_k^- \hat{C}_k^T \left(\hat{C}_k P_k^- \hat{C}_k^T + R \right)^{-1} \quad (2.18)$$

$$\hat{x}_k^+ = \hat{x}_k^- + L_k (y_k - h(\hat{x}_k^-, u_k)) \quad (2.19)$$

$$P_k^+ = \left(I - L_k \hat{C}_k \right) P_k^- \quad (2.20)$$

La diferència $(y_k - h(\hat{x}_k^-, u_k))$ s'anomena innovació, i representa l'error entre el voltatge que el model creia que tindria la bateria i el voltatge real mesurat. Gràcies a aquesta realimentació, l'EKF és capaç de convergir cap al *SoC* real fins i tot si l'estimació inicial era errònia.

3. Disseny i Implementació

Aquest capítol detalla l'arquitectura del hardware i el software desenvolupat per al sistema de gestió de bateries (BMS). Es descriu la selecció de components, l'esquema de connexions i la implementació discreta de l'algorisme de filtratge en el microcontrolador.

3.1 Arquitectura General del Sistema

El sistema proposat es basa en una arquitectura centralitzada on un microcontrolador (ESP32) actua com a unitat principal de processament, adquirint dades de sensors dedicats via bus I2C.[8].

3.1.1 Chips de control:

Per a la protecció integral de la bateria de dues cel·les en sèrie, s'ha seleccionat el circuit integrat HY2120-LB de HYCON Technology. S'ha optat per delegar aquesta funció crítica a un xip de maquinari dedicat, en lloc de dependre exclusivament del microcontrolador (ESP32), per garantir un sistema de seguretat *failsafe* (a prova de fallades). D'aquesta manera, encara que el programari pateixi un error o el microcontrolador es reiniciï, la protecció física de les cel·les resta assegurada de forma totalment autònoma. Aquest dispositiu monitoritza individualment el voltatge de cada cel·la i el corrent de descàrrega per garantir que el sistema operi dins dels marges de seguretat.

El model específic “-LB” ha estat escollit precisament perquè els seus llimars de voltatge s'ajusten a la perfecció a les toleràncies químiques de les cel·les Li-ion utilitzades:

- **Protecció per sobrecàrrega (V_{CV}):** Estableix un tall de seguretat als 4.250 ± 0.025 V. Un cop detectada la sobrecàrrega, el xip desactiva el MOSFET de càrrega fins que el voltatge cau per sota de 4.05 V (V_{CR}).
- **Protecció per sobreescàrrega (V_{DL}):** Per evitar danys permanents a l'electròlit, el xip talla la descàrrega quan una cel·la arriba als 2.80 ± 0.08 V. El sistema s'allibera automàticament quan el voltatge recupera els 3.00 V (V_{DR}).
- **Funció Power-down:** La justificació d'utilitzar aquest model recau també en el codi de característica “E”, el qual fa que l'integrat entri en mode de baix consum extrem ($0.1\mu\text{A}$ màxim) quan es detecta una sobreescàrrega, preservant la vida útil

de la bateria i evitant la seva mort química durant períodes prolongats d'inactivitat.



Figure 3.1: Chip HY2120-LB.[9]

Símbol	Descripció	Valor (Típ.)	Unitat
V_{CU}	Voltatge de detecció de sobrecàrrega	4.250	V
V_{CR}	Voltatge d'alliberament de sobrecàrrega	4.050	V
V_{DL}	Voltatge de detecció de sobredescàrrega	2.800	V
V_{DR}	Voltatge d'alliberament de sobredescàrrega	3.000	V
V_{DIP}	Voltatge de detecció de sobrecorrent	200	mV
I_{DD}	Consum de corrent en funcionament	5.0	μA
I_{PD}	Consum de corrent en mode <i>Power-down</i>	0.1	μA

Table 3.1: Especificacions tècniques del xip de protecció HY2120-LB.[9]

3.1.2 Sistema de Balanceig de Cel·les: HY2213-BB3A

Per garantir que les dues cel·les Panasonic de la bateria mantinguin un voltatge equilibrat durant el procés de càrrega, s'utilitza el circuit integrat HY2213-BB3A de HYCON Technology. S'ha escollit una solució de balanceig passiu basat en maquinari independent atès que, per a paquets de baixa capacitat (2S), resulta una topologia molt més econòmica i

compacta que un balanceig actiu, a la vegada que allibera el microcontrolador principal d'haver de gestionar aquesta tasca de control continu. Aquest xip actua com un detector de voltatge de precisió que activa un circuit de dissipació quan una cel·la supera el llindar establert.

3.1.2.1 Lògica de Balanceig i Detecció

El model seleccionat (-BB3A) té la particularitat d'activar el procés de balanceig exactament al mateix nivell que la detecció de sobrecàrrega típica (4.200 V), el que permet aprofitar al màxim la capacitat de les cel·les Li-ion sense estrèssar-les innecessàriament.

- **Detecció d'equilibri (V_{CB}):** El xip activa el pin OUT quan el voltatge de la cel·la arriba als 4.200 ± 0.025 V. En aquest moment, s'activa el MOSFET de canal N extern (model 2N7000) per derivar el corrent a través de la resistència de balanceig. L'ús del transistor 2N7000 es justifica per la seva condició de component de petita senyal de nivell lògic, idoni per commutar els petits corrents de dissipació amb extrema rapidesa i sense requerir *drivers* addicionals.
- **Alliberament d'equilibri (V_{CBR}):** El procés de dissipació s'atura quan el voltatge de la cel·la cau fins als 4.190 ± 0.050 V. Aquesta petita histèresi de 10 mV és fonamental per evitar oscil·lacions ràpides (*chattering*) en el circuit de commutació.
- **Consum d'energia:** El dispositiu és eficient, amb un consum típic en funcionament de només $2.5 \mu\text{A}$, assegurant que el propi sistema de control no introdueixi un consum paràsit que descarregui la bateria de forma significativa.



Figure 3.2: Chip HY2213-BB3A.[10]

Símbol	Descripció	Valor (Típ.)	Unitat
V_{CU}	Voltatge de detecció de sobrecàrrega	4.200	V
V_{CR}	Voltatge d'alliberament de sobrecàrrega	4.000	V
V_{CB}	Voltatge de detecció de balanceig	4.200	V
V_{CBR}	Voltatge d'alliberament de balanceig	4.190	V
T_{OC}	Temps de retard de detecció	1000	ms
I_{DD}	Corrent de funcionament típic	2.5	μA

Table 3.2: Paràmetres elèctrics del xip HY2213-BB3A.[10]

3.1.3 Components utilitzats

3.1.3.1 Cel·les d'Ió-Liti Panasonic NCR18650B

L'emmagatzematge d'energia del prototip es basa en dues cel·les de liti-ió cilíndriques en format estàndard 18650 fabricades per Panasonic, concretament el model NCR18650B. Segons les especificacions tècniques proporcionades pel fabricant, el comportament operatiu d'aquestes cel·les ve definit pels següents paràmetres crítics:

- **Capacitat típica:** 3350 mAh (mínima garantida de 3200 mAh a 25°C).

- **Tensió nominal:** 3.6 V.
- **Voltatge màxim de càrrega:** 4.20 V.
- **Voltatge de tall de descàrrega:** 2.50 V.
- **Corrent de càrrega estàndard:** 1.625 A (modalitat CC-CV).

Aquests límits termodinàmics dictaminen directament l'Envolupant d'Operació Segura (SOE) del sistema. De fet, els llindars de protecció del maquinari (detallats a l'apartat 3.1.1) s'han seleccionat específicament per respectar aquest full de característiques.

D'una banda, el tall per sobredescàrrega fixat pel xip d'HYCON a 2.80 V proporciona un marge de seguretat conservador respecte al límit absolut de descàrrega de 2.50 V indicat per Panasonic. Aquesta decisió sacrifica una petita fracció de la capacitat útil a canvi de reduir l'estrès químic de la cel·la, prolongant-ne dràsticament l'Estat de Salut (SoH) a llarg termini. D'altra banda, el circuit de balanceig passiu s'activa exactament als 4.20 V, respectant rigorosament el voltatge de fi de càrrega del fabricant per evitar el deteriorament.[11]



Figure 3.3: Cel·les Panasonic NCR18650B.

3.1.3.2 Transistor de Potència N-MOSFET (IRLZ34N)

El transistor IRLZ34N és un MOSFET de potència de canal N dissenyat amb excitació de porta de nivell lògic. En l'arquitectura d'aquest BMS, aquests transistors actuen

com a interruptors principals de l'etapa de potència, encarregant-se de connectar o aïllar físicament les cel·les d'ió-liti de la càrrega externa o del carregador.

La seva selecció per a aquest projecte ve justificada per dos factors crítics:

1. **Baix voltatge llindar ($V_{GS(th)}$):** Permet la plena saturació del transistor utilitzant directament els nivells lògics baixos de la circuiteria de control, sense necessitat d'incorporar *drivers* elevadors de tensió addicionals.
2. **Alta eficiència de conducció:** Presenta una resistència en estat actiu ($R_{DS(on)}$) excepcionalment baixa, d'aproximadament $46\text{ m}\Omega$. Això minimitza les pèrdues energètiques per efecte Joule i evita un escalfament excessiu de la placa fins i tot quan el sistema subministra corrents elevats a la càrrega.

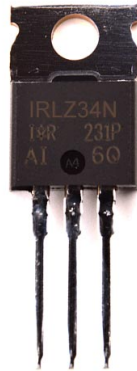


Figure 3.4: Mosfet IRLZ34N.[12]

Símbol	Paràmetre	Mín.	Típ.	Màx.	Unitat
Límits Màxims d'Operació					
$V_{(BR)DSS}$	Voltatge de Ruptura Drenador-Font	55	-	-	V
I_D	Corrent Contínua de Drenador ($T_C = 25^\circ\text{C}$)	-	-	30	A
V_{GS}	Voltatge Porta-Font	-	-	± 16	V
Característiques Elèctriques i de Conducció					
$V_{GS(th)}$	Voltatge Llindar de Porta (Threshold)	1.0	-	2.0	V
$R_{DS(on)}$	Resistència Estàtica a $V_{GS} = 5.0\text{V}$	-	-	0.046	Ω
Característiques del Díode Intern					
V_{SD}	Voltatge Directe del Díode ($I_S = 16\text{A}$)	-	-	1.3	V

Table 3.3: Resum de les característiques tècniques principals del transistor MOSFET IRLZ34N.[12]

3.1.3.3 Transistor de Petita Senyal N-MOSFET (2N7000)

El transistor 2N7000 és un MOSFET de canal N de petita senyal. A diferència dels transistors de potència principals, en l'arquitectura d'aquest BMS, el 2N7000 s'utilitza exclusivament dins de la xarxa de balanceig passiu. La seva funció és actuar com a interruptor de derivació (*bypass*), controlat directament per la sortida lògica del xip HY2213 per tancar el circuit cap a les resistències de dissipació.

La seva integració en el disseny es justifica pels següents motius tècnics:

1. **Idoneïtat per a petits corrents:** Està dissenyat per suportar corrents continus de fins a 200mA , un marge més que suficient per gestionar els $\approx 42\text{mA}$ que travessen les resistències de balanceig del disseny, garantint una operació segura sense sobreescalfament.
2. **Compatibilitat de nivells lògics:** Presenta una tensió llindar de porta ($V_{GS(th)}$) baixa, fet que permet que el xip de control HY2213 el pugui portar a l'estat de conducció (saturació) de forma directa i ràpida, sense requerir circuiteria d'excitació addicional.
3. **Format compacte i eficiència econòmica:** En tractar-se d'un component estàndard de petita senyal, redueix el cost global del sistema i minimitza l'espai

ocupat a la placa de circuit imprès (PCB).

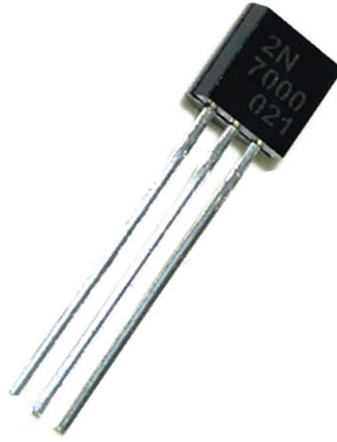


Figure 3.5: N-MOSFET 2N7000 utilitzat a l'etapa de balanceig del sistema.[13]

3.1.3.4 Convertidor DC/DC (TSR 1-2433)

El TSR 1-2433 de Traco Power és un regulador commutat (*switching regulator*) de tipus reductor (*step-down*). Dins de l'arquitectura del BMS, aquest mòdul té la funció crítica d'adaptar la tensió variable del bus principal de les bateries (que oscil·la entre els 5.6 V en estat descarregat i els 8.4 V a plena càrrega) a una tensió contínua i estable de 3.3 V, necessària per alimentar de forma segura el microcontrolador ESP32 i la xarxa de sensors I2C.

La seva inclusió en el disseny, descartant l'ús de reguladors lineals tradicionals molt comuns (com la família LM7833 o els LDO com l'AMS1117), es justifica tècnicament per tres factors clau:

1. **Eficiència energètica superior:** Gràcies a la seva topologia de commutació, assoleix una eficiència de fins al 96%. En un sistema autònom (node IoT), evitar que la diferència de tensió es dissipï inútilment en forma de calor és fonamental per maximitzar l'autonomia global del paquet de bateries.
2. **Gestió tèrmica i miniaturització:** En no generar un excés de calor durant el procés de regulació, aquest convertidor opera de forma segura sense necessitat d'incorporar dissipadors tèrmics de metall externs. Això estalvia espai a la placa de circuit imprès (PCB) i permet un disseny molt més compacte i integrat.
3. **Resposta davant pics de corrent:** El mòdul és capaç de subministrar fins a 1 A

de corrent de sortida de forma sostinguda. Aquest marge de potència cobreix amb garanties els pics de consum transitoris que genera el transceptor Wi-Fi de l'ESP32 durant les ràfegues de transmissió de dades i actualitzacions OTA, evitant caigudes de tensió que podrien reiniciar el microcontrolador.

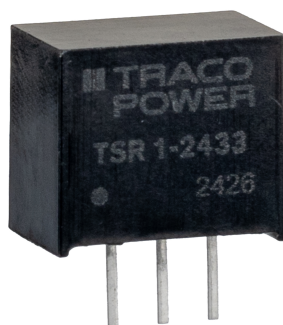


Figure 3.6: TSR1-[14]

Paràmetre	Valor
Codi de comanda	TSR 1-2433
Tensió de sortida nominal	3.3 VDC
Rang de tensió d'entrada	4.75–36 VDC (9 VDC nom.)
Corrent de sortida màxim	1000 mA
Eficiència típica	91% (a V_{in} min.)
Fusible d'entrada recomanat	1250 mA (acció lenta)
Ondulació i soroll (20 MHz BW)	50 mVp-p típ.
Protecció contra curtcircuits	Contínua, recuperació automàtica

Table 3.4: Especificacions del convertidor DC/DC TSR 1-2433.[14]

3.1.4 Introducció a la gestió de dades: El rol del LTC2944

Un dels pilars d'aquest projecte és la capacitat de conèixer, en temps real i amb alta precisió, l'estat energètic de les cel·les. Per dur a terme aquesta tasca, l'arquitectura d'aquest projecte delega l'adquisició i acumulació de les dades primàries al circuit integrat LTC2944.

Tal com s'ha justificat en l'etapa de disseny de maquinari, aquest component actua com un integrador de càrrega (*Coulomb Counter*). La seva característica principal és la capacitat d'operar de manera completament autònoma; mesura i acumula contínuament el corrent que travessa la resistència *shunt* de les bateries, sense requerir cap intervenció constant per part del processador central del projecte, en aquest cas l'ESP-32.

Com que el sensor LTC2944 s'encarrega de sensar de forma constant mentre el sistema estigui viu, el microcontrolador ESP32 queda alliberat d'haver de fer lectures analògiques constants.

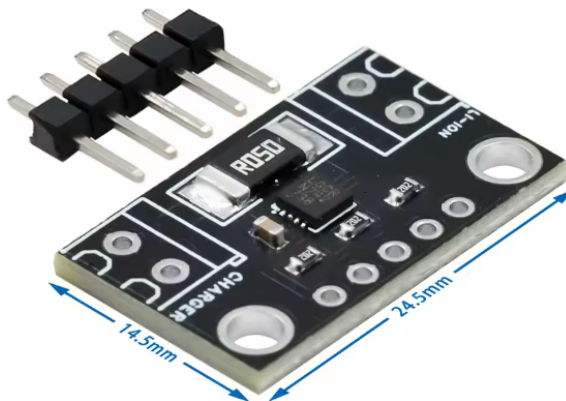


Figure 3.7: Mòdul LTC2944.[15]

Característica	Especificació Tècnica	Justificació en l'arquitectura del BMS
Funció Principal	Integrador de Càrrega (<i>Coulomb Counter</i>)	Opera autònomament mesurant el corrent entrant i sortint les 24 hores del dia. Permet que el microcontrolador romanguí en <i>Deep Sleep</i> estalviant energia sense perdre informació de la càrrega.
Rang de Voltatge d'Operació	3.6 V a 60 V	Suporta directament la tensió total del paquet de bateries d'ió-liti multicel·la sense necessitat de dissenyar divisors de tensió externs.
Consum de Corrent (<i>Quiescent</i>)	$\approx 80 \mu\text{A}$ (Mode Sleep de l'ADC) $\approx 850 \mu\text{A}$ (ADC actiu)	Consum elèctric extremadament baix durant gairebé tot el temps d'operació, evitant la descàrrega parasitària de les cel·les a llarg termini.
Protocol de Comunicació	Bus I ² C / SMBus	Facilita la connexió amb el sistema de control mitjançant només dues línies de dades (SDA i SCL).

Table 3.5: Especificacions clau del monitor de bateries LTC2944 i el seu impacte en el disseny del projecte.[15]

3.1.5 Creació del Component Personalitzat per al Mòdul LTC2944

La integració del sensor de telemetria LTC2944 al disseny de la PCB ha requerit la creació manual del seu component a la llibreria d'Altium Designer. Atès que per a aquest disseny s'ha optat per utilitzar un mòdul comercial preensamblat (*breakout board*) en lloc del circuit integrat nu, les empremtes físiques (*footprints*) i els símbols esquemàtics proporcionats oficialment pel fabricant al *datasheet* o disponibles a les biblioteques estàndard d'enginyeria no eren aplicables.

Per resoldre aquesta incompatibilitat mecànica, s'ha dissenyat un símbol esquemàtic personalitzat que reflecteix exclusivament les connexions d'entrada i sortida exposades pel mòdul (bus I²C, alimentació i línies de potència S+ / PB+). Paral·lelament, s'ha traçat

una empremta (*footprint*) a mida, reproduint les dimensions físiques exactes de la placa i la distància entre els seus pins (*pitch*). Aquesta parametrització manual garanteix que, a l'hora d'acoblar físicament la PCB, els forats de muntatge Through-Hole coincideixin a la perfecció amb els capçals del component real.

A continuació, s'exposa el desenvolupament del microprogramari dissenyat per a l'ESP32. En els següents apartats es detallarà com s'estableix el protocol de lectura I2C per extreure les dades crues del LTC2944, com s'apliquen els algorismes matemàtics per a l'estimació dels estats de la bateria (SOC i SOH), i com s'integren aquestes rutines dins de l'estratègia d'estalvi energètic (*Deep Sleep*) i transmissió de dades remota del sistema.

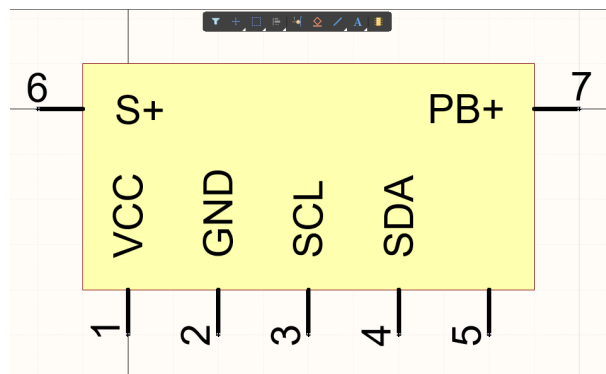


Figure 3.8: Símbol esquemàtic del mòdul LTC2944 dissenyat a Altium Designer.

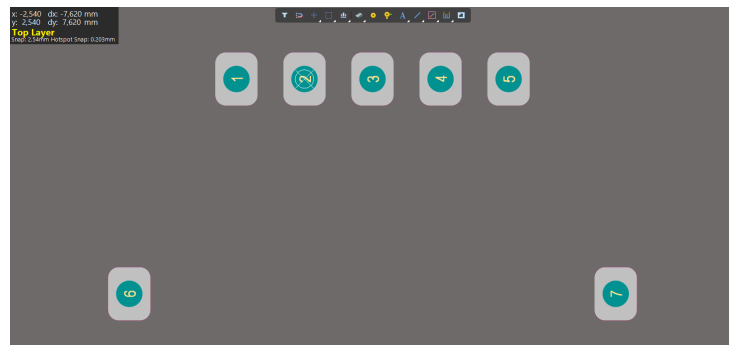


Figure 3.9: : Empremta física (*footprint*) dissenyada manualment per a l'acoblament del mòdul LTC2944 a la PCB.

3.1.6 Etapa de Potència i Gestió Bidireccional (Díodes Paràsits)

La interrupció física del flux de corrent recau sobre dos transistors N-MOSFET de nivell lògic, model IRLZ34N, connectats en configuració de drenador comú. Aquesta configuració en sèrie asimètrica és fonamental per gestionar la bidireccionalitat de la bateria (càrrega i descàrrega) aprofitant el díode paràsit intern inherent en l'estructura dels MOSFETs:

1. **Bloqueig per Sobrecàrrega (Control de Càrrega):** Si el voltatge d'una cel·la assoleix el límit de detecció de sobrecàrrega de 4.25 V, l'IC posa el pin OC a nivell baix, bloquejant el transistor corresponent. La càrrega s'interromp immediatament. No obstant això, gràcies a l'orientació del seu díode intern, el sistema permet la sortida de corrent. Això significa que el microcontrolador o la càrrega externa poden continuar drenant energia de la bateria, cosa que ajudarà a reduir el voltatge de la cel·la fins al nivell d'alliberament segur de 4.05 V.
2. **Bloqueig per Sobreescàrrega (Control de Descàrrega):** Quan la tensió d'una cel·la cau fins als 2.80 V, l'IC actua sobre el pin OD, apagant el segon transistor i desconnectant completament el circuit de la càrrega per evitar la degradació química de la bateria. En aquest estat de bloqueig, el sistema només permet el flux de corrent en sentit contrari a través del díode intern d'aquest transistor. Per tant, l'única forma de rearmar el circuit és connectant un carregador; el corrent fluirà a través del díode fins que la cel·la recuperi el nivell segur de 3.00 V. [16]

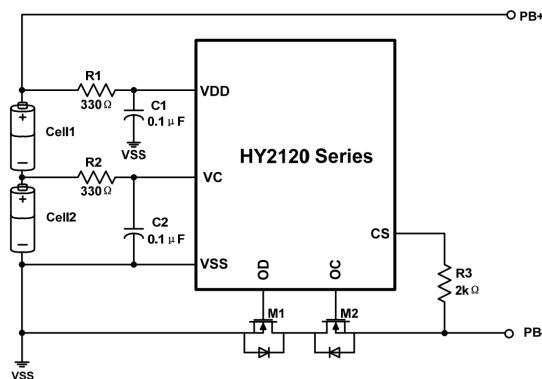


Figure 3.10: Esquema de connexions del circuit de protecció amb el chip HY2120-LB. [9]

3.1.7 Funcionament del Circuit de Balanceig i Etapa de Dissipació

El funcionament d'aquest subsistema es basa en la topologia de balanceig passiu descrita al capítol teòric, implementada de forma autònoma per a cada cel·la. El circuit integrat HY2213-BB3A s'encarrega d'aquesta acció de forma independent mitjançant l'avaluació constant del voltatge als seus terminals (VDD i VSS).

El procés de balanceig s'executa a través de la següent seqüència de control lògic:

1. **Estat de Repòs i Càrrega Normal:** Mentre el voltatge de la cel·la es mantingui per sota del llindar de detecció d'equilibri ($V_{CB} = 4.200 \text{ V}$), el pin de sortida de control OUT del xip es manté a nivell baix (0 V). Aquest senyal manté el transistor de balanceig (un N-MOSFET model 2N7000 connectat al pin OUT) en estat de tall, evitant qualsevol desviació de corrent i permetent que la cel·la es carregui de forma eficient. El consum propi de l'IC en aquest estat és de només $2.5 \mu\text{A}$ (valor típic), minimitzant l'autodescàrrega de la bateria.
2. **Activació del Balanceig (Detecció de Sobrecàrrega):** Si, a causa del desequilibri, una de les cel·les arriba als 4.200 V durant la càrrega, el xip ho detecta i, després d'un temps de retard (T_{OC}) d'aproximadament 1 segon, el pin OUT commuta a nivell alt (igualant-se al voltatge de VDD). Això satura el transistor N-MOSFET extern, tancant un circuit paral·lel a la cel·la.
3. **Dissipació d'Energia:** Un cop el MOSFET està actiu, el corrent provinent del carregador té una via alternativa de menor resistència. Una part del corrent de càrrega es desvia a través del MOSFET i travessa una resistència de balanceig (R_B) connectada en sèrie amb el drenador del transistor. Aquesta resistència transforma l'excés d'energia elèctrica en calor, frenant el ritme de càrrega d'aquesta cel·la específica i permetent que la cel·la més endarrerida continuï carregant-se per atrapar-la.
4. **Desactivació del Balanceig (Histèresi):** El procés de dissipació continua fins que el voltatge de la cel·la descarrega lleugerament i assoleix el llindar d'alliberament ($V_{CBR} = 4.190 \text{ V}$). En aquest punt, el pin OUT torna a nivell baix, apagant el MOSFET. Aquesta histèresi de 10 mV entre el punt de connexió i desconexió és crucial per evitar oscil·lacions ràpides i inestabilitat en la commutació del transistor.

Per garantir un funcionament segur i protegir el circuit integrat, el pin VDD s'acobla a la cel·la a través d'una resistència limitadora (R_1) i un condensador de filtratge (C_1), tal com recomana el fabricant per atenuar les fluctuacions de voltatge i reforçar la protecció

contra descàrregues. [10]

3.2 Validació experimental

Amb l'objectiu de comprovar el correcte funcionament del disseny proposat abans de la integració final, s'ha dut a terme una validació dels dos subsistemes crítics del BMS: el circuit de protecció i el circuit de balanceig.

3.2.1 Adaptació de components SMD per a prototipatge

La majoria dels circuits integrats moderns per a la gestió de bateries, com els xips de la sèrie HY2120 (protecció) i HY2213 (balanceig), es fabriquen exclusivament en encapsulats de muntatge superficial (SMD), concretament en format SOT-23-6. Com que aquest format no és compatible amb l'ús directe sobre plaques de proves (protoboard), la primera fase de la validació ha consistit en l'adaptació mecànica d'aquests components.

S'han utilitzat plaques adaptadores (DIP adapters) on s'han soldat manualment els microxips SMD juntament amb els components passius associats i els transistors MOSFET de potència. Aquesta tècnica ha permès obtenir mòduls funcionals amb pins de connexió tipus *Through-Hole*, facilitant-ne la interconnexió a la protoboard i permetent la col·locació de sondes de mesura de manera segura i accessible, tal com es mostra a la Figura 3.11.

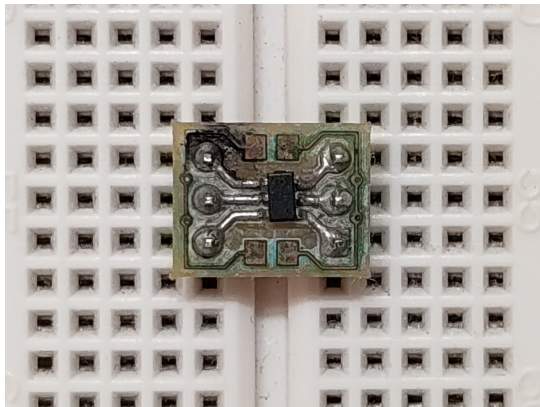


Figure 3.11: Adaptador SMD a DIP amb el xip de gestió soldat manualment per a proves en protoboard.

3.2.2 Assaig del circuit de protecció (HY2120)

Per validar el circuit de protecció contra sobredescàrregues, s'ha dissenyat un assaig sotmetent el paquet de bateries a un corrent de descàrrega constant mitjançant una càrrega

electrònica regulable. L'objectiu d'aquesta prova és verificar que el xip de protecció obre correctament els MOSFETs quan el voltatge de les cel·les assoleix el límit crític de seguretat. El muntatge experimental complet es pot observar a la Figura 3.12.

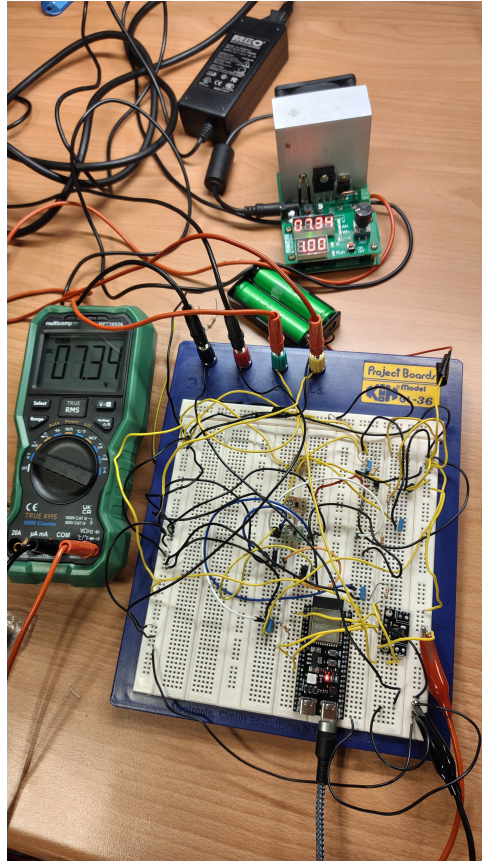


Figure 3.12: Muntatge experimental complet incloent l'ESP32, el BMS muntat a la protoboard, el multímetre i la càrrega electrònica regulable sotmetent les cel·les a descàrrega.

L'anàlisi s'ha dut a terme monitoritzant el circuit amb un multímetre digital en dos punts de mesura estratègics:

- **Punts B+ i B- (Voltatge real de les cel·les):** La mesura directa als pols físics de la bateria permet conèixer l'estat electroquímic real de l'acumulador independentment de l'estat dels transistors de tall.
- **Punts P+ i P- (Voltatge de sortida de càrrega):** Aquests nodes representen la sortida final del BMS cap a l'aplicació. Mesurar aquí permet constatar l'estat de conducció dels MOSFETs.

Procediment i resultats:

Durant el procés de descàrrega, el voltatge mesurat als terminals P+ i P- ha coincidit amb el dels terminals B+ i B-, demostrant la correcta conducció dels transistors en estat operatiu. En el moment en què la cel·la més feble ha assolit el llindar de sobreescàrrega fixat pel fabricant del xip, s'ha observat una caiguda abrupta del voltatge als terminals P+ i P- fins a 0 V, interrompent immediatament el pas de corrent cap a la càrrega electrònica.

Paral·lelament, el multímetre connectat a B+ i B- ha continuat mostrant el voltatge residual de les cel·les, el qual ha experimentat un lleuger rebot ascendent a conseqüència de la interrupció sobtada del corrent. Aquesta prova certifica l'aïllament correcte de la càrrega. Addicionalment, s'ha validat l'estat de bloqueig inicial del xip (mode *sleep*), comprovant que per iniciar la conducció després d'una connexió nova és necessari aplicar un pols de reactivació curtcircuitant momentàniament els terminals B- i P-.

3.2.3 Assaig del circuit de balanceig passiu

La comprovació del sistema de balanceig independent s'ha realitzat desequilibrant les dues cel·les del paquet de forma deliberada prèviament al procés de càrrega, tot això utilitzant les fonts d'alimentació de laboratori simulant cada cel·la (per exemple, fixant la cel·la 1 a 4.250 V i la cel·la 2 a 3.90 V).

Per documentar l'activació del circuit, el multímetre s'ha disposat per mesurar la caiguda de tensió als extrems de les resistències de dissipació de 100 Ω col·locades en paral·lel a cada cel·la.

Procediment i resultats:

A mesura que s'ha introduït corrent de càrrega, la cel·la amb més potencial (cel·la 1) ha assolit ràpidament el límit superior de 4.20 V. En aquest precís instant, el xip corresponent a la cel·la 1 ha activat el seu MOSFET de derivació. Aquest fet s'ha evidenciat en mesurar una caiguda de tensió a la resistència de 100 Ω associada, confirmant que un corrent de *bypass* d'aproximadament 42 mA s'estava dissipant en forma de calor. D'aquesta manera, l'increment de voltatge de la cel·la 1 s'ha aturat de forma segura, permetent que la cel·la 2 continués absorbint energia fins a equiparar-se.

3.2.4 Limitacions del prototipatge en placa de proves: Anàlisi de la sobrecorrent

Durant els assajos de descàrrega amb la càrrega electrònica regulable, es va observar una limitació pràctica en el muntatge sobre la placa de proves. Tot i que el voltatge de les cel·les es mantenia en valors totalment segurs (aproximadament 3.90 V per cel·la), el sistema activava la protecció de tall abruptament en demanar corrents de descàrrega superiors als 280 mA - 300 mA.

Per comprendre aquest fenomen, cal analitzar el mecanisme de detecció de sobrecorrent de descàrrega del circuit integrat HY2120. Aquest xip no mesura el corrent de forma directa, sinó que monitoritza la caiguda de tensió entre el terminal negatiu de la bateria (B-) i la sortida de la càrrega (P-). Segons les especificacions del fabricant, la protecció s'activa quan aquesta diferència de potencial assoleix el llindar de detecció V_{DIP} , típicament calibrat a 200 mV.

Aplicant la Llei d'Ohm a l'instant exacte del tall i assumint el corrent experimental de 280 mA, es pot deduir la resistència elèctrica present en el camí de descàrrega del prototip:

$$R_{paràsit} = \frac{V_{DIP}}{I_{tall}} = \frac{0.20 \text{ V}}{0.28 \text{ A}} \approx 0.71 \text{ } \Omega \quad (3.1)$$

Aquest valor de $0.71 \text{ } \Omega$ correspon a la resistència paràsit total del muntatge. Aquesta no prové dels components actius, sinó que és inherent als contactes mecànics de les plaques de proves, l'ús de cablejat de prototipatge de laboratori i les soldadures temporals de l'adaptador SMD utilitzat per als circuits integrats. Aquesta resistència de $0.71 \text{ } \Omega$ provoca una caiguda de tensió artificial que "enganya" el xip de control, fent-li interpretar que s'està produint un sobrecorrent perillós.

Solució en la implementació final sobre PCB

Aquesta limitació és de caràcter purament constructiu i pròpia de la fase experimental. En la implementació definitiva del disseny sobre una PCB, aquest problema queda completament resolt mitjançant dues estratègies de disseny:

- **Dimensionament de les pistes de potència:** El traçat de les pistes per on circula el corrent principal (nodes B+, B-, P+ i P-) es dissenya amb una amplada molt superior, reduint la resistència del coure a pocs mil·lioims i afavorint la dissipació tèrmica per Efecte Joule.
- **Transistors de potència d'ultra-baixa resistència:** L'ús de MOSFETs de

potència com l'IRLZ34N, que presenten una resistència en conducció ($R_{DS(on)}$) de només 35 m Ω , garanteix que la caiguda de tensió real sigui mínima. Amb dos d'aquests transistors en sèrie, la resistència teòrica cau a uns 70 m Ω , fet que elevarà el límit de tall real de la protecció per sobre dels 2.5 A.

El disseny de la PCB, la justificació de l'amplada de les pistes i les proves finals de rendiment a corrents elevats on es demostra la superació d'aquesta limitació mecànica es detallen àmpliament en els capítols posteriors d'aquesta memòria.

3.2.5 Metodologia d'assaig i validació de la corba de càrrega i descàrrega

Per a la validació completa del sistema, s'ha analitzat tant el procés de recuperació d'energia com el mecanisme de seguretat davant la descàrrega profunda.

3.2.5.1 Estratègia de descàrrega i test de tall per sota voltatge

A causa de les limitacions de resistència paràsita de la placa de proves (detallades anteriorment), la validació del punt de tall per sobredescàrrega s'ha realitzat mitjançant una estratègia de dos passos per optimitzar el temps de laboratori:

1. **Pre-descàrrega ràpida (fora del circuit):** Inicialment, les cel·les es descarreguen connectant-les directament a la càrrega electrònica regulable a un corrent elevat (1 A - 2 A). En aquest punt, el sistema de protecció es troba fora del llaç, per la qual cosa es monitoritza manualment fins a assolir un voltatge total proper als 6.0 V (3.0 V per cel·la).
2. **Validació de tall automàtic (dins del circuit):** Un cop les cel·les estan prop del seu límit inferior de 2.8V, es reincorporen al circuit del BMS. La descàrrega final es realitza a un corrent limitat a 280 mA explicat anteriorment.

Aquest procediment permet verificar el comportament del xip HY2120 en condicions reals de treball. S'ha comprovat que, quan la cel·la més feble assoleix el llindar de 2.8 V, el xip desactiva els MOSFETs de potència de forma instantània, protegint les cel·les en els valors establerts abans de tenir danys permanents.

3.2.6 Disseny i fabricació d'un prototip de validació modular de la BMS

Davant les limitacions detectades en la fase de prototipatge en placa de proves, s'ha optat per una estratègia de validació modular. S'ha dissenyat i fabricat una primera versió de PCB que integra exclusivament l'etapa de potència: el sistema de protecció basat en l'HY2120 i el circuit de balanceig amb l'HY2213.

L'objectiu d'aquesta placa és el següent:

1. **Eliminació d'impedàncies paràsites:** Validar que l'ús de pistes de coure i soldadures fixes redueix la resistència del camí de descàrrega, eliminant els falsos positius de sobrecorrent observats als 280 mA.
2. **Aïllament de fallades:** Assegurar que la lògica de tall per sota voltatge i sobretensió funciona de forma autònoma i correcta abans d'integrar el sistema de control digital (ESP32) i la comunicació I2C.

Aquest enfocament permet caracteritzar el comportament tèrmic dels MOSFETs IRLZ34N i l'eficiència de les resistències de balanceig sota corrents de càrrega i descàrrega nominals (1 A - 2 A),

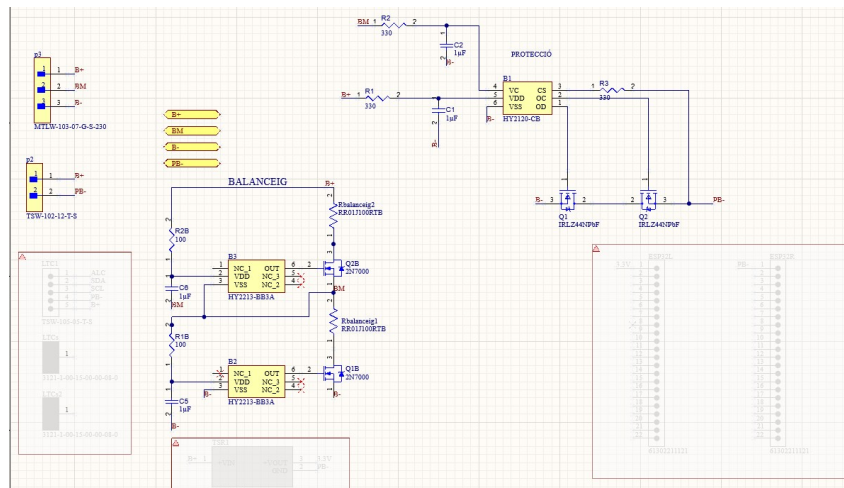


Figure 3.13: Schematic de la PCB prototip

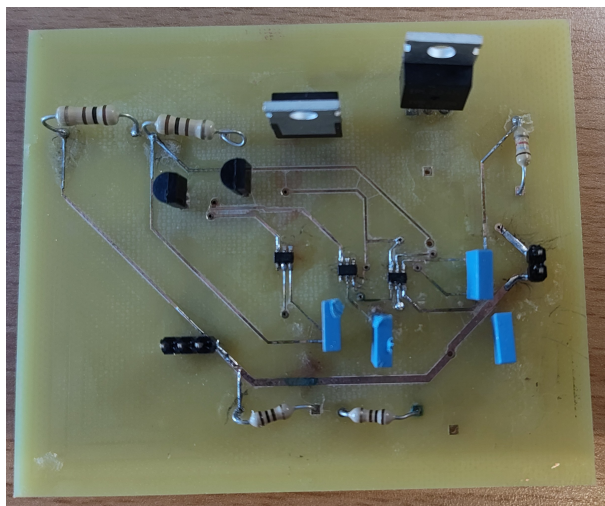


Figure 3.14: PCB Prototip

4. Disseny de la PCB en Altium

4.1 Disseny de la PCB completa

Superada la fase de validació modular i havent identificat les limitacions físiques de les impedàncies paràsites a la placa de proves, el següent pas del projecte ha consistit en la integració de tots els subsistemes en una única PCB. El disseny de l'esquemàtic s'ha realitzat mitjançant el programari d'enginyeria electrònica Altium Designer. Es divideix en els següents blocs principals:

4.1.1 Interfícies de Connexió (In/Out)

L'entrada d'energia provinent de les cel·les d'Ió-Liti es realitza a través del bloc **HOLDER IN**, un connector de tres vies que rep el pol positiu absolut ($B+$), el punt mig de la sèrie (BM) i el pol negatiu absolut ($B-$). La sortida cap a la càrrega externa o l'entrada del carregador es fa a través del **HOLDER OUT**, exposant els terminals $PB+$ (comú amb $B+$ en aquesta topologia de commutació de costat baix o *low-side*) i $PB-$.

4.1.2 Bloc de Protecció Principal

El nucli de seguretat està governat per l'integrat HY2120-CB. Tal com s'observa a l'esquemàtic, les línies de sensat de voltatge (VDD i VC) s'han protegit amb filtres passa-baix RC (formats per les resistències $R1, R2$ i els condensadors $C1, C2$ d' $1\mu F$). Aquesta decisió de disseny filtra el soroll d'alta freqüència generat per les fluctuacions de la càrrega, evitant falsos positius en la detecció de sobretensions.

El control del pas de corrent recau sobre dos transistors N-MOSFET de potència (IRLZ34N) en configuració de drenador comú (Node B). Aquesta disposició permet tallar independentment els fluxos de càrrega (Q2) i descàrrega (Q1), aprofitant els seus díodes paràsits per garantir la bidireccionalitat del sistema en estats de fallada.

4.1.3 Xarxa de Balanceig Passiu

Implementada com un bloc totalment autònom per augmentar la fiabilitat del sistema. Consta de dos integrats HY2213-BB3A connectats en paral·lel a cada cel·la. Quan detecten un desequilibri de sobrecàrrega, exciten la porta lògica dels transistors auxiliars

2N7000 (Q1B i Q2B), derivant l'excés de corrent cap a les resistències de dissipació SMD ($R_{balanceig1}$ i $R_{balanceig2}$).

4.1.4 Gestió d'Alimentació i Etapa Digital

El cervell del sistema, format per l'ESP32, requereix una tensió estable de 3.3 V per operar de forma segura. Aquesta reducció de tensió des dels $\approx 8.4\text{ V}$ del bus principal ($PB+$) s'aconsegueix mitjançant el convertidor DC/DC TSR 1-2433 explicat anteriorment a la taula 3.4.

Un dels aspectes més crítics de l'esquemàtic és la gestió de les referències de massa. Tant el terminal GND del regulador TSR com el de l'ESP32 i el del sensor de telemetria LTC2944 s'han referenciat al Node B (elèctricament situat entre els dos MOSFETs de potència). Aquesta topologia estratègica, detallada prèviament a la memòria, assegura que el microcontrolador mantingui l'alimentació durant un tall per sobrecàrrega (permetent la telemetria), però pateixi una desconexió física total (consum 0 mA) en cas de sobreescàrrega crítica de les cel·les, garantint-ne la supervivència química.

4.1.5 Telemetria i Bus de Comunicació

L'adquisició de dades es confia a l'integrador de càrrega LTC2944, connectat directament al bus positiu ($B+$). Aquest component es comunica amb l'ESP32 a través del bus I2C utilitzant les línies SDA i SCL. En compartir la mateixa massa lògica (Node B), es garanteix una transmissió de dades neta, lliure de problemes de voltatge de mode comú i sense necessitat d'utilitzar aïlladors galvànics addicionals en la placa.

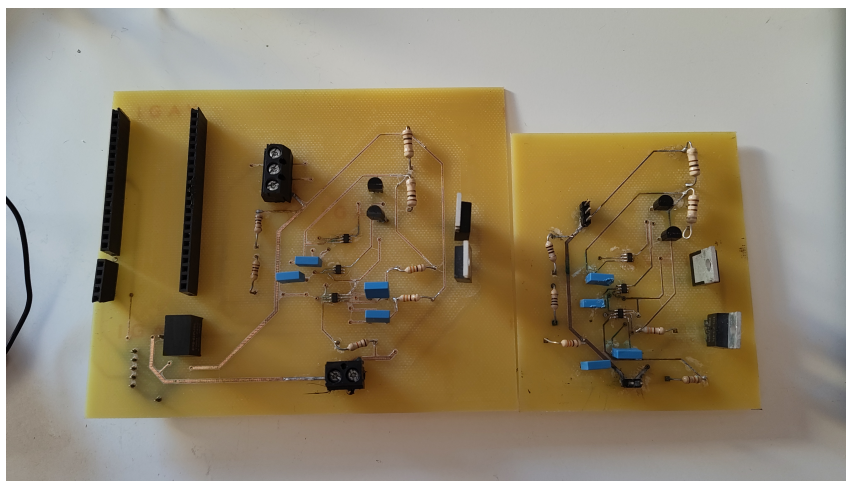


Figure 4.1: Comparativa física de la versió final del treball i la versió prèviament explicada.

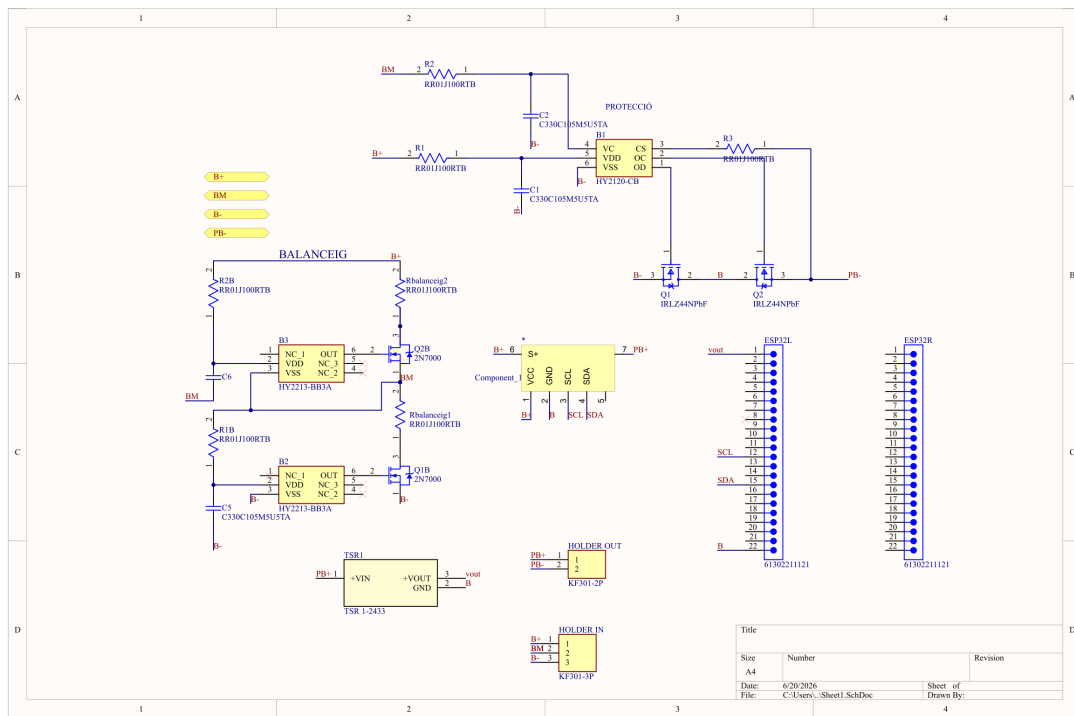


Figure 4.2: Esquema complet de la PCB

4.1.6 Limitacions de lectura del LTC2944 i dimensionament de la resistència de sensat

El monitor de bateria LTC2944 basa el seu funcionament en la mesura de la caiguda de tensió diferencial (V_{SENSE}) que es genera a través d'una resistència de sensat (R_{SENSE}) col·locada en sèrie amb la càrrega. El rendiment, la resolució i els límits de corrent del sistema venen dictaminats íntegrament pel valor d'aquesta resistència.

Actualment, el mòdul de proves implementa una resistència SMD de valor $R_{SENSE} = 50 \text{ m}\Omega$ (nomenclatura R050). Això imposa tres limitacions físiques i de resolució al sistema, basades en les especificacions del fabricant:

- **Límit de corrent màxim (Saturació):** El fabricant estableix que per garantir la precisió de l'integrador, el rang operatiu d'entrada diferencial ha d'estar comprès entre $\pm 50 \text{ mV}$. Aplicant la Llei d'Ohm, el corrent màxim que el sistema pot llegir sense saturar-se és de:

$$I_{max} = \frac{50 \text{ mV}}{50 \text{ m}\Omega} = 1 \text{ A}$$

- **Resolució de la lectura instantània (ADC):** El conversor analògic-digital de 12 bits té un pas de quantificació de $31.25 \text{ }\mu\text{V}$. Això vol dir que el sistema només és capaç de detectar variacions de corrent en graons de:

$$\Delta I = \frac{31.25 \text{ }\mu\text{V}}{50 \text{ m}\Omega} = 0.625 \text{ mA}$$

- **Llindar mínim d'integració (Corrent de repòs):** Per al seguiment de la capacitat (comptador de culombis), l'integrador analògic té un voltatge d'*offset* típic de $5 \text{ }\mu\text{V}$. Qualsevol caiguda de tensió inferior a aquest valor s'ignora per evitar acumular errors interns. Això es tradueix en un "punt cec" de:

$$I_{min} = \frac{5 \text{ }\mu\text{V}}{50 \text{ m}\Omega} = 0.1 \text{ mA}$$

Qualsevol consum inferior a $100 \text{ }\mu\text{A}$ no es registrarà en l'acumulador de càrrega.

4.1.7 Justificació de millora del maquinari i redimensionament

Tot i que un límit de 1 A i la resolució actual són ideals per validar la comunicació I²C amb el microcontrolador i verificar la topologia del circuit en laboratori, aquest rang és insuficient per a un escenari d'ús real. A l'hora de validar el prototip final, on les cel·les de liti hauran de suportar càrregues externes de potència, el sensor se saturarà ràpidament i es perdrà el seguiment fiable de l'Estat de Càrrega (SOC).

Per adaptar el disseny a requisits de major potència, és imperatiu substituir la resistència actual per un *shunt* de menor valor. Seleccionant una resistència de 5 mΩ, els nous paràmetres operatius del BMS serien:

- **Nou corrent màxim:**

$$I_{max} = \frac{50 \text{ mV}}{5 \text{ m}\Omega} = 10 \text{ A}$$

Aquest marge permet treballar de forma segura amb càrregues de potència considerables.

- **Nova resolució de l'ADC:**

$$\Delta I = \frac{31.25 \text{ }\mu\text{V}}{5 \text{ m}\Omega} = 6.25 \text{ mA}$$

S'assumeix la pèrdua de resolució fina, tractant-se d'un marge d'error totalment acceptable per a aplicacions de mitjana i alta potència.

- **Nou llindar d'integració:** El sistema començarà a registrar càrrega o descàrrega a partir de 1 mA ($I_{min} = 5 \text{ }\mu\text{V}/5 \text{ m}\Omega$).

Finalment, s'ha de contemplar el factor tèrmic en el disseny de la placa de circuit imprès (PCB). A 10 A de corrent continu, la resistència de 5 mΩ dissiparà una potència de $P = I^2 \cdot R = 0.5 \text{ W}$. Per tant, en l'esquemàtic s'ha de seleccionar un encapsulat adequat per a aquesta dissipació (com un format SMD 2010 o 2512) i assegurar en el *layout* un polígon de coure prou ample per evacuar la calor al voltant dels nodes SENSE+ i SENSE-.

5. Implementació del programari

5.0.1 Implementació del sistema d'actualització sense fils (OTA)

Durant les fases de desenvolupament, la interconnexió física de l'electrònica de potència amb l'entorn de programació presenta riscos crítics de seguretat elèctrica. Treballar amb cel·les de liti-ió capaces de subministrar corrents elevats implica que qualsevol curtcircuit accidental, transitori de tensió o un bucle de massa elèctrica a través del cable USB podria derivar directament cap a la línia de potència del bus de l'ordinador, provocant la destrucció irreversible d'algun sector de la placa base.

Per solucionar aquesta problema i minimitzar els riscos, s'ha optat per dissenyar un sistema de programació de microprogramari (*firmware*) tipus *Over-The-Air* (OTA). Aquest mètode utilitza el transceptor Wi-Fi integrat en el microcontrolador ESP32 per rebre les actualitzacions de codi a través de la xarxa local. Des del punt de vista de la seguretat, l'OTA actua a la pràctica com un aïllament entre ESP-32 i l'ordinador, eliminant qualsevol connexió física de coure entre el circuit de potència de les bateries i l'estació de treball.

5.0.1.1 Arquitectura interna i mapa de particions de la memòria Flash

El funcionament de l'OTA a l'ESP32 es regeix mitjançant una configuració específica de la seva taula de particions en la memòria Flash no volàtil. A diferència d'altres microcontroladors que sobrescriuen el codi actiu de manera directa, l'ESP32 utilitza un disseny de redundància modular tipus A/B per garantir que el dispositiu mai quedi inutilitzat davant d'una fallada de connexió a mitja transferència.

El mapa de memòria del sistema es divideix en les següents particions estructurals:

- **Bootloader:** El sector inicial que s'executa immediatament després d'un reinici del sistema hardware. És l'encarregat de llegir l'estat dels registres de control i decidir quina aplicació carregar.
- **OTA Data (otadata):** Una partició de control de mida reduïda que emmagatzema l'apuntador de seqüència d'arrencada. Guarda el registre de quina és la partició d'aplicació activa i quina és la inactiva en cada instant.
- **OTA_0 (app0):** Primera partició lògica destinada a emmagatzemar el codi binari

executable del BMS.

- **OTA_1 (app1):** Segona partició lògica, de dimensions idèntiques a **app0**, utilitzada com a zona de recepció i emmagatzematge secundari.

5.0.1.2 Mecanisme d'intercanvi de firmware

Quan s'inicia una transferència de codi de manera remota des de l'entorn de desenvolupament, l'ESP32 executa una seqüència de commutació asíncrona:

1. **Escriptura en segon pla:** Mentre el microcontrolador manté el procés actiu de lectura de sensors i control de seguretat des de la partició actual (per exemple, **app0**), rep els paquets de dades Wi-Fi i els va escrivint de manera seqüencial dins de la partició inactiva (**app1**).
2. **Validació de la integritat:** Un cop finalitzada la descàrrega de tot el fitxer binari, l'ESP32 realitza una verificació de redundància cíclica (*Checksum*) per comprovar que les dades no s'han corromput durant la transmissió sense fils.
3. **Actualització del registre:** Si la validació és correcta, el microprogramari modifica el registre de la partició **otadata**, canviant l'apuntador cap a la nova adreça de memòria de **app1**.
4. **Reinici programat:** El sistema executa un reinici per programari. En engegar-se de nou, el *bootloader* llegeix **otadata** i inicialitza el sistema des del nou codi de la partició **app1**.

Si es detecta una pèrdua de cobertura Wi-Fi o un error de transmissió abans de completar el pas 2, l'ESP32 avorta l'operació i ignora la partició parcial. Com que la partició de treball original es manté intacta, el BMS continua operant amb total normalitat, garantint la continuïtat del monitoratge físic de les cel·les i la seguretat de les dues cel·les. [17]

5.0.2 Arquitectura de Monitorització i Càlcul d'Estats Base

El codi s'estructura com una màquina d'estats síncrona que s'executa a intervals regulars (ex: cada 1000 *ms*) mitjançant el temporitzador del sistema de sistema operatiu en temps real (FreeRTOS).

El flux d'execució cíclic per a la monitorització base es divideix en els següents passos:

1. **Adquisició de dades brutes (I2C):** El microcontrolador inicia una transacció de lectura als registres de l'LTC2944. S'obtenen els valors binaris de l'Acumulador de Càrrega, el Voltatge Total i el Corrent Instantani.
2. **Conversió a Unitats Físiques:** Els valors binaris (ADC *counts*) es multipliquen per les constants de sensibilitat derivades de la resistència de *shunt* (tal com indica el fabricant) per obtenir variables en coma flotant: V_{total} (Volts), I_{inst} (Amperes) i Q_{acum} (Amperes-hora).
3. **Càlcul Directe del SOC (Coulomb Counting):** Com a primera aproximació, l'ESP32 calcula l'Estat de Càrrega basat exclusivament en l'integrador de l'LTC2944 aplicant l'equació:

$$SoC_{CC,k} = SoC_{inicial} + \frac{Q_{acum,k}}{Q_{nom}} \cdot 100$$

Tot i que aquest mètode de *Coulomb Counting* és computacionalment molt lleuger i precís a curt termini, presenta un desavantatge teòric insalvable a llarg termini: l'acumulació d'errors. Petits errors d'offset en la mesura de l'ADC o incerteses en la capacitat real de la bateria (Q_{nom}) a causa de l'envelliment fan que aquest càlcul derivi amb el pas dels cicles. Per corregir aquesta deriva i conèixer l'estat químic real, el programari fa passar aquestes dades per un filtre d'estimació avançat, en el cas d'aquest treball, un filtre de Kalman.

5.0.3 Implementació del Filtre de Kalman Estès (EKF)

El propòsit d'implementar el Filtre de Kalman Estès dins de l'ESP32 és fusionar dues fonts d'informació imperfectes per obtenir una estimació òptima: el càlcul teòric del SOC (obtingut pel recompte de corrent) i el voltatge real mesurat als terminals.

A nivell de codi, l'EKF no s'implementa com una equació contínua, sinó com una funció iterativa que rep el corrent i el voltatge en l'instant actual k , i actualitza matrius predefinides a la memòria RAM del microcontrolador. L'algorisme consta de dues subrutines principals que s'executen a cada cicle:

5.0.3.1 Fase 1: Predicció de l'Estat

El filtre utilitza el model de Thevenin (RC) discretitzat per endevinar quin hauria de ser l'estat de la bateria abans de mirar el voltatge real. A partir del corrent instantani llegit I_k , s'actualitza el vector d'estats predit $\hat{x}_k^-$ (que conté el SOC i el voltatge de polarització V_{RC}) i s'incrementa la matriu d'incertesa P_k^- . Físicament, en aquesta fase, el programari està confiant exclusivament en el *Coulomb Counting*.

5.0.3.2 Fase 2: Correcció

Aquesta és la fase crítica on l'EKF demostra la seva utilitat. El microcontrolador executa els següents passos:

1. **Estimació del Voltatge:** S'utilitza una Taula de Cerca (*Look-Up Table*) carregada a la memòria flaix de l'ESP32 per trobar el Voltatge de Circuit Obert (V_{OCV}) corresponent al SOC predit. Amb això, el codi calcula quin voltatge $\hat{V}_{t,k}$ espera trobar als terminals.
2. **Càlcul de la Innovació:** L'ESP32 resta el voltatge teòric del voltatge real obtingut per l'LTC2944:

$$\text{Innovació} = V_{real} - \hat{V}_{teoric}$$

3. **Aplicació del Guany de Kalman:** Es calcula la matriu de Guany (L_k). Si el sensor de voltatge té poc soroll, el guany donarà més pes a la mesura física; si estem en una zona on la corba de la bateria és molt plana, donarà més pes al *Coulomb Counting*.
4. **Actualització de l'Estat:** Finalment, el SOC i la V_{RC} es corregeixen sumant-hi la innovació multiplicada pel guany, obtenint l'estat definitiu $\hat{x}_k^+$, que és el valor que s'enviarà a la interfície web de l'usuari.

Mitjançant aquesta implementació en llaç tancat, el microprogramari garanteix que l'Estat de Càrrega (SOC) mostrat convergeixi sempre cap al valor termodinàmic real, eliminant la deriva pròpia de l'integrador de maquinari i dotant el Smart BMS de resiliència davant les fluctuacions elèctriques.

6. Anàlisi de Consum Energètic, Autonomia Teòrica i Limitacions

A causa de les limitacions electromecàniques i els conflictes de bus diagnosticats durant la integració final del prototip (detallats al Capítol ??), no ha estat possible realitzar un perfilat de consum empíric del sistema complet mitjançant telemetria contínua. Per tant, l'avaluació energètica d'aquest treball es planteja mitjançant un Pressupost Energètic Teòric, basat en les especificacions tècniques dels fabricants de cada integrat.

L'anàlisi es divideix en l'avaluació del consum en diferents estats operatius i el posterior càlcul de l'autonomia teòrica per a un paquet de bateries estàndard de 2200 *mAh*.

6.1 Estats Operatius i Pressupost Energètic

El maquinari del Smart BMS ha estat dissenyat per operar en tres estats energètics molt diferenciats, els quals depenen directament del nivell de tensió de les bateries i de la necessitat de transmissió de dades.

6.1.1 Estat 1: Mode Actiu i Transmissió WiFi

Aquest és l'estat de màxim consum. Es dona quan el microcontrolador ESP32-S3 es desperta, alimenta el seu transceptor de radiofreqüència per connectar-se a la xarxa Wi-Fi, atén el servidor web i consulta les dades del sensor LTC2944 a través de l'I2C. Aquest estat està dissenyat per ser puntual i efímer.

- **ESP32-S3 (Transmissió RF):** $\approx 150 - 240 \text{ mA}$
- **Regulador TSR 1-2433 (Quiescent + Eficiència):** $\approx 2 \text{ mA}$
- **LTC2944 (Mesura activa):** $\approx 130 \mu\text{A}$
- **HY2120-CB (Monitoratge):** $\approx 3.0 \mu\text{A}$
- **HY2213 (Repòs, sense balancejar):** $\approx 2.5 \mu\text{A}$
- **Total Estimad (Mode Actiu):** $\approx 200 \text{ mA}$

6.1.2 Estat 2: Mode Repòs (Deep Sleep)

Aquest és l'estat d'operació nominal del sistema durant el 99% del temps. L'ESP32 desactiva els seus nuclis de processament i la ràdio WiFi, entrant en mode *Deep Sleep*. Mentrestant, el sensor LTC2944 es manté despert acumulant els corrents, a l'espera que l'ESP32 es desperti cíclicament per llegir els registres.

- **ESP32-S3 (Deep Sleep):** $\approx 10 - 20 \mu A$
- **Regulador TSR 1-2433 :** $\approx 1.5 mA$ (*Esdevé el coll d'ampolla energètic del mode repòs*)
- **LTC2944 (Mesura activa):** $\approx 130 \mu A$
- **Proteccions HYCON:** $\approx 5.5 \mu A$
- **Total Estimad (Mode Repòs):** $\approx 1.65 mA$

6.1.3 Estat 3: Tall per Sobredescàrrega

Tal com es va justificar en el disseny de la topologia de massa intermèdia (Secció 3.1.6), si les cel·les cauen per sota de $2.80 V$, l'integrat HY2120 talla el MOSFET de descàrrega (Q1). Això aïlla el Node B del negatiu absolut (B-), tallant completament l'alimentació a tota l'etapa lògica (TSR, ESP32 i LTC2944). En aquest estat crític de supervivència de la cel·la, el consum és pràcticament nul:

- **Etapa Lògica i Regulador:** $0 mA$ (Desconnectats físicament)
- **HY2120-CB (Power-down mode):** $\approx 1.0 \mu A$
- **Corrents de fuga (MOSFETs OFF):** $\approx 1.0 \mu A$
- **Total Estimad:** $\approx 2.0 \mu A$

6.2 Càlcul Teòric d'Autonomia

Assumint l'ús d'un paquet de bateries d'Ió-Liti 2S amb una capacitat útil de $C = 2200\text{mAh}$, podem projectar el temps d'operació autònoma del BMS (sense estar connectat a un carregador ni a una càrrega externa).

Es defineix un perfil d'ús eficient on el sistema passa el 99.5% del temps en Mode Repòs (1.65mA) i es desperta un 0.5% del temps (aprox. 7 minuts al dia) en Mode Actiu (200mA) per actualitzar el servidor web. El corrent mitjà ponderat del sistema és:

$$I_{mitjana} = (200\text{mA} \cdot 0.005) + (1.65\text{mA} \cdot 0.995) = 1.0\text{mA} + 1.64\text{mA} = \mathbf{2.64\text{mA}}$$

L'autonomia teòrica s'obté dividint la capacitat de la bateria pel consum mitjà:

$$\text{Autonomia} = \frac{C}{I_{mitjana}} = \frac{2200\text{mAh}}{2.64\text{mA}} \approx 833 \text{ hores} \approx \mathbf{34.7 \text{ dies}}$$

Conclusió Energètica: L'anàlisi demostra que el sistema pot operar de forma completament autònoma i sense manteniment durant més d'un mes. A més, revela que el principal punt de millora energètica de cara a futures iteracions no recau en el microcontrolador, sinó en la substitució del regulador de tensió TSR 1-2433 (que consumeix $\approx 1.5\text{mA}$ de forma constant) per un regulador LDO (*Low-Dropout*) de corrent ultra-baix per al mode *Deep Sleep*. Finalment, el tall per maquinari davant de sobredescàrregues garanteix una retenció d'energia a $2\mu\text{A}$, assegurant que les bateries no es degradaran químicament encara que es deixin mesos emmagatzemades sense carregar.

7. Anàlisi de limitacions i millores necessaries

El desenvolupament d'aquest prototip de Sistema de Gestió de Bateria (BMS) ha permès validar amb èxit l'arquitectura de protecció i potència dissenyada. No obstant això, durant la fase d'integració final del sistema complet s'han detectat certes limitacions tecnològiques i deficiències per falta de temps que han impedit el monitoratge continu de la telemetria en l'entorn de proves final. A continuació es detalla l'anàlisi d'aquestes incidències amb les aplicacions corresponents.

7.0.1 Validació de l'Etapa de Potència i Protecció

Tot i les dificultats d'integració global, els assajos empírics han demostrat el correcte funcionament dels subsistemes crítics de seguretat:

- **Protecció de Sobretensió i Sobredescàrrega:** L'etapa analògica basada en l'integrat HY2120 actua correctament, seccionant el circuit de potència quan el voltatge de les cel·les supera el llindar superior establert (4.25 V) o cau per sota del llindar inferior de seguretat (2.80 V).
- **Balanceig de Cel·les:** L'algoritme passiu gestionat pel circuit HY2213 detecta els desequilibris i dissipa l'energia excendent correctament, garantint la simetria del paquet de bateries.
- **Lliurament de Potència:** El sistema de commutació basat en els MOSFETs permet mantenir corrents de càrrega constants propers a 1 A de forma estable i sense sobreescalfament crític dels components.

7.0.2 Diagnòstic del Subsistema de Monitoratge I2C (LTC2944)

La principal limitació trobada en la versió actual del prototip recau en el bus de comunicació entre el microcontrolador (ESP32-S3) i el sensor integrador de càrrega LTC2944. El sistema ha presentat una incapacitat recurrent per establir i mantenir un enllaç de dades operatiu, impedit el monitoratge del SOC i del voltatge en temps real.

Després de descartar errors a nivell de programari i de protocol, el diagnòstic d'aquesta fallada apunta a dues possibles causes d'origen físic i electromecànic derivades de la fase

de prototipatge:

1. **Dany permanent al circuit integrat (Sobretensió/ESD):** A diferència de l'electrònica de control aïllada, el LTC2944 i la seva resistència de sensat es troben connectats directament a la línia de potència (nodes B+ i B-). Durant els múltiples assajos de connexió i desconnexió de la càrrega electrònica al laboratori, és altament probable que s'hagi generat un pic de tensió transitori o una descàrrega electroestàtica durant la manipulació manual. Aquest esdeveniment hauria superat els límits de tolerància absoluta dels pins analògics del xip, malmetent de forma irreversible el seu front-end de mesura o la pròpia interfície I2C interna.
2. **Inestabilitat per resistència de contacte al terminal de sortida:** En paral·lel, s'ha detectat un defecte electromecànic en les soldadures i el mecanisme de subjecció del bloc de terminals (*terminal block*) de la sortida de potència. Un mal contacte en aquesta zona provoca fluctuacions brusques en el flux de corrent i, el que és més crític, inestabilitat en la referència de massa compartida. El bus I2C opera amb senyals digitals d'alta freqüència que requereixen un pla de 0 V equipotencial i lliure de soroll; qualsevol alteració en el contacte físic corromp l'estat lògic dels pins SDA i SCL, impossibilitant la comunicació.

7.1 Treball Futur i Propostes de Millora

A partir del diagnòstic establert, es plantegen les següents línies de millora per a una futura iteració del disseny que resolgui les limitacions actuals i permeti assolir una versió completament industrialitzable del Smart BMS:

- **Redisseny del firmware de comunicació:** Desenvolupar una capa d'abstracció de maquinari (HAL) personalitzada per a l'ESP32-S3 que gestioni les transaccions del LTC2944 de forma asíncrona, eliminant la dependència de llibreries de tercers conflictives i implementant mecanismes de recuperació automàtica del bus I2C (auto-reset) davant de caigudes de senyal.
- **Escalat de l'etapa de sensat:** Tal com es va justificar en la secció 4.1.7, la resistència de sensat actual de $50\text{ m}\Omega$ limita la lectura màxima del sistema a 1 A . Una futura revisió substituirà aquest component per un *shunt* de menor resistència (ex: $5\text{ m}\Omega$) empaquetat en un format d'alta dissipació (com el 2512), permetent expandir el rang operatiu del BMS fins a 10 A nominals i adaptant el sistema a demandes d'aplicacions de major potència.
- **Actualització electromecànica:** Substitució dels blocs de terminals de connexió per connectors de potència d'alta fiabilitat (tipus XT60 o terminals de forquilla cargolats directament a *pads* sobredimensionats) per garantir una impedància de contacte mínima.

7.1.1 Evolució de l'Arquitectura: Sensat Individual i Monitoratge Tèrmic

El disseny del prototip actual implementa una monitorització global de la branca de bateries (arquitectura 2S) utilitzant el sensor integrador de càrrega LTC2944, el qual proporciona la lectura del corrent i del voltatge total del paquet. Aquesta topologia obliga al microcontrolador a assumir que ambdues cel·les comparteixen el mateix Estat de Càrrega (SOC) i es comporten de manera idèntica, un fet que divergeix de la realitat a mesura que les bateries envelleixen a ritmes diferents.

Per assolir un sistema ideal d'alta precisió i seguretat, es proposen dues millores directes sobre l'arquitectura de maquinari actual per habilitar un monitoratge granular:

7.1.1.1 Sensat de Voltatge al Punt Mig (Node BM)

Atès que l'LTC2944 ja gestiona la integració del corrent global i la mesura de la tensió total del sistema (V_{total}), la millora més eficient consisteix a afegir una línia de sensat de voltatge connectada exclusivament al punt mig de les bateries (Node BM). Aquesta lectura es pot realitzar mitjançant un divisor de tensió acoblat a un dels canals analògic-digital (ADC) de l'ESP32 o mitjançant un sensor dedicat senzill referenciat a la mateixa massa del sistema.

D'aquesta manera, el microcontrolador podria deduir el voltatge exacte de cada cel·la mitjançant una simple resta matemàtica:

- $V_{cell1} = V_{BM}$
- $V_{cell2} = V_{total} - V_{BM}$

Aquesta lectura individualitzada és la peça clau per fer evolucionar el microprogramari cap a un Filtre de Kalman Multicel·la. En disposar de l'error de predicció separat per a cadascuna de les cel·les, l'algorisme podria convergir cap als valors de SOC individuals, permetent detectar quin dels dos acumuladors s'està degradant més ràpidament i anticipant-se a possibles fallades de la branca.

7.1.2 Monitoratge Tèrmic Actiu amb Termistors NTC

La temperatura és la variable de seguretat més crítica en les químiques d'Ió-Liti, atès que un escalfament excessiu pot derivar en un embalament tèrmic (*thermal runaway*). El disseny actual confia l'estabilitat a la dissipació passiva de les resistències de balanceig i als marges de corrent dels MOSFETs.

Per garantir un control total sobre l'Envolupant d'Operació Segura (SOE), el treball futur proposa la incorporació de dos termistors NTC (Negative Temperature Coefficient) de precisió (Sèrie MF52B, 1% de tolerància), acoblats físicament a la superfície de cadascuna de les cel·les.

En funció de la resolució desitjada, el sistema integraria les variants estàndard de $10\text{ k}\Omega$ (amb paràmetre $\beta = 3435$) o $100\text{ k}\Omega$ ($\beta = 3950$). A nivell de maquinari, la seva implementació requereix únicament dissenyar dos divisors de tensió connectats a canals independents del convertidor analògic-digital de l'ESP32. A nivell de microprogramari, la conversió de la lectura de voltatge a temperatura real s'implementaria aplicant l'equació del paràmetre β característica dels NTC:

$$T = \left(\frac{1}{T_0} + \frac{1}{\beta} \ln \left(\frac{R_T}{R_0} \right) \right)^{-1} \quad (7.1)$$

On T_0 és la temperatura de referència expressada en kèlvins (298.15 K), R_0 és la resistència nominal a 25°C ($10\text{ k}\Omega$ o $100\text{ k}\Omega$), i R_T és la resistència instantània del sensor calculada a partir de la lectura de l'ADC.**ntc'temperature**

Aquesta integració dotaria el sistema de dues noves capacitats crítiques:

1. **Compensació tèrmica dels models:** El Filtre de Kalman podria ajustar la resistència interna (R_0) i la capacitat en temps real segons la temperatura exacta de cada cel·la, millorant dràsticament la precisió del càlcul del SOC en climes extrems.
2. **Seguretat i alertes a l'usuari:** El BMS passaria a monitoritzar la temperatura contínuament. Si s'assoleix un llindar de perill (per exemple, $T > 45^\circ\text{C}$ durant una descàrrega intensiva), el microcontrolador enviaria una notificació crítica a l'usuari a través de la interfície web OTA i forçaria una desconexió preventiva dels MOSFETs de potència, evitant danys catastròfics abans que els components físics col·lapsin.

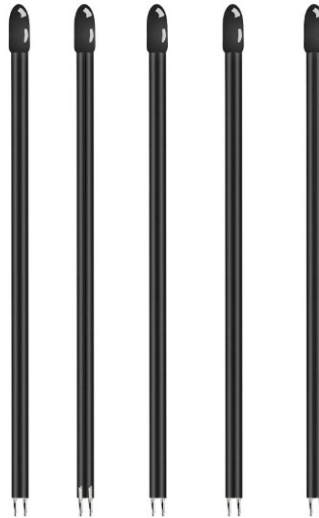


Figure 7.1: Termistor NTC estàndard proposat. [18]

8. Conclusions

8.1 Conclusions

El present Treball de Fi de Grau ha abordat el disseny i la implementació d'una arquitectura híbrida per a un Sistema Intel·ligent de Gestió de Bateria (Smart BMS). Tot i que s'ha assolit l'objectiu de conceptualitzar i dissenyar completament el sistema, el veritable valor acadèmic i d'enginyeria d'aquest projecte recau en l'anàlisi rigorosa dels problemes, limitacions i obstacles tècnics trobats durant les fases de prototipatge i integració.

De l'avaluació crítica del desenvolupament s'extreuen les següents conclusions:

- **Impacte crític de les impedàncies paràsites en potència:** La fase de validació experimental sobre placa de proves (*protoboard*) va revelar una limitació fonamental en els sistemes de protecció basats en el monitoratge de caigudes de tensió. La resistència paràsita introduïda pels contactes mecànics i l'adaptador SMD ($\approx 0.71 \Omega$) va provocar el tall prematur del xip HY2120 per fals sobrecorrent a només 280 mA. Aquest problema ha servit per justificar empíricament l'estricta necessitat de migrar el disseny cap a una PCB dedicada amb pistes d'alta densitat i MOSFETs de molt baixa $R_{DS(on)}$ com l'IRLZ34N.
- **Robustesa de la protecció per maquinari autònom:** Malgrat els reptes constructius inicials, s'ha demostrat que delegar la seguretat a integrats purament analògics (HYCON HY2120 i HY2213) és l'estratègia correcta per a un disseny *failsafe*. El maquinari ha estat capaç de tallar la descàrrega profunda als 2.8 V i executar el balanceig passiu als 4.2 V de forma totalment autònoma, garantint que les cel·les operin dins la seva Envolupant d'Operació Segura fins i tot davant de fallades en l'etapa digital.
- **Complexitat en la integració de maquinari heterogeni:** La decisió d'utilitzar un mòdul preensamblat comercial per al sensor LTC2944, en lloc del xip nu, va introduir desafiaments imprevistos en el disseny CAD (creació manual de *footprints*) i en la integritat del senyal. Aquesta elecció constructiva va culminar en la limitació més important del projecte: la impossibilitat d'establir una comunicació estable a través del bus I²C entre el sensor de telemetria i el microcontrolador ESP32 en el prototip final, a causa de possibles transitoris, asimetries en les resistències de

pull-up o problemes de contacte en els *headers*.

- **El Programari com a validació arquitectònica:** Com a conseqüència directa de la fallada del bus I²C, no va ser possible validar empíricament l'execució del codi en temps real. Lluny d'invalidar l'esforç de programari, aquesta limitació va obligar a pivotar cap a una descripció algorísmica teòricament molt més rigorosa. S'ha deixat projectada i estructurada la màquina d'estats síncrona i el Filtre de Kalman Estès (EKF), demostrant que l'ESP32 té l'arquitectura necessària per corregir matemàticament la deriva inherent del *Coulomb Counting*.

En conclusió, en l'enginyeria electrònica, el diagnòstic d'una fallada és tan rellevant com l'èxit funcional. Les limitacions electromecàniques trobades en aquest TFG no representen un fracàs del disseny, sinó que han permès localitzar amb exactitud els colls d'ampolla del sistema. El projecte lliura una arquitectura elèctrica validada, una PCB funcional en la seva etapa de potència i un marc teòric de control robust, establint una base excepcionalment sòlida per a futures iteracions.

8.2 Línies d'Investigació Futures

Partint de l'anàlisi dels problemes exposats, les futures etapes de desenvolupament per portar aquest prototip a una versió comercial haurien d'abordar els següents aspectes:

1. **Redisseny de la PCB i resolució de l'I²C:** Dissenyar una segona revisió (v2.0) de la placa de circuit imprès on el sensor LTC2944 s'integri directament com a component SMD (escollint l'encapsulat DFN original), eliminant les connexions intermèdies, reduint la longitud de les pistes del bus de dades i assegurant una correcta adaptació d'impedàncies per restablir la comunicació digital.
2. **Proves empíriques del Filtre de Kalman i OTA:** Un cop solucionada la telemetria, injectar perfils de descàrrega dinàmics i complexos per caracteritzar la convergència del Filtre de Kalman dins l'ESP32, així com posar a prova l'estabilitat del servidor web asíncron i l'actualització del microprogramari sense fils (OTA) en un entorn real.
3. **Compensació tèrmica avançada:** Incorporar termistors NTC directament acoblats a la superfície de les cel·les 18650 i vincular les lectures a un model dinàmic que modifiqui els llindars de tall de l'etapa analògica segons la temperatura, evitant el *lithium plating* en climes freds i la degradació prematura en entorns càlids.

4. **Modularitat total mitjançant sòcols i capçals (*headers*):** Modificar l'enfocament del disseny físic per integrar sòcols de connexió en comptes de soldar components directament a les pistes. Aquesta estratègia permetria el reemplaçament ràpid de xips, MOSFETs o mòduls danyats durant les proves de laboratori, evitant sotmetre la placa a l'estrès tèrmic del procés de dessoldat i suprimint la necessitat de fabricar una nova PCB davant d'una fallada d'un únic component.

Bibliography

- [1] synopsys, *What is a battery management system (bms)? – how it works — synopsys*, [www.synopsys.com](https://www.synopsys.com/glossary/what-is-a-battery-management-system.html). Accessed: Jun. 22, 2026. [Online]. Available: <https://www.synopsys.com/glossary/what-is-a-battery-management-system.html>.
- [2] G. L. Plett, *Battery Management Systems, Volume II: Equivalent-Circuit Methods*. Norwood, MA, USA: Artech House, 2015.
- [3] L. Lu, X. Han, J. Li, J. Hua, and M. Ouyang, “A review on the key issues for lithium-ion battery management in electric vehicles,” *Journal of Power Sources*, vol. 226, pp. 272–288, Mar. 2013. DOI: [10.1016/j.jpowsour.2012.10.060](https://doi.org/10.1016/j.jpowsour.2012.10.060). Accessed: Feb. 25, 2026. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0378775312016163>.
- [4] C. Lin, A. Tang, H. Mu, W. Wang, and C. Wang, “Aging mechanisms of electrode materials in lithium-ion batteries for electric vehicles,” *Journal of Chemistry*, vol. 2015, pp. 1–11, 2015. DOI: [10.1155/2015/104673](https://doi.org/10.1155/2015/104673). Accessed: May 24, 2026.
- [5] D. Wilke, *How does humidity affect lithium-ion battery storage?* EL-CELL, Apr. 2026. Accessed: Jun. 21, 2026. [Online]. Available: <https://www.el-cell.com/how-does-humidity-affect-lithium-ion-battery-storage/>.
- [6] *Bu-903: How to measure state-of-charge*, Battery University, Nov. 2021. Accessed: Feb. 27, 2026. [Online]. Available: <https://www.batteryuniversity.com/article/bu-903-how-to-measure-state-of-charge/>.
- [7] G. L. Plett, “Extended kalman filtering for battery management systems of lipb-based hev battery packs,” *Journal of Power Sources*, vol. 134, pp. 252–261, Aug. 2004. DOI: [10.1016/j.jpowsour.2004.02.031](https://doi.org/10.1016/j.jpowsour.2004.02.031). Accessed: Jun. 10, 2026.
- [8] alldatasheet.es, *Irlz44n datasheet(pdf)*, Alldatasheet.es, 2026. Accessed: Mar. 25, 2026. [Online]. Available: <https://www.alldatasheet.es/datasheet-pdf/pdf/68872/IRF/IRLZ44N.html>.
- [9] alldatasheet.com, *Hy2120-cb*, Alldatasheet.com, 2026. Accessed: May 1, 2026. [Online]. Available: <https://www.alldatasheet.com/datasheet-pdf/view/1139805/HYCON/HY2120-CB.html>.
- [10] alldatasheet.com, *Hy2213-bb3a pdf*, Alldatasheet.com, 2026. Accessed: Apr. 18, 2026. [Online]. Available: <https://www.alldatasheet.com/datasheet-pdf/view/1139809/HYCON/HY2213-BB3A.html>.
- [11] Panasonic, *Lithium-ion / nnp + hrl technology*, <https://imrbatteries.com/>. Accessed: Jun. 24, 2026. [Online]. Available: https://cdn.shopify.com/s/files/1/0721/2761/1190/files/panasonic_ncr18650b-2.pdf?v=1715018173.
- [12] alldatasheet.com, *Irlz34n pdf*, Alldatasheet.com, 2026. Accessed: Apr. 16, 2026. [Online]. Available: <https://www.alldatasheet.com/datasheet-pdf/view/104303/IRF/IRLZ34N.html>.
- [13] alldatasheet.es, *2n7000 pdf*, Alldatasheet.es, 2026. Accessed: May 14, 2026. [Online]. Available: <https://www.alldatasheet.es/datasheet-pdf/view/50067/FAIRCHILD/2N7000.html>.
- [14] T. POwer, *Tsr 1-2433 — traco power*, Tracopower.com, 2025. Accessed: Apr. 16, 2026. [Online]. Available: <https://www.tracopower.com/int/model/tsr-1-2433>.

- [15] A. devices, *Ltc2944*, Analog.com, 2017. Accessed: May 19, 2026. [Online]. Available: <https://www.analog.com/en/products/ltc2944.html>.
- [16] S. Hemavathi, "Overview of cell balancing methods for li-ion battery technology," *Energy Storage*, Aug. 2020. DOI: [10.1002/est2.203](https://doi.org/10.1002/est2.203). Accessed: Jun. 13, 2026.
- [17] *Over the air updates (ota) - esp32 - — esp-idf programming guide v5.2.2 documentation*, docs.espressif.com. Accessed: May 18, 2026. [Online]. Available: <https://docs.espressif.com/projects/esp-idf/en/stable/esp32/api-reference/system/ota.html>.
- [18] sdi, *Qué significa ntc en un termistor y para que sirve — sdi*, SDI, Dec. 2022. Accessed: Jun. 22, 2026. [Online]. Available: <https://sdindustrial.com.mx/blog/que-significa-ntc-en-un-termistor/>.

A. Annex

A.1 Exemple de codi de telemetria

Annex: Codi font del node central

```
1 #include <WiFi.h>
2 #include <ESPmDNS.h>
3 #include <WiFiUdp.h>
4 #include <ArduinoOTA.h>
5 #include <WebServer.h>
6 #include <Wire.h>
7 #include <LTC2944_BMS.h>
8
9 // --- CONFIGURACI DE XARXA ---
10 const char* ssid = "nom del wifi";
11 const char* password = "password";
12
13 WebServer server(80);
14 LTC2944_BMS bms;
15
16 // --- VARIABLES GLOBALS DEL BMS ---
17 float initialCapacity = 2200.0;
18 float currentMultiplier = 22.10;
19 float currentOffset = 0.0;
20
21 float voltage = 0.0;
22 float current = 0.0;
23 float temp = 0.0;
24 float soc = 0.0;
25 float remaining = 0.0;
26 float totalmAhConsumed = 0.0;
27 float totalmAhCharged = 0.0;
28 unsigned long totalRuntime = 0;
29
30 // Control de temps no bloquejant
31 unsigned long lastSensorUpdate = 0;
32 const long intervaloActualizacion = 1000; // 1 segon
33
34 // INTERFICIE WEB PRINCIPAL (HTML5 + CSS3 + JavaScript)
35
36 void handleRoot() {
37   String html = "<!DOCTYPE html><html lang='ca'><head><meta charset='UTF-8'>";
38   html += "<meta name='viewport' content='width=device-width, initial-scale=1.0'>";
39   html += "<title>Monitor BMS Inal mbric</title>";
40   html += "<style>";
41   html += "body { font-family: 'Segoe UI', Arial, sans-serif; background-color: #121212; color: #e0e0e0; text-align: center; margin: 0; padding: 20px; }";
42 }
```

```

41  html += "h1 { color: #4db8ff; letter-spacing: 1px; margin-top: 20px;
    font-weight: 600; }";
42  html += ".grid { display: grid; grid-template-columns: repeat(auto-fit
    , minmax(220px, 1fr)); gap: 20px; max-width: 900px; margin: 30px auto
    ; padding: 10px; }";
43  html += ".card { background: #1e1e1e; padding: 20px; border-radius: 12
    px; border-top: 4px solid #4db8ff; box-shadow: 0 6px 12px rgba
    (0,0,0,0.4); transition: transform 0.2s; }";
44  html += ".card:hover { transform: translateY(-2px); }";
45  html += ".value { font-size: 32px; font-weight: 700; margin: 10px 0;
    color: #ffffff; font-family: monospace; }";
46  html += ".label { font-size: 13px; color: #888888; text-transform:
    uppercase; letter-spacing: 1px; }";
47  html += "</style>";
48
49  html += "<script>";
50  // Peticions segons pla per rebre el text separat per barres del punt
    /dades
51  html += "function actualitzarPanell() {";
52  html += "    fetch('/dades').then(response => response.text()).then(data
    => {";
53  html += "        var valors = data.split('|');"
54  html += "        document.getElementById('v_val').innerText = valors[0] +
    ' V';";
55  html += "        document.getElementById('c_val').innerText = valors[1] +
    ' mA';";
56  html += "        document.getElementById('s_val').innerText = valors[2] +
    ' %';";
57  html += "        document.getElementById('ma_val').innerText = valors[3] +
    ' mAh';";
58  html += "        document.getElementById('t_val').innerText = valors[4] +
    ' C';";
59  html += "        document.getElementById('rt_val').innerText = valors[5];";
60  html += "    }).catch(err => console.log('Error de connexió de xarxa'))
    ;";
61  html += "}";
62  html += "setInterval(actualitzarPanell, 1000);"; // Actualització en
    temps real cada segon
63  html += "window.onload = actualitzarPanell;";
64  html += "</script>";
65  html += "</head><body>";
66
67  html += "<h1>MONITOR DE BATERIA BMS (OTA ACTIVE)</h1>";
68  html += "<div class='grid'>";
69  html += "    <div class='card'><div class='label'>Voltatge de cel·les</
    div><div class='value' id='v_val'>-- V</div></div>";
70  html += "    <div class='card'><div class='label'>Corrent de branca</div
    ><div class='value' id='c_val'>-- mA</div></div>";
71  html += "    <div class='card'><div class='label'>Estat de Càrrega (SOC
    )</div><div class='value' id='s_val'>-- %</div></div>";
72  html += "    <div class='card'><div class='label'>Capacitat Consumida</
    div><div class='value' id='ma_val'>-- mAh</div></div>";
73  html += "    <div class='card'><div class='label'>Temperatura Integrada
    </div><div class='value' id='t_val'>-- C</div></div>";

```

```

74     html += "    <div class='card'><div class='label'>Temps Actiu del
       Sistema</div><div class='value' id='rt_val'>00:00:00</div></div>";
75     html += "</div>";
76
77     html += "</body></html>";
78     server.send(200, "text/html", html);
79 }
80
81 //          TRANSMISSI DE DADES EN FORMAT TEXT SIMPLE
82 void handleDades() {
83     int h = totalRuntime / 3600;
84     int m = (totalRuntime % 3600) / 60;
85     int s = (int)totalRuntime % 60;
86     char timeStr[12];
87     sprintf(timeStr, "%02d:%02d:%02d", h, m, s);
88
89     // Format de cadena: Voltatge | Corrent | SOC | Consum | Temperatura |
       Temps
90     String dataString = String(voltage, 3) + "|" +
91                         String(current, 1) + "|" +
92                         String(soc, 0) + "|" +
93                         String(totalmAhConsumed, 0) + "|" +
94                         String(temp, 1) + "|" +
95                         String(timeStr);
96
97     server.send(200, "text/plain", dataString);
98 }
99
100 //          INICIALITZACI SEGURA DEL BUS I SENSOR
101 void inicialitzarPeriferics() {
102     Wire.begin(8, 9); // Assignaci expl cita de pins de dades del teu
       encapsulat S3
103     bms.setProfile(CHEM_LIION, 2); // Configuraci 3S (11.1V nominals)
104     bms.setCapacity(initialCapacity);
105     bms.setShuntResistor(0.001f);
106
107     if (bms.begin()) {
108         Serial.println("LTC2944 enlla at correctament.");
109     } else {
110         Serial.println("Alerta: Bus I2C responent amb zeros. Comprova l'
       energia del TSR.");
111     }
112 }
113
114 void setup() {
115     Serial.begin(115200);
116     Serial.println("\nIniciant firmware del node central...");
117
118     // 1. Connexi a l'infraestructura Wi-Fi
119     WiFi.mode(WIFI_STA);
120     WiFi.begin(ssid, password);
121     while (WiFi.waitForConnectResult() != WL_CONNECTED) {
122         delay(5000);
123         ESP.restart();
124     }

```

```

125 Serial.print("Xarxa connectada de forma inal mbrica. IP: ");
126 Serial.println(WiFi.localIP());
127
128 // 2. Activaci del servei de programaci remota (OTA)
129 ArduinoOTA.setHostname("ESP32-BMS-TFG");
130 ArduinoOTA.begin();
131
132 // 3. Mapeig de direccions del servidor web
133 server.on("/", handleRoot);
134 server.on("/dades", handleDades);
135 server.begin();
136
137 // 4. Inicialitzaci de maquinari I2C
138 inicialitzarPeriferics();
139
140 lastSensorUpdate = millis();
141 }
142
143 void loop() {
144     // Gestors as ncrons indispensables en primer terme
145     ArduinoOTA.handle();
146     server.handleClient();
147
148     // Polling del sensor mitjan ant comptador intern sense bloqueig
149     unsigned long now = millis();
150     if (now - lastSensorUpdate >= intervaloActualizacion) {
151         float deltaTime = (now - lastSensorUpdate) / 1000.0;
152         lastSensorUpdate = now;
153
154         if (bms.update()) {
155             voltage = bms.getVoltage();
156             float currentRaw = bms.getCurrent();
157             current = ((currentRaw * currentMultiplier) + currentOffset) *
-1.0;
158             temp = bms.getTemperature();
159             soc = bms.getSoc();
160             remaining = bms.getRemainingMah();
161
162             // Rutina de seguretat: si detectem el zero logit (falsos -273 C )
, reiniciem canal I2C
163             if (voltage == 0.00 && temp <= -270.0) {
164                 inicialitzarPeriferics();
165             } else {
166                 // C lcul d'integraci d'energia (Coulomb Counting
discretitzat)
167                 if (current < -1.0) {
168                     totalmAhConsumed += abs(current) * (deltaTime / 3600.0);
169                 } else if (current > 1.0) {
170                     totalmAhCharged += current * (deltaTime / 3600.0);
171                 }
172                 totalRuntime += deltaTime;
173
174                 // Log d'escriptura local per telemetria de cable
175                 Serial.printf("Telemetria -> V: %.3fV | I: %+6.1f mA | T: %.1fC\n
", voltage, current, temp);

```

```
176     }  
177   } else {  
178     inicialitzarPeriferics(); // Intent d'auto-recuperaci si es  
179     talla el bus f sic  
180   }  
181 }
```

Listing A.1: Codi exemple del ESP32 per al monitoratge del BMS