

Divulga UAB

Revista de difusió de la recerca de la
Universitat Autònoma de Barcelona

13/12/2024

El reto de la fiabilidad en los semiconductores



Montserrat Nafría, Catedrática del Departamento de Ingeniería Electrónica, resume en este artículo la importancia de la metodología del “Diseño para la Fiabilidad” en el diseño y fabricación de los circuitos integrados, los chips, en la que la colaboración entre la academia y la industria jugará un papel fundamental.

istock/SweetBunFactory

La fiabilidad, entendida como la probabilidad de que un sistema realice la función para la que ha sido fabricado durante un cierto período de tiempo y bajo unas condiciones de operación determinadas, es un requisito importante para todos los usuarios de circuitos integrados (los comúnmente conocidos como chips).

Los requisitos de fiabilidad de los chips dependen en gran medida de la aplicación en la que van a ser utilizados y la tecnología con la que se han fabricado determina los factores que limitan esta fiabilidad. En este sentido, el International Roadmap of Devices and Systems (IRDS), la hoja de ruta de referencia de la evolución de la tecnología CMOS, establece también los retos que se deben afrontar desde el punto de vista de fiabilidad y propone potenciales soluciones para superarlos. Según la edición del 2023 del IRDS, la consecución de los niveles de fiabilidad requeridos es cada vez más difícil debido a: el escalado de los dispositivos MOSFET (es decir, la reducción de sus dimensiones), los nuevos materiales y las nuevas arquitecturas de dispositivos en los nodos tecnológicos avanzados, unas

condiciones de operación más exigentes (mayores temperaturas, altas corrientes...) y las crecientes restricciones de tiempo y dinero. Si bien los dos últimos factores están relacionados con la aplicación en la que el chip será utilizado o con aspectos de carácter económico, los dos primeros lo están directamente con la tecnología de fabricación subyacente. No cabe duda de que el escalado y la introducción de nuevos materiales y arquitecturas han supuesto un asombroso aumento de las prestaciones de los dispositivos, que impactan positivamente en las de los chips en que se integran, pero también han llevado asociado un aumento de su variabilidad. De este modo, en tecnologías de nodos avanzados, dos dispositivos nominalmente idénticos se comportan de manera diferente. Esta variabilidad en el dispositivo se traducirá en una variabilidad en las prestaciones de los chips, impactando negativamente tanto al rendimiento de su proceso de fabricación como a su fiabilidad.

La variabilidad de los dispositivos puede ser a tiempo cero (TZV, del inglés Time-Zero Variability) o dependiente del tiempo (TDV, del inglés Time-Dependent Variability). La TZV está relacionada con variaciones estáticas que se introducen durante la fabricación, porque, en dispositivos de dimensiones muy reducidas, la naturaleza discreta de la carga y de la materia se refleja en su comportamiento eléctrico. Típicamente, la TZV conduce a problemas de rendimiento del proceso de fabricación y se corresponde con la dispersión estadística que incorporan los kits de diseño de las tecnologías. Como su nombre indica, la TDV depende del tiempo y es la que afecta a la fiabilidad del dispositivo, limitando su tiempo de vida útil. Actualmente, se considera que está originada por el envejecimiento del dispositivo, consecuencia de distintos mecanismos físicos que se activan durante su funcionamiento en el chip. Este envejecimiento, que está asociado a modificaciones a nivel atómico, conlleva derivas temporales de los parámetros eléctricos que describen el comportamiento del dispositivo (como puede ser la tensión umbral de un MOSFET), que dependen de las condiciones de operación del dispositivo en el circuito (tensión, temperatura...) y, en nodos tecnológicos avanzados, son estocásticas.

En este contexto de creciente variabilidad, para el desarrollo de sistemas electrónicos fiables con componentes no fiables, el IRDS apunta como retos más relevantes el control de los mecanismos de envejecimiento, la variación estadística y la necesidad de evaluar la fiabilidad a nivel de circuito y sistema. Como soluciones a estos retos propone, a nivel de dispositivo, un conocimiento profundo de la física de los mecanismos de envejecimiento, para la formulación de modelos microscópicos de fiabilidad (basados en la física) que puedan ser incorporados en los modelos compactos del dispositivo y, a nivel de sistema, el desarrollo de la metodología de Diseño para la Fiabilidad (DFR, de sus siglas en inglés Design for Reliability). Es relevante resaltar que una comparación del IRDS vigente con sus ediciones anteriores (remontándonos hasta el 2015) muestra que, a pesar de la extraordinaria evolución que han experimentado las tecnologías CMOS en este período de tiempo, en lo que respecta a la fiabilidad, los desafíos y las soluciones propuestas no han experimentado cambios importantes, lo que es indicativo de su complejidad.

Desde el punto de vista de diseño de chips en nodos avanzados, el Diseño para la Fiabilidad supone un cambio de paradigma, puesto que la fiabilidad pasa a ser un parámetro más a optimizar durante el diseño del chip, previamente a su fabricación. Se requiere así una racionalización de la caracterización y de la propagación de la TDV hacia niveles de abstracción superiores (desde la nanoescala, en la que se producen los fenómenos físicos origen de la TDV, hasta el sistema, en el que se visualizan sus efectos). Los modelos compactos de fiabilidad del dispositivo (resultantes de la caracterización y modelado en los niveles de abstracción más bajos) constituirán el nexo entre el dispositivo y los niveles

superiores (circuito/sistema). Su incorporación en simuladores de circuitos permitirá determinar la opción de diseño del chip que ofrece los valores óptimos de prestaciones, potencia, rendimiento y fiabilidad. Nótese que esta nueva aproximación comporta un espectro muy amplio de aspectos a abordar, por lo que se requiere la contribución de múltiples actores con conocimientos complementarios (físicos, tecnólogos, ingenieros de fiabilidad, foundries, diseñadores de circuitos, usuarios finales...), estableciendo las correspondientes sinergias. Desafortunadamente, el DFR está aún en su infancia y la brecha entre la fiabilidad del dispositivo y la del sistema es aún muy grande. Para reducir el riesgo de problemas de fiabilidad y el consecuente impacto negativo en el costo y el tiempo de comercialización de los sistemas electrónicos, la metodología del Diseño para la Fiabilidad debe recibir un fuerte impulso. En este sentido, dada la multidisciplinariedad intrínseca de esta nueva metodología, la colaboración entre la academia y la industria jugará un papel fundamental.

--

Artículo original publicado en “El Español”:

[El reto de la fiabilidad en los semiconductores](#)

Montserrat Nafría

Montserrat Nafría

Departamento de Ingeniería Electrónica

Universitat Autònoma de Barcelona

Referencias

Montserrat Nafría, [El reto de la fiabilidad en los semiconductores](#), *El Español*. 28 de septiembre de 2024.

[View low-bandwidth version](#)